

NTUEE DCLab

Sep. 06, 2022

教育部智慧晶片系統與應用人才培育計畫

Presenter: Chung-Hsuan Yang

Advisor: Prof. Chia-Hsiang Yang

Graduate Institute of Electronics Engineering, National Taiwan University



DCSL

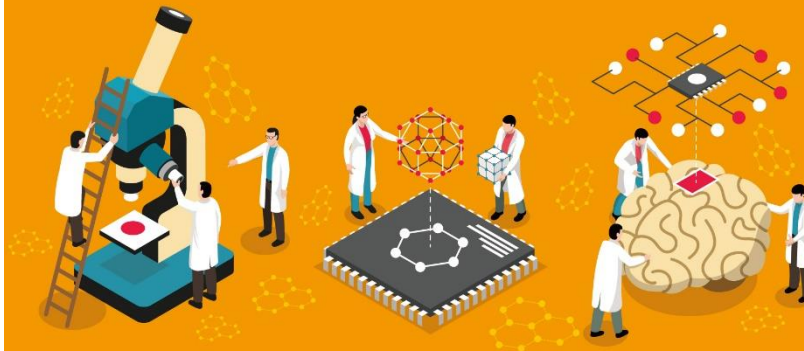
課程宣導說明會

教育部智慧晶片系統與應用人才培育計畫 —
智慧健康晶片系統與應用聯盟

課程宣導說明會

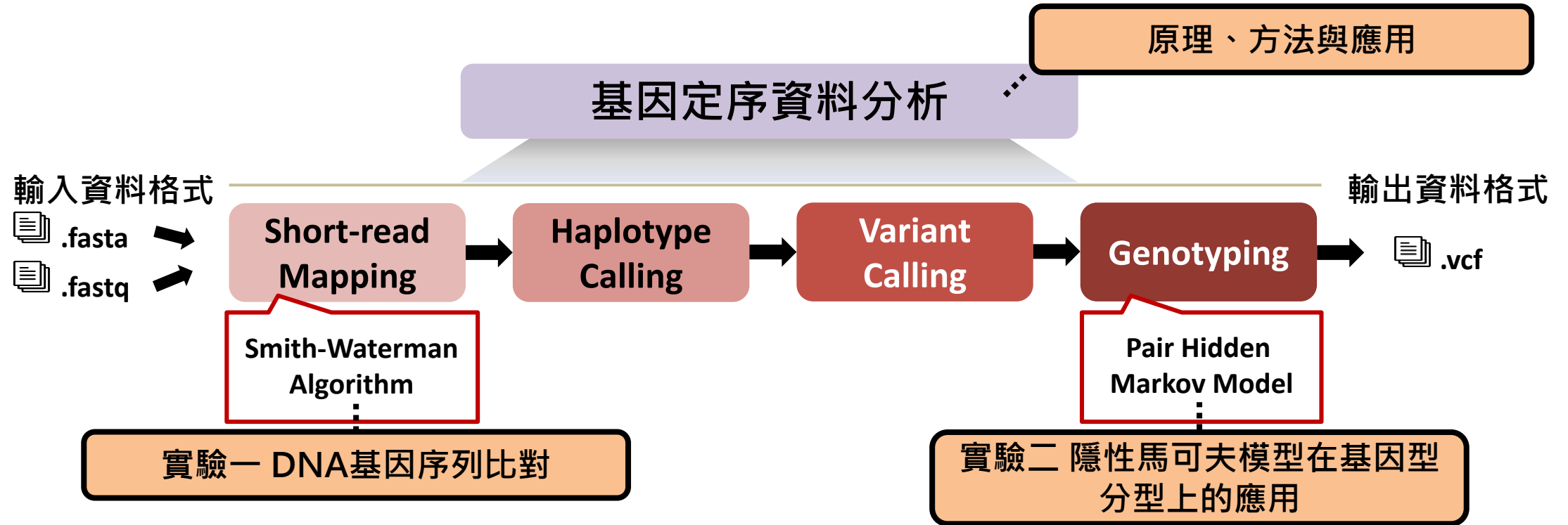
活動目的

利用課程宣導說明會強化學生選修課興趣，
亦展示本期教材提高學生對課程的了解。



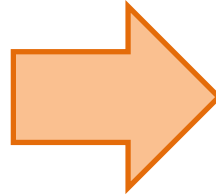
指導單位：教育部資訊及科技教育司
協辦單位：智慧健康晶片系統與應用聯盟

預計設計之實驗模組



配分上的調整

- 3 Labs (15% each)
 - Demo: 10%
 - Report & Code: 5%
- 1 Final project (50% total)
 - Proposal: 5%
 - Demo: 35%
 - Report & Code: 10%
- 整潔分數: 5%



- 3 Labs (15% each)
 - Demo: 10%
 - Report & Code: 5%
- 1 Final project (50% total)
 - Proposal: 5%
 - Demo: 35%
 - Report & Code: 10%
- **Added Lab (5%)**
 - Demo: 3.33%
 - Report & Code: 1.67%
- 整潔分數: 5%

Syllabus

Week	Date	Content
1	2022/9/06 (二)	Intro. + Debugging Tool + Verilog1
2	2022/9/13 (二)	Lab1 + Quartus + Verilog2
3	2022/9/20 (二)	Verilog3 + Example Code
4	2022/9/27 (二)	Lab1 Demo + Lab2
6	2022/10/13(四)	Lab2 Demo
7	2022/10/18 (二)	Lab3 + Bonus Lab
9	2022/11/03 (四)	Lab3 Demo
10	2022/11/10 (四)	Final Project Proposal
13	2022/12/01 (四)	Bonus Lab Demo
17	TBD	Final Project Demo

Report Regulations

- Report
 - 內容
 - 層級架構
 - Block Diagram (必須包含Data Path，control signal可有可無)
 - FSM or Scheduling
 - Fitter Summary截圖
 - Timing Analyzer截圖
 - 遇到的問題與解決辦法
 - 回答已設計好的問題

Questions?