

■ 功能簡介

Lab1 我們完成了所有的基本功能要求：

1. 按下 KEY1 reset。
2. 按下 KEY0 點名器後在第一組七段顯示器上開始顯示 0~15 的隨機亂數，並逐漸變慢停在最終數字上。

另外，我們增加了兩個額外功能：

1. 按下 KEY2 中途擷取隨機亂數。
2. 在第二組七段顯示器上顯示上一個亂數結果。

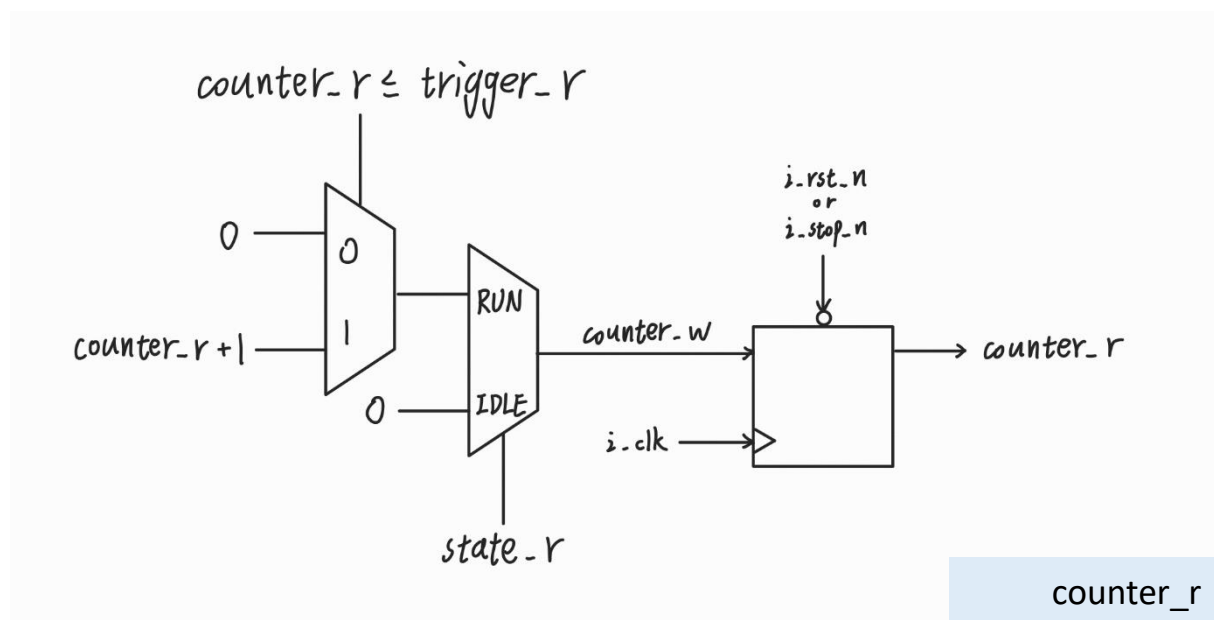
Demo 影片連結：[NTUEE dclab 20220918 Lab1 Random Number Generator](#)

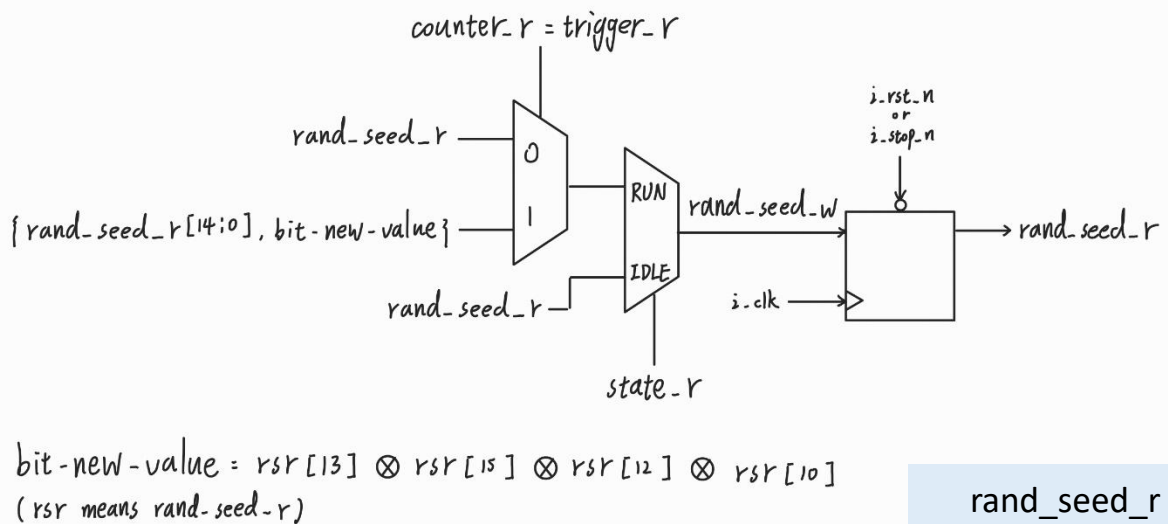
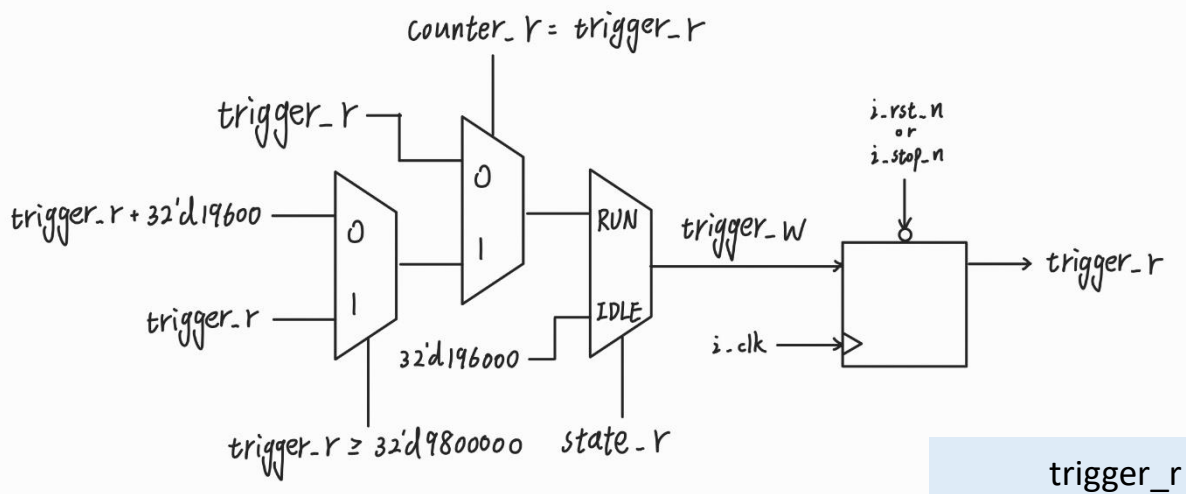
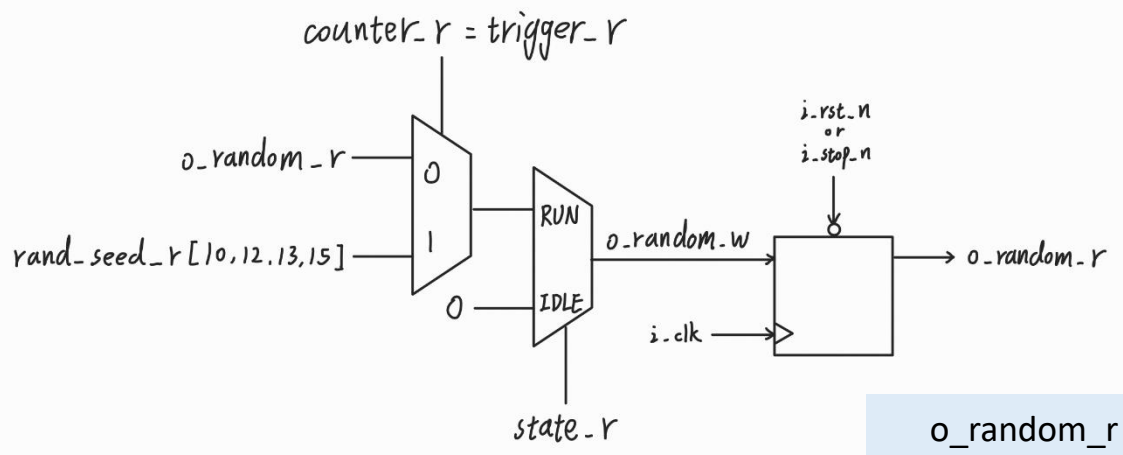
■ 層級架構

DE2_115.sv

```
-- top0          (Top)
-- deb0          (Debounce)
-- seven_dec0    (SevenHexDecoder)
-- seven_dec1    (SevenHexDecoder)
```

■ Block Diagrams



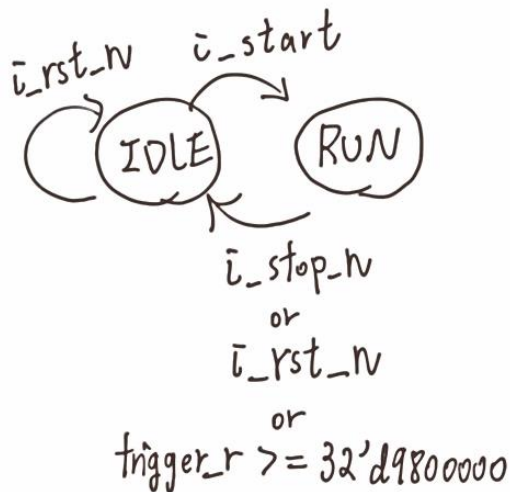


■ FSM or Scheduling

1. FSM : IDLE & RUN

IDLE – 等待直到 KEY0 被按下，counter 和 trigger 分別被給 0 和 196000

RUN – counter 開始+1 且開始有亂數輸出，等到 counter 和 trigger 相同時，LFSR 生成下一個亂數，counter 歸 0，trigger+=196000，目的是使下次生成新亂數的時間變長，去達成亂數越跑越慢的效果(時間成等差增加)。最後當 trigger>=9800000 時，停在當下那個數字，回去 IDLE。



■ Fitter Summary

Quartus II 64-Bit - C:/altera/15.0/lab1 - DE2_115

File Edit View Project Assignments Processing Tools Window Help

Project Navigator: Entity: Cydome IV E: EP4CE115F29C7 > DE2_115

Table of Contents: Flow Summary, Flow Settings, Flow Non-Default Global Settings, Flow Elapsed Time, Flow OS Summary, Flow Log, Analysis & Synthesis, Fitter, Summary, Settings, Parallel Compilation, I/O Assignment Warnings, Ignored Assignments, Incremental Compilation Settings, Pin-Out File, Resource Section, I/O Rules Section, Device Options, Operating Settings and Constraints, Messages, Suppressed Messages, Flow Messages, Flow Suppressed Messages, Assembler, TimeQuest Timing Analyzer, Summary, Parallel Compilation, SDC File List, Clocks

Fitter Summary

Fitter Status: Successful - Wed Sep 21 22:12:34 2022

Quartus II 64-Bit Version: 15.0.0 Build 145 04/22/2015 SJ Full Version

Revision Name: DE2_115

Top-level Entity Name: DE2_115

Family: Cydome IV E

Device: EP4CE115F29C7

Timing Models: Final

Total logic elements: 259 / 114,480 (< 1 %)

Total combinational functions: 258 / 114,480 (< 1 %)

Dedicated logic registers: 89 / 114,480 (< 1 %)

Total registers: 89

Total pins: 518 / 529 (98 %)

Total virtual pins: 0 / 518 (0 %)

Total memory bits: 0 / 3,981,312 (0 %)

Embedded Multiplier 9-bit elements: 0 / 532 (0 %)

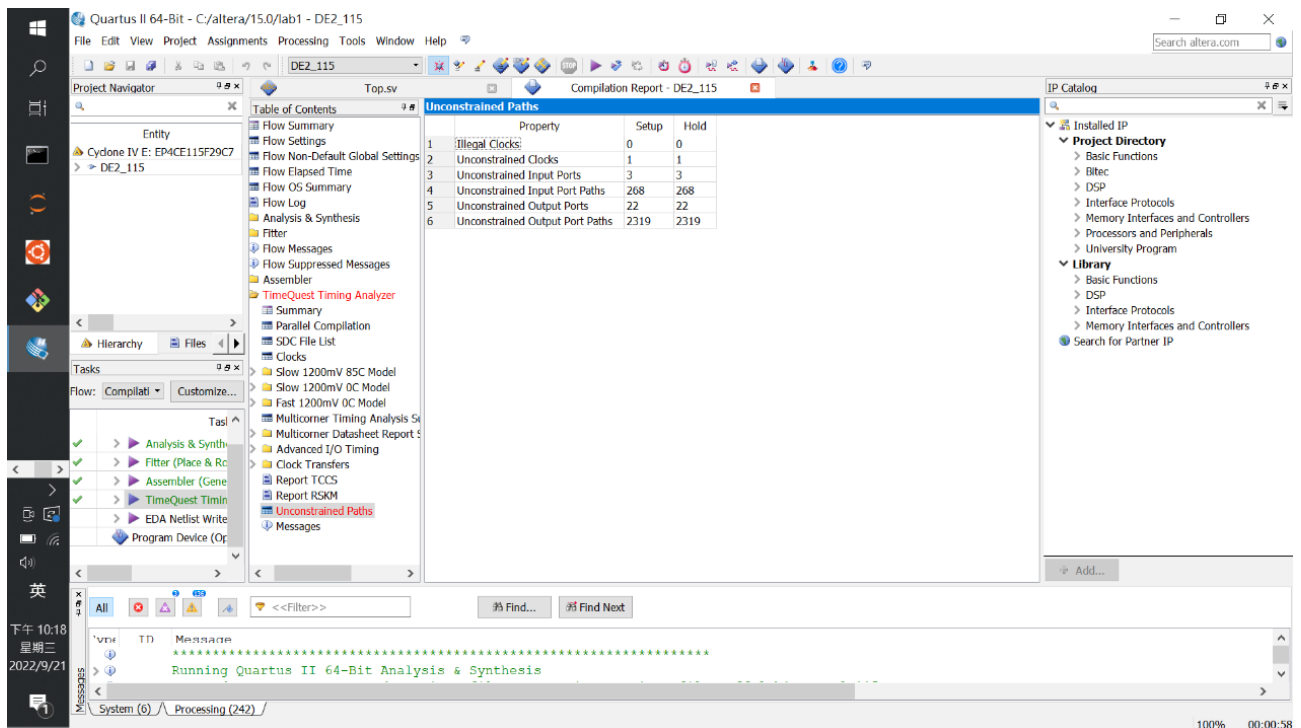
Total PLLs: 0 / 4 (0 %)

IP Catalog: Installed IP, Project Directory, Basic Functions, Bitec, DSP, Interface Protocols, Memory Interfaces and Controllers, Processors and Peripherals, University Program, Library, Basic Functions, DSP, Interface Protocols, Memory Interfaces and Controllers, Search for Partner IP

Messages: Running Quartus II 64-Bit Analysis & Synthesis

System (6) / Processing (242) / 100% 00:00:58

■ Timing Analyzer



■ 遇到的問題與解決方法

1. 問題：Quartus v15.0 內建的 usb-blaster 無法在我們的 Win11 電腦上安裝，不斷顯示以下 error message。



解法：下載 Quartus v12.1 的 usb-blaster，但仍然使用 Quartus v15.0 避免遇到問題時無法向助教求援。

2. 問題：上傳 FPGA 後，七段顯示器無法正常顯示任何 digit。

解法：原因是忘記 import “DE2_115.qsf”這個檔案，應該是更新 device 後就須要重新 import，import 重新上傳就好了。

3. 問題：檔案在包含中文的檔案夾路徑就無法被 Quartus 找到。

解法：將資料夾改成英文。

■ 心得

吳宜逸

這是我第一次寫 Verilog/System Verilog 語言，加上又是 HDL，對於程式設計方法都非常陌生。第一次花了一整個晚上寫 Top.sv，寫了整個晚上才跑出對的波形圖。之後我又重新寫了一次，才對於自己的程式架構有較完善的理解(這次用的是用另一位組員的程式)，期望這學期修完後能明確的掌握寫 HDL 的邏輯。

施伯儒

雖然上學期計結有小碰過 verilog，但我實際上還是不太熟悉，這次我把 combinational 和 sequential 分兩個 block 去思考，有慢慢抓到硬體思考的邏輯。

廖昶翔

這也是我第一次寫硬體程式語言，花了很多時間去看助教給的 PPT，上網看教學文章、影片等等，做完這些之後在實作起來卻還是有些困難，但跟組員討論加上多寫多錯之後有慢慢抓到訣竅。另外在畫 block diagram 的時候有點卡卡的，不知道該從哪裡下手，也不知道畫出來結果有沒有問題或缺漏，但在多方參考之後有大概知道怎麼畫了。