

DSD HW1 report

B09901081 施伯儒

1. ALU (always & assign)

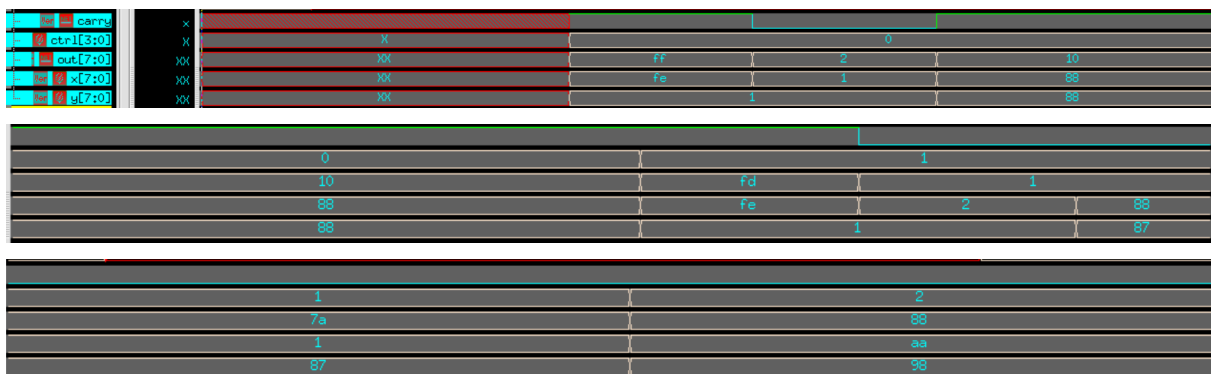
做法:

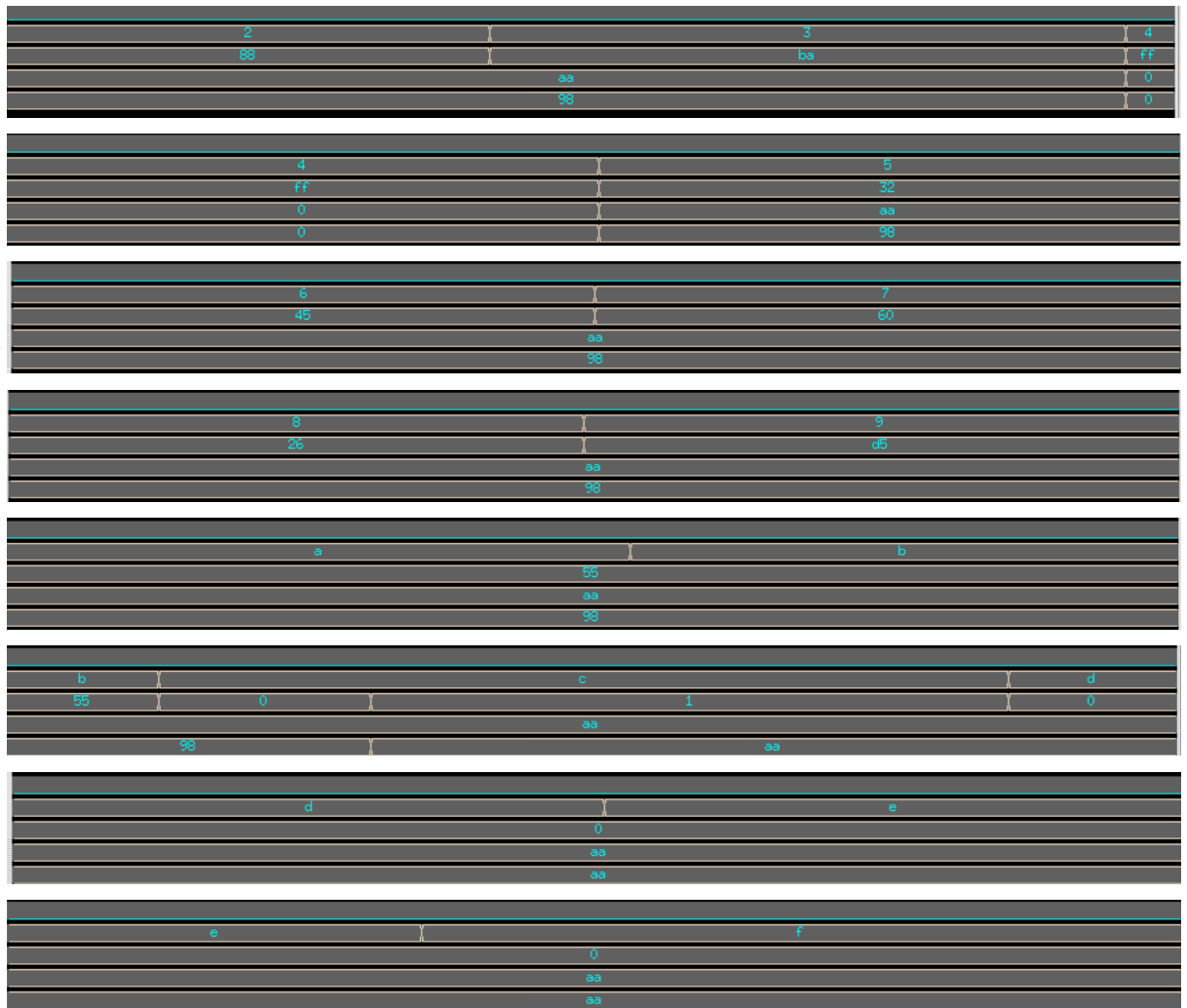
我並沒有針對每個可能的x y去測試, 因為一些指令基本上測幾個測試比對一下out就可以知道對不對了。

除了add sub比較複雜, 我設了四個可能的情況: x y=正正 正負 負正 負負, 用此檢查各情況下carry正確性, 而加減法的部分算出來是對的就應該是對的了, 不必所有x y都測一次。

兩者因為功能一樣, 我共用同tb, 只改module name, 因此波形就不重複擷取兩次了。

```
PASS --- 0000 ADD
PASS --- 0001 Sub
PASS --- 0010 and
PASS --- 0011 or
PASS --- 0100 boolean not
PASS --- 0101 Xor
PASS --- 0110 Nor
PASS --- 0111 Shift left logical variable
PASS --- 1000 Shift right logical variable
PASS --- 1001 Shift right arithmetic
PASS --- 1010 Rotate left
PASS --- 1011 Rotate right
PASS --- 1100 Equal
PASS --- NOP
PASS --- NOP
PASS --- NOP
Congratulation! You pass!! .
```

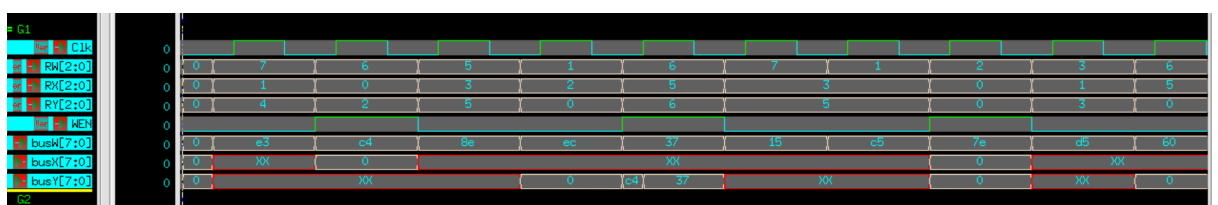
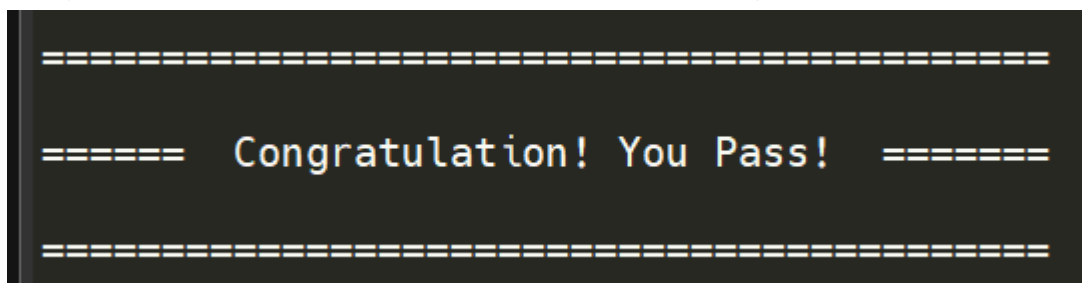




2. Register_file

做法:

我利用test.py生成測試資料(總共有100個隨機input組合)和golden answer再到tb裡面去測試是否相同, 我試了很多次隨機產生的測資, 都是對的。(因為資料很多, waveform並未完整螢幕擷取完)



6	4	2	7	1	7	4	3	6	5
5	7	5	2	5	3	6	0	5	
0	6	3	5	2	1	6	7	4	
60	b1	b4	60	f0	a6	c9	b9	29	91
0	37	XX	b4	XX	37	0	XX	XX	
0	37	XX	b4	XX	37	60	c9		

5	3	1	6	0	4	5	1	3	
4	5	7	7	6	4	5	5	6	5
			1	3	0	6	3	6	
29	91	88	1	64	74	8a	6	69	5f
	XX	60	29	c9	XX	0	29	XX	fc
c9	60	88	91	0	29	91	29		

1	3	0	5	1	0	2	5	0	
0	6	5	6	4	2	1	7	1	
	6		0	3	0	6	3	0	2
69	5f	fc	93	89	dc	d1	33	8e	cb
0	29	XX	29	c9	b4	69	60	69	8e
	29		0	fc	0	29	fc	0	8e

2	5	0	4	3	5	2	6	0	
7	1		2	1	4	3	6	5	6
0	2	1	3	7	2		1	0	3
8e	cb	8e	69	d4	92	73	f8	cf	5c
50	69	8e	69	c9	c3	d4	f8	cb	f8
0	8e	69	fc	60	8e	69	69	0	d4

3. Simple_calculator

```

Calculation restuls: 13 * 12 = 156
*****
**                                     **
**      Congratulations !!          **
** All Patterns Passed!!           **
**                                     **
*****

```

4. What I found:

- ncverilog有時候不會檢查出大小寫錯誤的問題
ex:Ctrl ctrl 導致出現錯誤
- wire名字打對很重要, 我常常看錯大小寫, 造成xxxxxx or zzzzzz
- testbench裡面`$fsdbDumpvars(0,rf,"+mda");`
+mda很重要, 我前面一直在納悶為何沒有吃到所有的測試資料, 後來才發現這個要加

d. posedge clk更新後, 過一下子再檢查輸出值, 否則有可能出錯, 在測試 register_file時, 曾撞牆了一下下

e. 寫testbench時, 有點像在寫一般的軟體程式