

積體電路設計 hw1 B09901081 施伯儒

What gallium oxide is?

A: 氧化鎵，是一種寬禁帶半導體， Ga_2O_3 擁有五種晶相 (polymorphs) (monoclinic ($\beta\text{-Ga}_2\text{O}_3$), rhombohedral (α), defective spinel (γ), cubic (δ), or orthorhombic (ϵ)), 最穩定的為 β ，其次為 ϵ 和 α 。且擁有約 4.5-4.9eV 的超寬能隙與臨界電場高達 8 MV/cm，相較於 GaN 的能隙 3.4eV，SiC 的能隙 3.3eV 都高出許多，在 Barliga 評價 (BFOM) 寬能隙半導體的係數中 Ga_2O_3 高達 3444，是 SiC 的十倍、GaN 的四倍。然而， β 相在展現出色的物性參數的同時，也有一些不如 SiC 及 GaN 的方面，這就是遷移率和導熱率低，以及難以製造 p 型半導體。

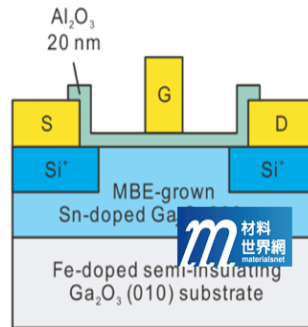
原文網址：<https://kknews.cc/news/pjvkrzj.html>

	Si	4H-SiC	GaN	Ga_2O_3
Bandgap E_g/eV	1.12	3.25	3.4	4.5–4.9
Dielectric constant k	11.8	9.7	9	10
Breakdown field $E_{br}/(\text{MV}/\text{cm})$	0.3	2.5	3.3	8
Thermal conductivity $\lambda/(\text{W}/\text{cm}\cdot\text{K})$	1.5	4.9	2.3	0.25
Electron mobility $\mu/(\text{cm}^2/\text{V}\cdot\text{s})$	1500	1000	1250	300
BFOM $k\mu E_{br}^3$	1	317.1	846	3444

Why it is superior to other materials and how it works?

A: 藉由摻雜流程可以向其添加電荷載流子，增加其導電性：

通過摻雜錫可精確控制氧化鎵同質磊晶薄膜中的電子濃度。在室溫下電子密度對於其溫度是有相依性的。利用設定晶體溫度來改變進入氧化鎵中的錫的量，由此可以將氧化鎵薄膜中的電子密度控制在 $n=10^{16} \sim 10^{19} \text{cm}^{-3}$ 較寬的範圍內。



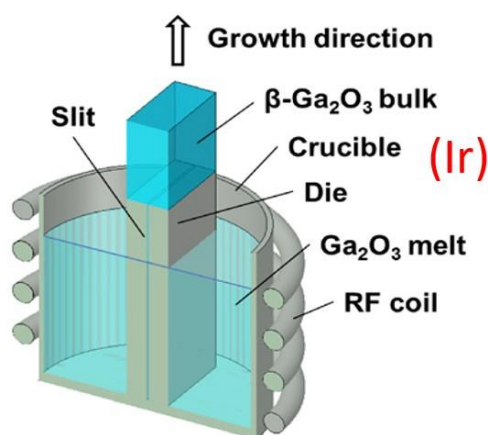
擁有極大的崩潰電場/破壞電場(Breakdown Field):

因為具有 4.7-4.9 eV 寬大的能隙值，所以更加有利於製作更高電壓切換開關裝置以及功能性更為強大的射頻(RF)電子設備。除其崩潰電場需夠高外，在導通電阻方面也是重要參數之一。 Ga_2O_3 之導通電阻也較 GaN 與 SiC 低，也因此 Ga_2O_3 在工業或是軍事上作為整流器時將會是非常好的應用。

在大型晶圓之結晶的氧化鎵實際上非常容易製造:

製程上氧化鎵基板製作比碳化矽、氮化鎵更容易，電力耗損僅是矽的 1/3400 左右，與碳化矽相比也僅 1/10。

經由熔融生長法，能夠商業化製作出大的單晶 β -氧化鎵塊材及晶圓。在現今商業生產上主要應用 EFG 長晶法（如下圖所示），此方法能生產大量且高純度的 Ga_2O_3 晶圓，在 N_2/O_2 下融化高純度（5N）的 Ga_2O_3 Powder 在 Ir 的坩鍋中，並以每小時 15 mm 的速率從晶種中拉出晶棒，最後再去清洗切割，若要 n-type 摻雜後續再摻 Sn 或 Si 等元素

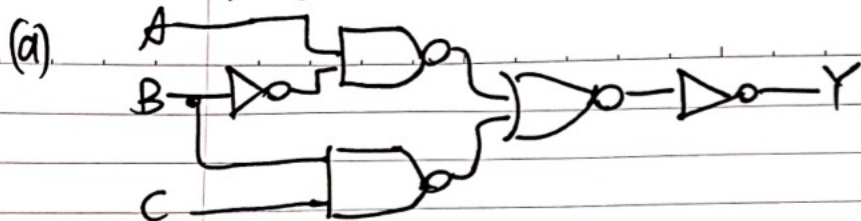


Where it can be used?

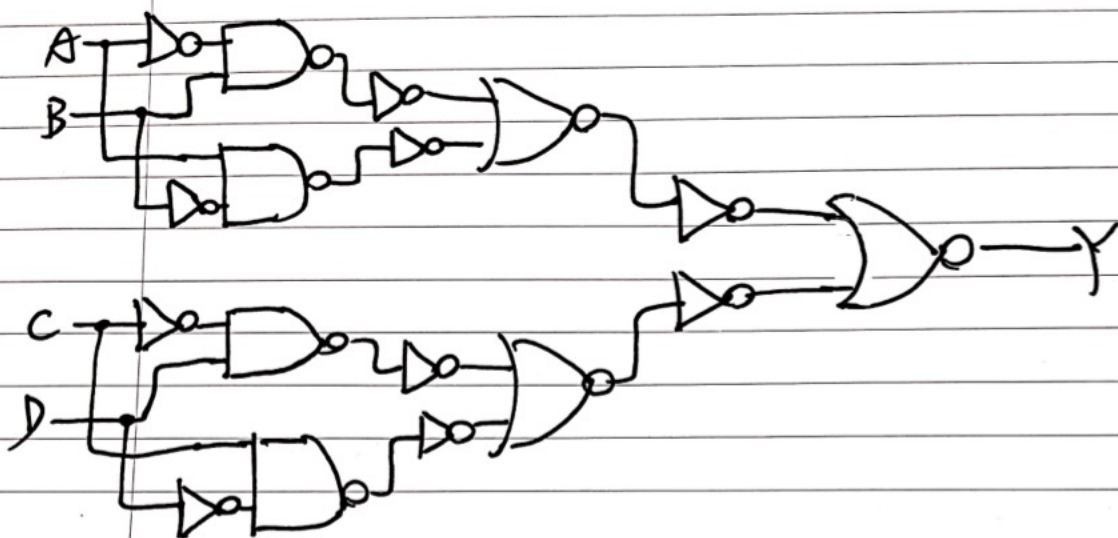
A: 預計將可用於更大的電力充電系統及其電網供應系統，可應用領域包括**新能源車、太陽能、風電、5G 通訊與軌道交通**等。而氧化鎵為「超寬能隙半導體」，擁有高電壓使用特性優勢，可應用於**更大電力充電系統、電網供應系統**等，而使用這些材料的設備更能大幅提升軍事潛能。作為一種透明的氧化物半導體材料，**在光電子器件方面有廣闊的套用前景**，被用作於 Ga 基半導體材料的絕緣層，以及紫外線濾光片。它還可以用作 O₂ 化學探測器。迄今為止，**紫外線檢測器(UV Detector)、薄膜電晶體**等皆為寬能隙值特性的應用範例。

Prob 2.

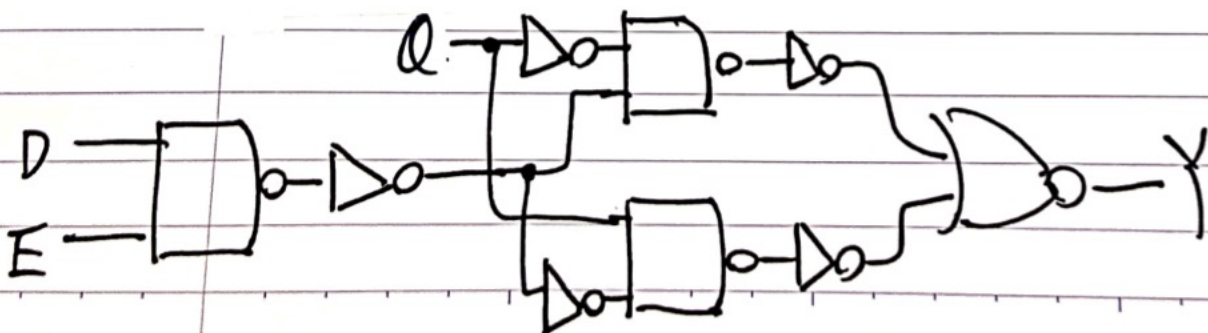
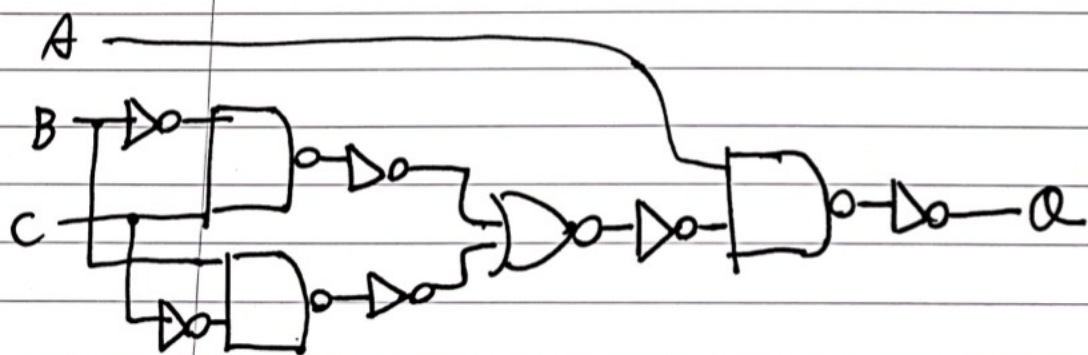
$$Y = (\overline{A} \overline{B}) + (\overline{B} C)$$



(b) $Y = ((A \oplus B) + (C \oplus D))' = ((A'B + AB') + (C'D + CD'))'$



(c) $\overline{Y} = (A(B'C + BC')) \oplus (DE)$, $Y = \overline{(A(B'C + BC')) \oplus (DE)}$



#

Prob 3. (a) $V_A = |V_{tp}|$, $V_B = |V_{tp}|$

(b) $V_A = V_{DD}$, $V_B = V_{DD} - V_{th}$, $V_C = V_{DD} - V_{th}$

(c) $V_A = |V_{tp}|$, $V_B = 2|V_{tp}|$

(d) $V_A = V_{DD} - 2V_{th}$, $V_B = V_{DD} - 2V_{th}$, $V_C = V_{DD} - 2V_{th}$, $V_D = V_{DD} - 3V_{th}$

Prob 4.

(a)

a	b	c	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

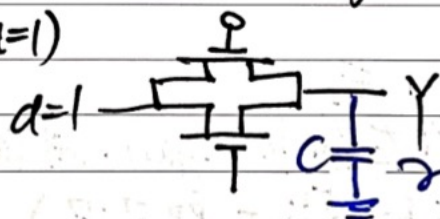
$$\Rightarrow Y = a'bc + a'b'c' + ab'c + abc$$

$$= ab'(c+c') + bc(a+a')$$

$$= ab' + bc$$

(b) No! 當 $b=0$ 時, 上面 transmission-gate 會通; $b=1$ 時, 下面的會通

導通時: (if $a=1$)



→ transmission gate 的寄生電容

一開始兩個 MOS 皆通, nMOS, PMOS 一起替 C 充電,

充到 $V_{DD} - V_{th}$ 時, nMOS 斷路, 但 PMOS 仍為導通, 會繼續

把 C 充到 V_{DD} , 故 $V_Y = V_{DD}$, No Bad One!

(if $a=0$): 同上, nMOS, PMOS 會一起替 C 放電,

等放到 $|V_{tp}|$ 時, PMOS 斷路, 但 nMOS 仍為導通, 會繼續

把 C 放電到 GND, 故 $V_Y = GND$, No Bad Zero!

#.

Prob 5. Triode Region: $I_{DS} = K_n ((V_{GS} - V_{tn}) V_{DS} - \frac{1}{2} V_{DS}^2)$

$$\frac{dI_{DS}}{dV_{DS}} = K_n (V_{GS} - V_{tn} - V_{DS}) \quad \text{At } V_{DS} = 0:$$

$$\Rightarrow K_n (V_{GS} - V_{tn}) = \begin{cases} \textcircled{1} V_{GS} = 0.6: K_n (0.6 - V_{tn}) = 168 \\ \textcircled{2} V_{GS} = 0.8: K_n (0.8 - V_{tn}) = 252 \end{cases}$$

$$\textcircled{3} V_{GS} = 1.0: K_n (1.0 - V_{tn}) = 336$$

$$\Rightarrow \frac{\textcircled{1}}{\textcircled{2}} = \frac{168}{252} = \frac{6 - 10V_{tn}}{8 - 10V_{tn}} \Rightarrow 168 \times 8 - 1680 V_{tn} = 6 \times 252 - 2520 V_{tn}$$

$$\Rightarrow 840 V_{tn} = 6 \times 252 - 8 \times 168$$

$$\Rightarrow V_{tn} = 0.2$$

驗算

$$\Rightarrow \frac{\textcircled{1}}{\textcircled{3}} = \frac{168}{336} = \frac{1}{2} = \frac{6 - 10V_{tn}}{10 - 10V_{tn}}, \quad 12 - 20V_{tn} = 10 - 10V_{tn}, \quad V_{tn} = 0.2$$

$$\Rightarrow V_{tn} = 0.20 \text{ V}$$

(因為 $V_{DS} = 0$ 相當於在 Triode Region, 用 triode region 公式並微分找出斜率再解聯立即可得)

#.

Prob 6. (a)

a	b	c	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$Y = a'bc + ab'c + abc' + abc$$

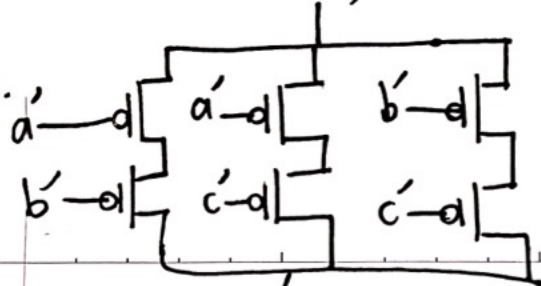
$$= bc + ab'c + abc'$$

$$= ab + bc + ac$$

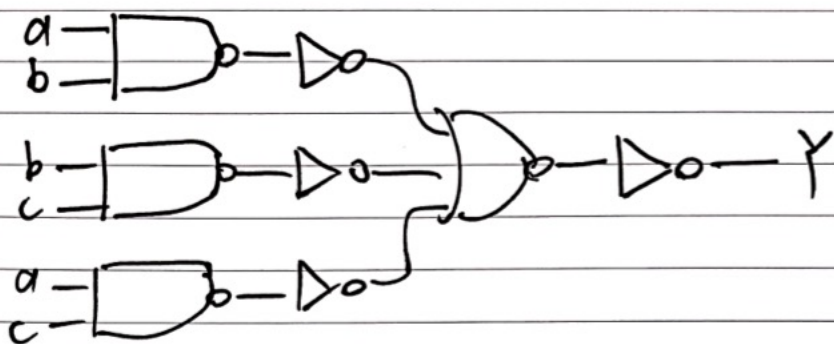
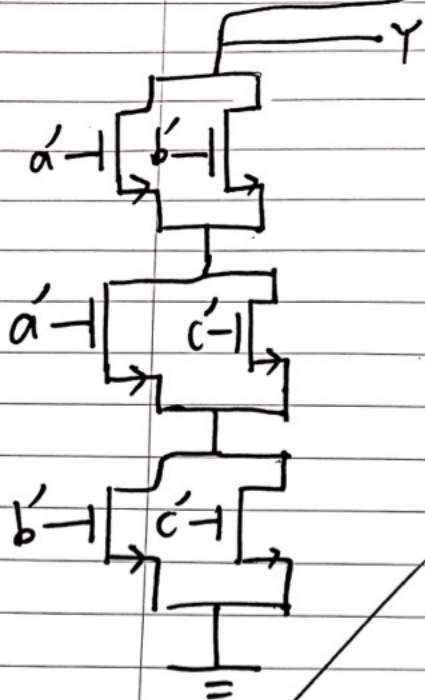
$$\bar{Y} = (ab + bc + ac)' = (a' + b')(b' + c')(a' + c')$$

續 Prob.

(a)



(b)



(a) 用了共 12 顆 transistors

(b): two input Nand $\Rightarrow 4$

Inverter $\Rightarrow 2$ 顆 transistors

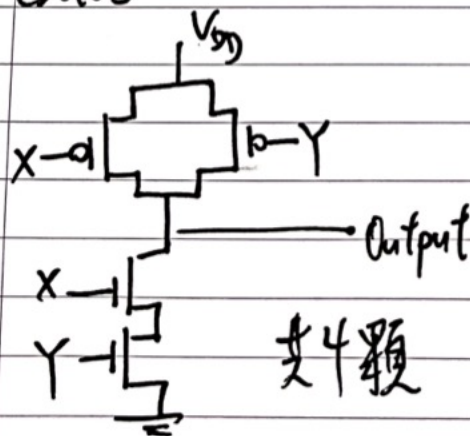
three input Nor $\Rightarrow 6$

\Rightarrow 所以 (b) 會用 $4 \times 3 + 2 \times 3 + 6 + 2 = 24$ 顆

#

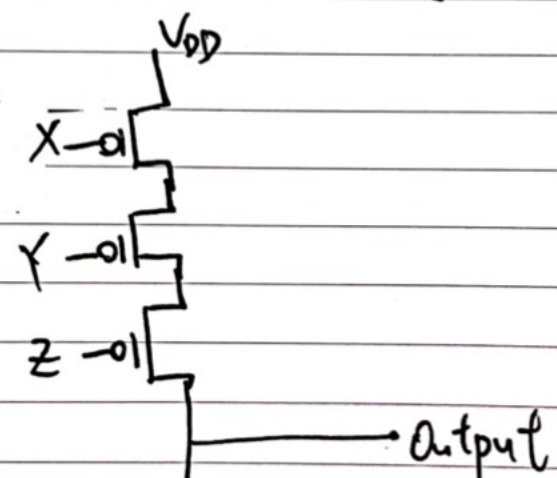
CMOS:

NAND



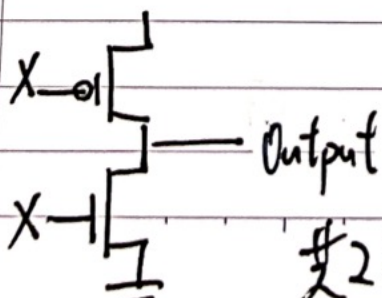
共 4 顆

NOR

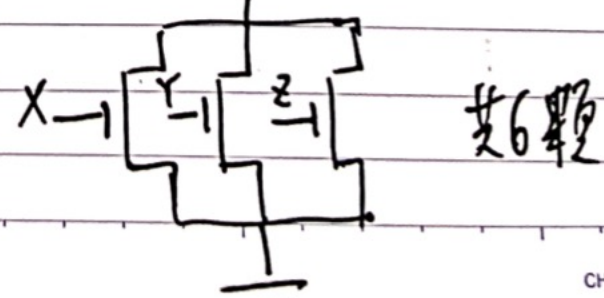


Output

INV



共 2 顆



共 6 顆