

# Final Project Report

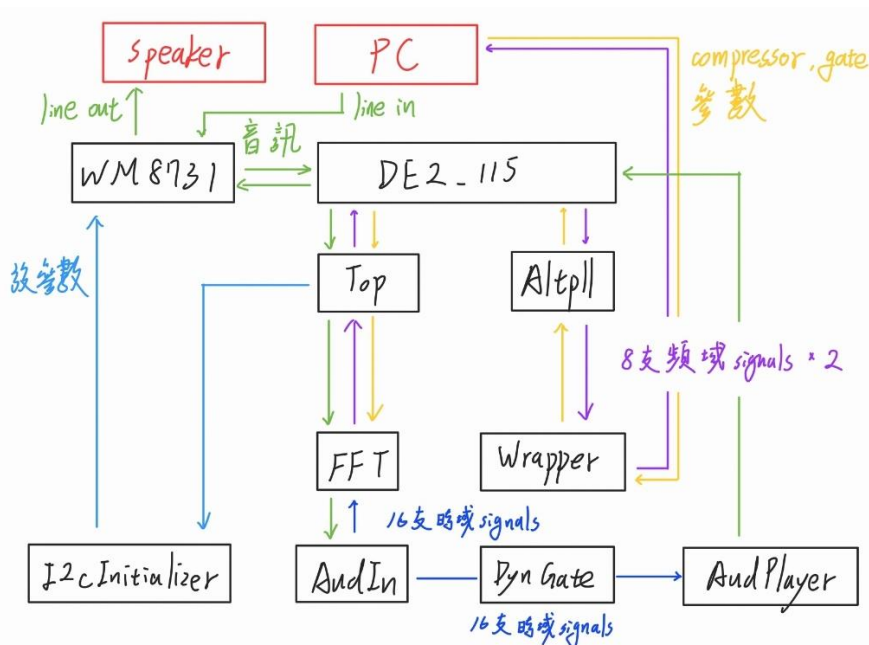
第五組

## 一、層級架構

DE2\_115

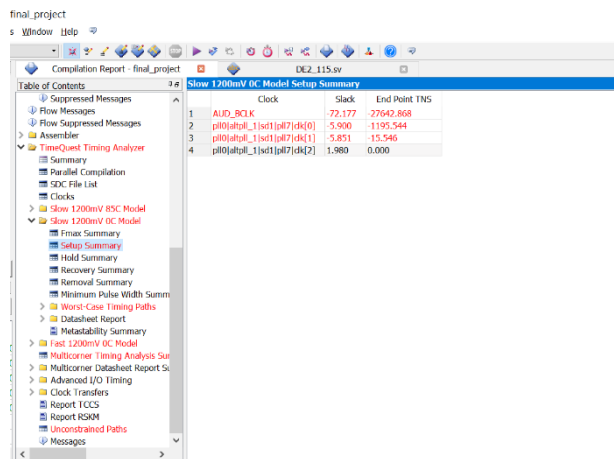
```
|-- pl10 (AltPl1)
|-- deb0 ~ deb2 (Debounce)
|-- seven_dec0 ~ seven_dec3 (SevenHexDecoder)
|   |-- wrapper_0 (Wrapper)
|-- top0 (Top)
|   |-- init0 (I2cInitializer)
|   |-- dygt0 (Dynamic Gate)
|   |-- Pan_Control (PanLR)
|   |-- player0 (AudPlayer)
|   |-- audin0 (AudIn)
|   |-- fft16_0 ~ fft16_3 (FFT)
|       |-- point16_1 (POINT16)
|           |-- point8_1 ~ point8_2 (POINT8)
|               |-- point4_1 ~ point4_2 (POINT4)
|                   |-- point2_1 ~ point2_2 (POINT2)
```

## 二、Block Diagram



### 三、FSM





Fitter Summary	
Fitter Status	Successful - Tue Dec 27 11:12:58 2022
Quartus II 64-Bit Version	15.0.0 Build 145 04/22/2015 SJ Full Version
Revision Name	final_project
Top-level Entity Name	DE2_115
Family	Cyclone IV E
Device	EP4CE115F29C7
Timing Models	Final
Total logic elements	40,302 / 114,480 ( 35 % )
Total combinational functions	39,952 / 114,480 ( 35 % )
Dedicated logic registers	9,252 / 114,480 ( 8 % )
Total registers	Dedicated logic registers
Total pins	518 / 529 ( 98 % )
Total virtual pins	0
Total memory bits	0 / 3,981,312 ( 0 % )
Embedded Multiplier 9-bit elements	400 / 532 ( 75 % )
Total PLLs	1 / 4 ( 25 % )

Compilation Report - final\_project DE2\_115.vv

## Contents

- Ignored Assignments
- Incremental Compilation Section
- Pin-Out File
- Resource Section
- I/O Rules Section
- Device Options
- Operating Settings and Conditions
- Estimated Delay Added for Holes
- Messages
- Suppressed Messages
- Flow Messages
- Flow Suppressed Messages
- Assembler
- TimeQuest Timing Analyzer
- Summary
- Parallel Compilation
- SDC File List
- Clocks
- Slow 1200mV 85C Model
- Slow 1200mV 0C Model
- Fast 1200mV 0C Model
- Multicorner Timing Analysis Set
- Multicorner DataSheet Report Set
- Advanced I/O Timing
- Clock Transfers
- Report TCS
- Report RSQM
- Unconstrained Paths
- Messages

Unconstrained Paths			
Property		Setup	Hold
1	Illegal Clocks	0	0
2	Unconstrained Clocks	5	5
3	Unconstrained Input Ports	6	6
4	Unconstrained Input Port Paths	8887	8887
5	Unconstrained Output Ports	51	51
6	Unconstrained Output Port Paths	201	201

Compilation Report - final\_project

DE2\_115.v

Contents

Suppressed Messages

Flow Messages

Flow Suppressed Messages

Assembler

TimeQuest Timing Analyzer

Summary

Parallel Compilation

SDC File List

Clocks

Slow 1200mV BSC Model

Slow 1200mV OC Model

Fmax Summary

Setup Summary

Hold Summary

Recovery Summary

Removal Summary

Minimum Pulse Width Summary

Worst-Case Timing Paths

Datasheet Report

Metastability Summary

Fast 1200mV OC Model

Multicorner Timing Analysis Summary

Multicorner Datasheet Report Summary

Advanced I/O Timing

Clock Transfers

Report TCCS

Report RS0M

Unconstrained Paths

Messages

Slow 1200mV OC Model Fmax Summary

	Fmax	Restricted Fmax	Clock Name	Note
1	13.21 MHz	13.21 MHz	AUD_BCLK	
2	99.52 MHz	99.52 MHz	pll0[atlpl_1]sd1[pd7]ck[1]	
3	134.28 MHz	134.28 MHz	pll0[atlpl_1]sd1[pd7]ck[0]	
4	159.8 MHz	159.8 MHz	pll0[atlpl_1]sd1[pd7]ck[2]	

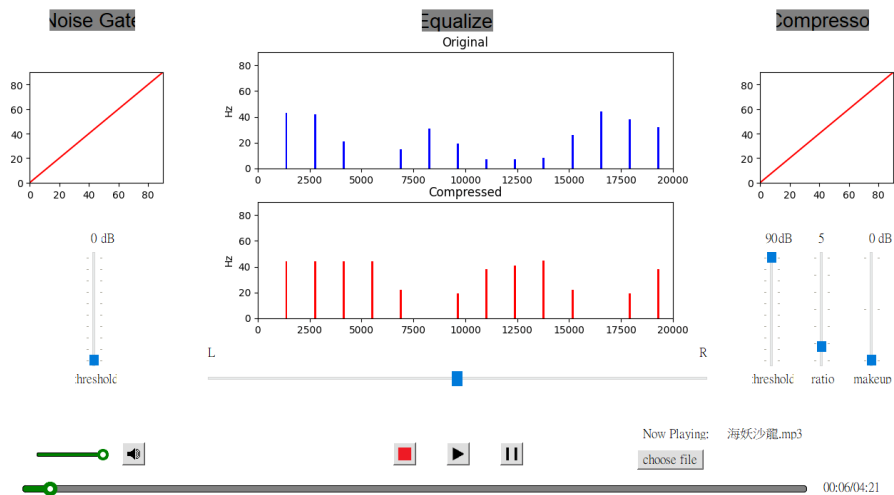
This panel reports FMAX for every clock in the design, regardless of the user-specified clock periods. FMAX is only computed for paths where the source and destination registers or ports are driven by the same clock. Paths of different clocks, including generated clocks, are ignored. For paths between a clock and its inversion, the delay is reported as 0.

Tables of Contents		Multicorner Timing Analysis Summary					
		Clock	Setup	Hold	Recovery	Removal	Minimum Pulse V
↳ Suppressed Messages		1 Worst-case Slack	-80.294	0.160	34.881	2.076	9.400
↳ Flow Messages		2 AUD_BCLK	-80.294	0.160	N/A	N/A	40.478
↳ Assembler		3 CLOCK_50	N/A	N/A	N/A	N/A	16.000
↳ Flow Suppressed Messages		4 CLOCK_50	N/A	N/A	N/A	N/A	9.400
↳ TimeQuest Timing Analyzer		5 pll0[atlpl_1]sd1[pd7]ck[0]	-6.506	0.181	34.881	2.076	19.689
↳ Summary		6 pll0[atlpl_1]sd1[pd7]ck[1]	-6.499	0.179	N/A	N/A	4999.711
↳ Parallel Compilation		7 pll0[atlpl_1]sd1[pd7]ck[2]	1.830	0.178	N/A	N/A	41.373
↳ QDC File List		2 Design-wide TNS	-32128.949	0.0	0.0	0.0	0.0
↳ Clocks		1 AUD_BCLK	-30788.091	0.000	N/A	N/A	0.000
↳ Slow 1200mV I5C Model		2 CLOCK_50	N/A	N/A	N/A	N/A	0.000
↳ Slow 1200mV I5C Model		3 CLOCK_50	N/A	N/A	N/A	N/A	0.000
↳ Fringe Summary		4 CLOCK_50	N/A	N/A	N/A	N/A	0.000
↳ Setup Summary		5 pll0[atlpl_1]sd1[pd7]ck[0]	-1323.568	0.000	0.000	0.000	0.000
↳ Hold Summary		6 pll0[atlpl_1]sd1[pd7]ck[1]	-17.290	0.000	N/A	N/A	0.000
↳ Recovery Summary		7 pll0[atlpl_1]sd1[pd7]ck[2]	0.000	0.000	N/A	N/A	0.000
↳ Removal Summary							
↳ Minimum Pulse Width Summ							
↳ Worst-Case Timing Paths							
↳ DataSheet Report							
↳ Metadatabase Summary							
↳ Fast 1200mV I5C Model							
↳ Multicorner Timing Analysis Su							
↳ Multicorner Timing Analysis Su							
↳ Advanced I/O Timing							
↳ Clock Transfers							
↳ Report TCES							
↳ Report RSQM							
↳ Unconstrained Paths							
↳ Messages							

## 五、功能簡介

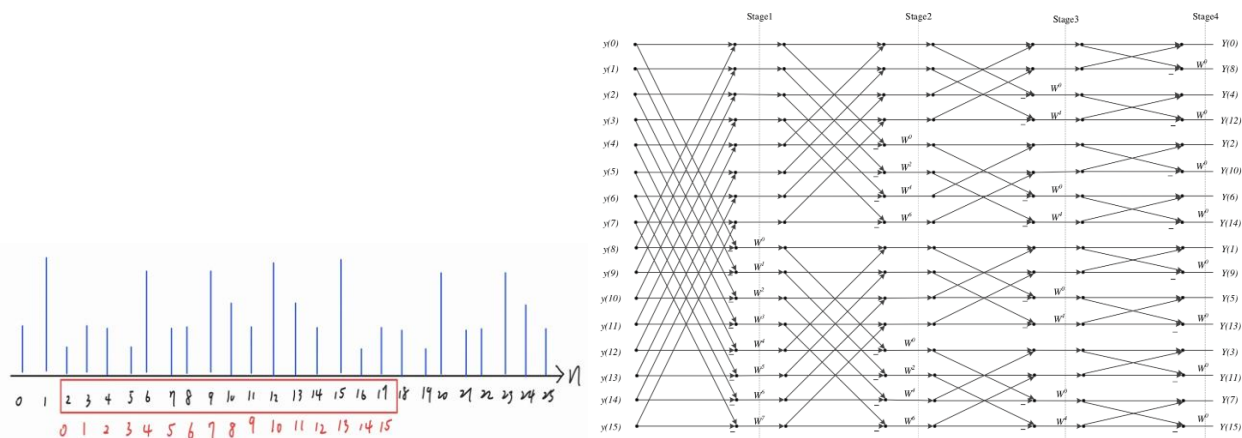
### 1. GUI

我們使用 python 的模組 PyQt5 做了一個 GUI 介面，最下方的部分用來播放音訊，上方則是與 FPGA 處理較有關，較詳細介紹如後。



## 2. FFT

FFT 使用的演算法我們是參考 Introduction to Algorithms (系上演算法課本) 介紹的方式改成 Verilog 的 16 個訊號版本，演算法可參閱此課本。FFT 的蝶形網路、浮點虛數計算應該是其中難度較高的部分，因此負責這部分的組員是按照下方的接法手刻出整個蝶形網路，而浮點虛數我們則是將一個 16-bit 實數轉成一個 16-bit 整數部分+16-bit 小數部分，並且用相同方式記錄虛部，計算完後再轉回 16-bit 整數。

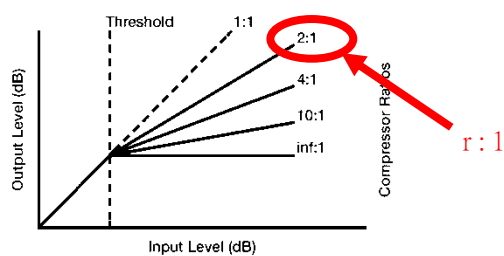


## 3. Compressor

目的是降低音量動態(大小差距)，參數有 threshold、ratio、makeup，其中 ratio 定義為

$$r = \frac{\text{input} - \text{threshold}}{\text{output} - \text{threshold}}$$

由於我們在壓縮之後，並不是希望聲音壓到聽不到，因此會再加上一個 makeup 的音量，使聲音恢復原本水平。



## 六、遇到的問題與解決辦法

1. 一般 compressor 會操作在 dB 的尺度上，然而 Verilog 不好實現浮點數與次方相關

運算，因此我們直接在線性尺度上操作，仍能產生一定的效果

2. I2S 原本以為可以 work，但後來發現一直是 BYPASS 狀態，Quartus 合成的 PLL 顯示是 0(應該有 1 個)，無法找到原因，後來經過一些修改又不知道為什麼可以和成 PLL 了
3. 還有從 FPGA 端讀入的資料也是 byte 模式 一開始我以為只要把資料當成字串處理 (因為形式很多 /x00 的形式 所以原本是把 /x 去掉) 結果發現這樣行不通 (因為可能有編碼的問題導致不完全是上述的格式) 要用 python import 別的模組來解碼
4. serial 在傳輸一開始不知道傳輸的格式 所以一直傳錯東西 後來多試幾次多查資料就可以了
5. FFT 沒有被正確的 restart 去重算頻譜，後來想清楚哪個是重要訊號和 timing 就修好了
6. Wrapper 傳送資料有誤，改很久改對了
7. 要傳的資料格式沒有先溝通好，導致收到的訊息做的事跟想像的不一樣
8. testbench 寫錯導致誤以為自己是對的，最後寫 python 去對比答案
9. 經過效果器後的聲音雜音非常的大，原因不明

心得：

這學期大家都修了很多課，導致期末專題到比較晚才開始弄，雖然和我們一開始 proposal 說的內容大致上一樣，但是如果有更多時間，一定可以做超過，而且也能做的更漂亮，或甚至挑戰更難的題目。這學期的數電實驗，學到了很多 verilog，非常的充實，感謝兩位助教這一學期的付出！