

1.

(a)



X 軸： $V_g(V)$ Y 軸： $V_{th}(V)$

```
*hw1_1a
.protect
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

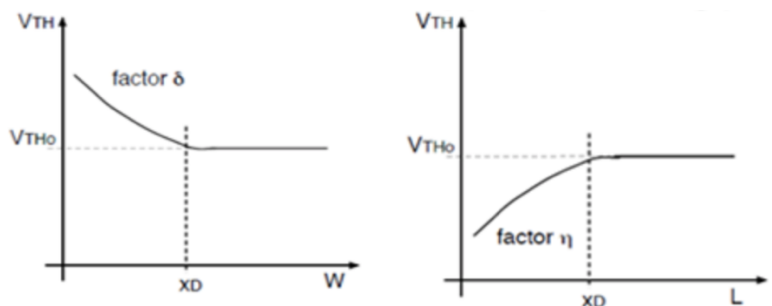
M1A D1 G1 S1 GND n_18 w=5u l=0.18u m=2
M1B D2 G2 S2 GND n_18 w=5u l=0.36u m=4

v1 D1 0 1.8
v2 D2 0 1.8
v3 S1 0 0
v4 S2 0 0
v5 G1 0 0
v6 G2 0 0

.op

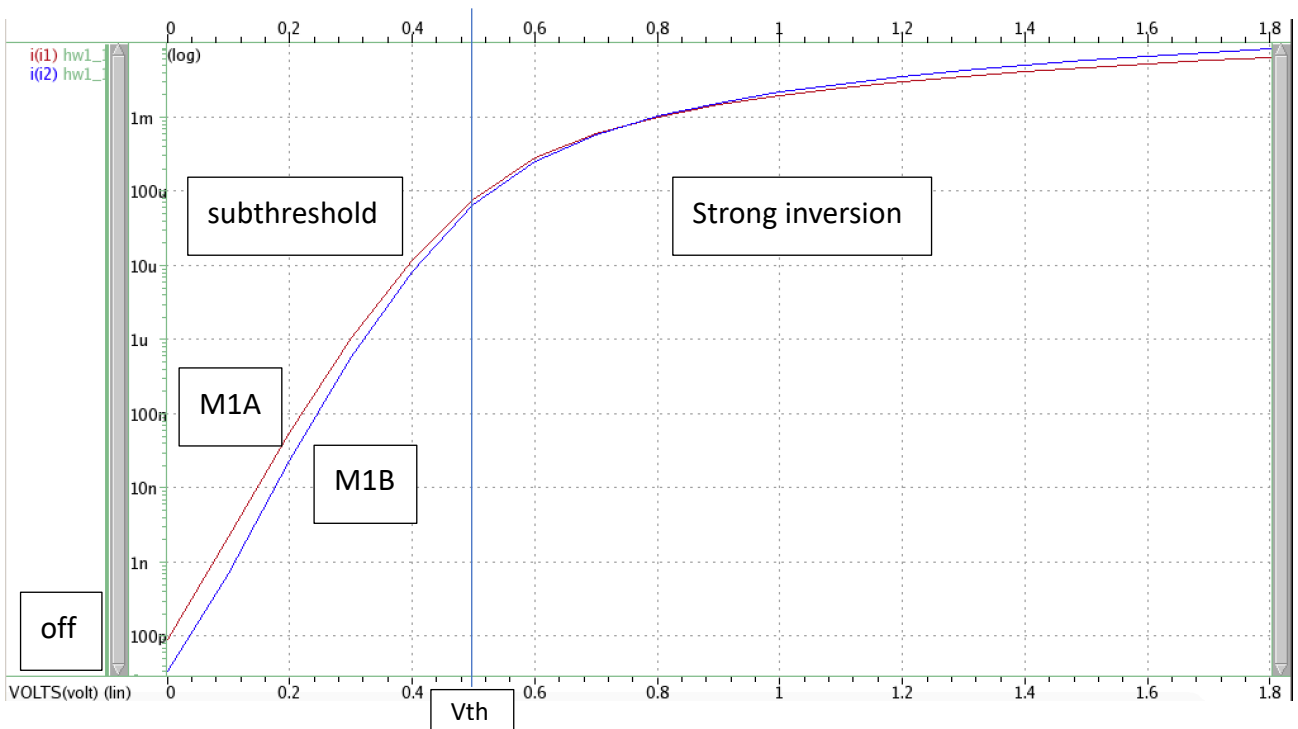
.dc v5 0 1.8 0.1
.dc v6 0 1.8 0.1

.plot Vth1=LV9(M1A)
.plot Vth2=LV9(M1B)
.end
```



討論：正常來說 W 越小 V_{th} 越大， L 越小 V_{th} 越小，並聯後的 M1A 和 M1B 的 W/L 值相同，所以 V_{th} 相近，但 M1A 稍微大一點點。

(b)



X 軸： $V_g(V)$ Y 軸： $(\log)I_d(A)$

```
*hw1_1b
.proTECT
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

M1A D1 G1 S1 GND n_18 w=5u l=0.18u m=2
M1B D2 G2 S2 GND n_18 w=5u l=0.36u m=4

v1 D1 0 1.8
v2 D2 0 1.8
v3 S1 0 0
v4 S2 0 0
v5 G1 0 0
v6 G2 0 0

.op

.dc v5 0 1.8 0.1
.dc v6 0 1.8 0.1

.plot I1=I(M1A)
.plot I2=I(M1B)
.end
```

討論：當 V_{gs} 為 0 時，是在 off 的狀態，當 $V_{gs} < V_{th}$ 時，是在 subthreshold，M1A 和 M1B 的 V_{th} 約為 0.45V，所以 $0V < V_{gs} < 0.45V$ 為 subthreshold 的區域，當 $V_{gs} > V_{th}$ 時，是在 strong inversion 的狀態，也就是 $V_{gs} > 0.45V$ 。

M1A 在 V_{gs} 為 0 時， I_d 約為 100p， V_{gs} 為 0.45 時， I_d 約為 90u， I_{on}/I_{off} 約為

9×10^5 ，M1B 在 V_{GS} 為 0 時， I_d 約為 30p， V_{GS} 為 0.45 時， I_d 約為 85u， I_{on}/I_{off} 約為 2.8×10^6 。

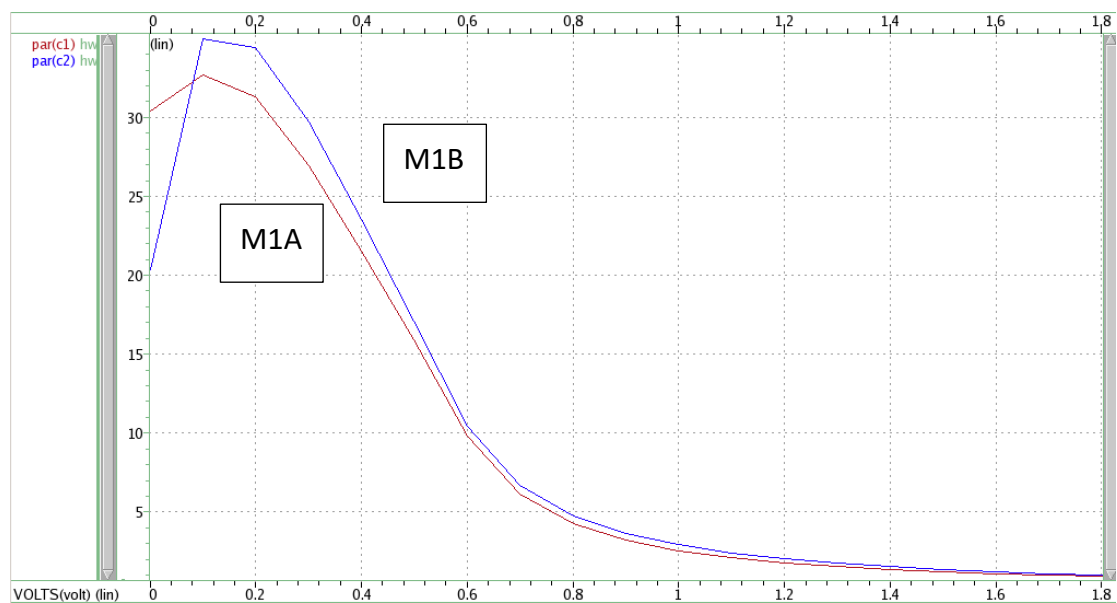
正常來說 $V_{GS} < V_{th}$ 應該是要沒有電流，是在 cut off 的狀態，但實際上會有微小的電流

流過，由 nmos subthreshold 電流公式 $I_{DS} = I_S \frac{W}{L} e^{\frac{V_{GS}}{nV_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}} + \frac{V_{DS}}{V_A} \right)$ 可看出 V_{GS} 越大， I_d 是 exponential 的增大，當在 strong inversion 時，電流公式為在 linear 和 saturation

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th} - \frac{V_{DS}}{2}) V_{DS}, \quad I_D = \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS})$$

都可看出 V_{GS} 越大 I_d 越大，M1A 和 M1B 的 V_{th} 和並聯後 W/L 的比值都相近，所以 I_d 也會相近。

(c)



X 軸：Vg(V) Y 軸：gm/ I_d (S/A)

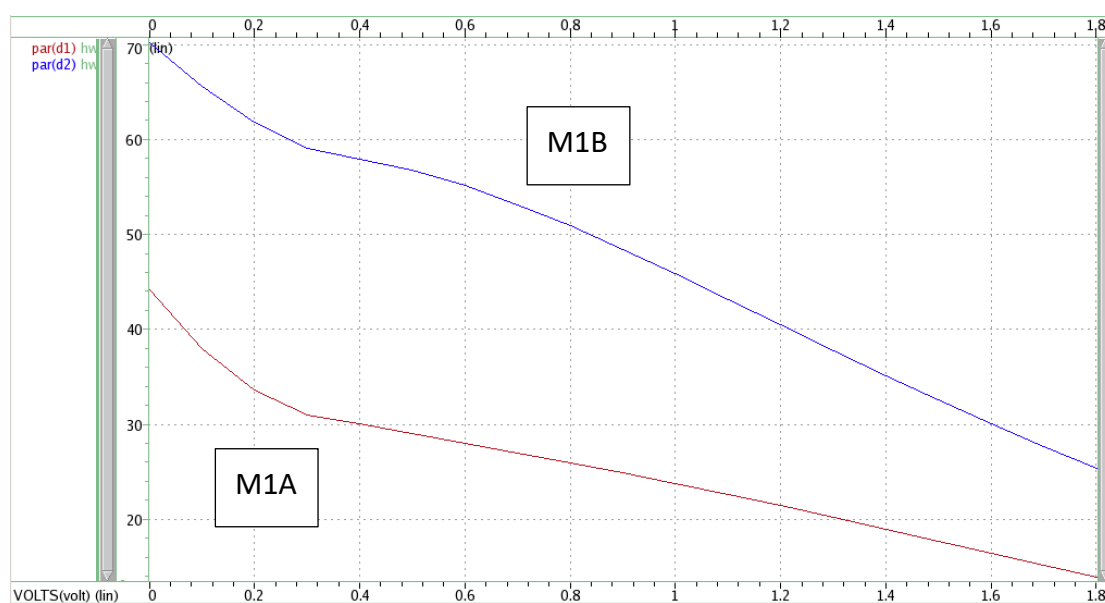
討論：Trans-conductor Efficiency 是指 MOS translate given current into an equivalent transconductance 效率，效率越高就越好，由公式

$$\frac{g_m}{I_D} = \frac{1}{I_D} \frac{\partial I_D}{\partial V_G} = \frac{\partial(\ln I_D)}{\partial V_G} = \frac{\partial \left\{ \ln \left[\frac{I_D}{\left(\frac{W}{L}\right)} \right] \right\}}{\partial V_G}$$

可知，最大值會在 weak inversion 的區

域，當 operating point 往 strong inversion 移動時，gm/Id 會下降。由圖可觀察出，在 low Vg 時，M1A 和 M1B 差異較大，隨著 Vg 增大時，兩者吻合。

(d)



X 軸：Vg(V) Y 軸：gm*ro

討論：在 saturation 時， $g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})$ ，當 W/L 為定值，gm 正比於 Vgs，而 ro

公式為 $r_o = \left(\frac{\partial v_{DS}}{\partial i_D} \right)_{V_{GS}=V_{GS}} = \left(\frac{\partial i_D}{\partial v_{DS}} \right)_{V_{GS}=V_{GS}}^{-1} = \frac{1}{\lambda \left(\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_m)^2 \right)} \approx \frac{1}{\lambda I_D}$ ，ro 與 Vgs^2 成反比，所以當

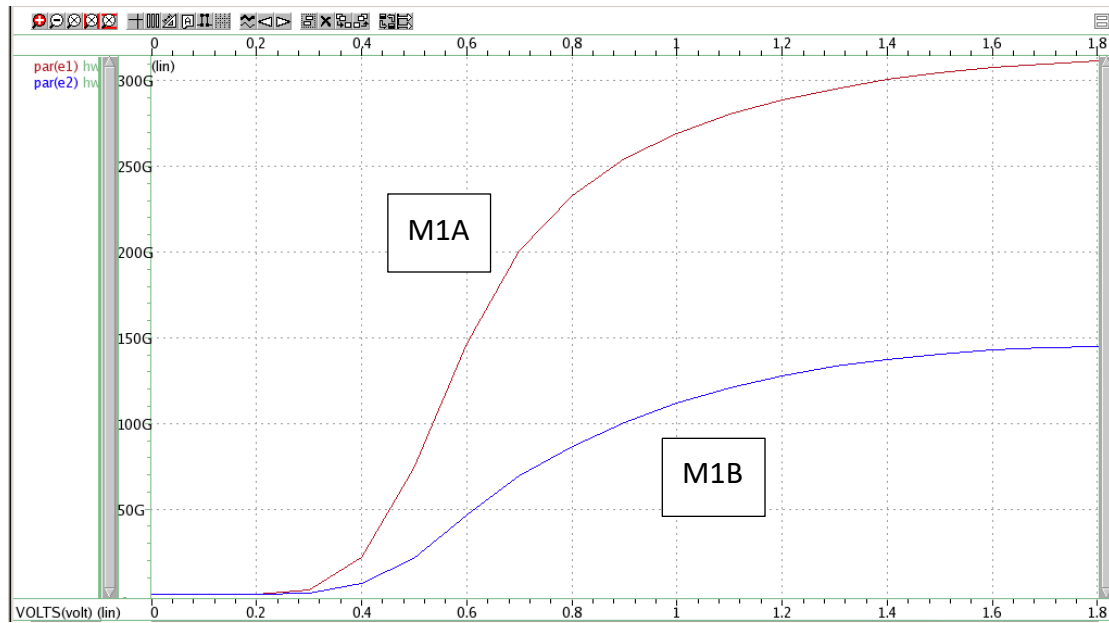
Vgs 越大時，gm*ro 會越小。在 linear region 時，gm 公式為 $g_m = \mu C_{ox} \left(\frac{W}{L} \right) V_{ds}$ ，理論上

此時 gm 與 Vgs 無關，但在 real device，gm 會跟著 Vgs 而變化，在 low Vgs 會是最大

值。由圖可觀察出，M1B 在 low Vg 時，比 M1A 大，隨著 Vg 越大，兩者差異逐漸縮

小。

(e)



X 軸： $V_g(\text{V})$ Y 軸： gm/Cg

```
*hw1_1cde
.protect
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

M1A D1 G1 S1 GND n_18 w=5u l=0.18u m=2
M1B D2 G2 S2 GND n_18 w=5u l=0.36u m=4

v1 D1 0 1.8
v2 D2 0 1.8
v3 S1 0 0
v4 S2 0 0
v5 G1 0 0
v6 G2 0 0

.op

.dc v5 0 1.8 0.1
.dc v6 0 1.8 0.1

.plot c1=par('(LX7(M1A)/I(M1A))')
.plot c2=par('(LX7(M1B)/I(M1B))')
.plot d1=par('(LX7(M1A)/LX8(M1A))')
.plot d2=par('(LX7(M1B)/LX8(M1B))')
.plot e1=par('(LX7(M1A)/LX18(M1A))')
.plot e2=par('(LX7(M1B)/LX18(M1B))')
.end
```

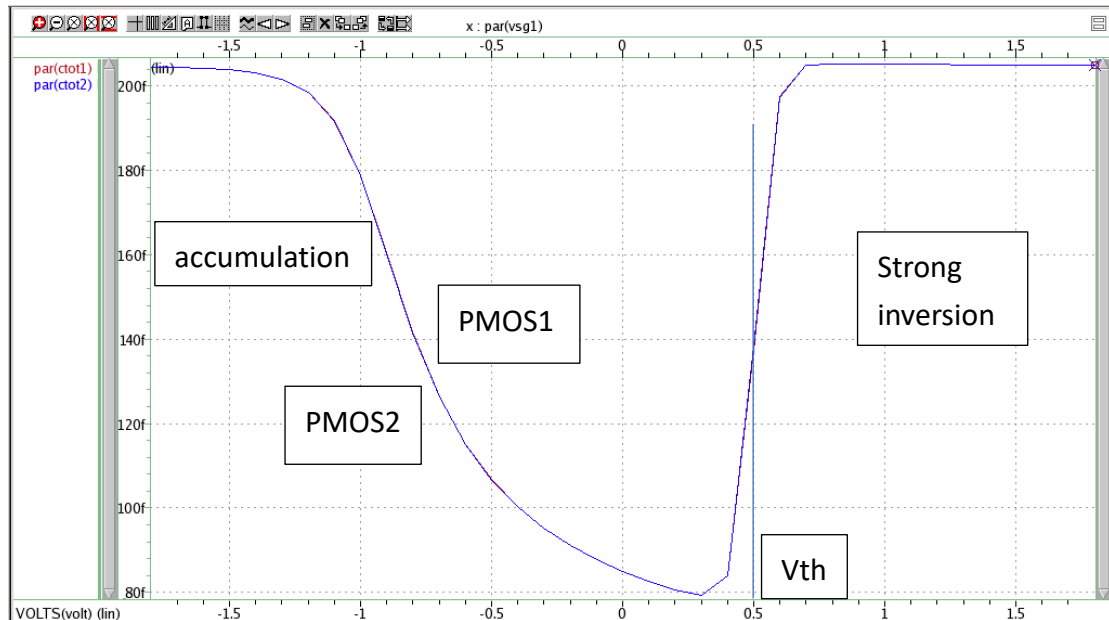
討論：MOSFET 的開關特性受寄生電容影響，也就是 C_{gs}, C_{gd}, C_{ds} ，這些電容值非線性，和 MOS 結構、幾何特性和偏置電壓相關。 gm/Cg 可以用來測量 device 的 switching

speed， $C_g = WLC_{ox}$ ，所以 $\frac{g_m}{C_g} = \frac{\mu}{L^2} (V_{gs} - V_{th})$ ， V_{gs} 越大 gm/Cg 就越大。在 real device，因

為 S/D junction 和 gate overlap capacitance 的關係，switching speed 會比預期來得小。有圖可看出， V_g 越大，M1A 的 switching speed 比 M1B 大很多。

2.

(a)



X 軸： $V_{sg}(V)$ Y 軸： $C_g (P)$

```
*hw1_2a
.proTECT
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

mp1 D1 G1 VDD VDD p_18 w=10u l=0.5u m=5
mp2 D2 G2 VDD VDD p_18 w=50u l=0.5u m=1

v1 VDD 0 1.8
v2 D1 0 1.8
v3 D2 0 1.8
v5 G1 0 0
v6 G2 0 0

.op

.dc v5 0 3.6 0.1
.dc v6 0 3.6 0.1

.plot vsg1=par('v(vdd)-v(g1)')

.probe ctot1=par('LX18(mp1)')
.probe ctot2=par('LX18(mp2)')

.end
```

討論：由於 MOS 中存在著明顯的電容結構，因此可以用 MOS 製作成電容使用。如果 PMOS 的 D、S、B 都接 VDD，當 V_{sg} 上升並達到 V_{th} 時在多晶矽下的 body 表面將開始出現反型層。在這種條件下 PMOS 可看成一個二端器件，並且不同的 V_{sg} 會產生厚

度不一樣的反型層，從而有不同的電容值。

(1)accumulation：當 V_{sg} 為很負的值，gate 上的負電壓就會把 body 中的空穴吸引到氧化層表面，即構成了積累區，此時，由於只有積累區出現，而無反型層，且積累層的厚度很厚，因此積累層的電容可以忽略。故此時的 PMOS 可以看成一個單位面積電容為 C_{ox} 的電容，其中間介質則為柵氧。當 V_{sg} 上升時，gate 表面的空穴濃度下降，積累層厚度減小，則積累層電容增大，該電容與柵氧電容相串聯後使總電容減小，直至 V_{sg} 趨於 0，積累層消失，當 V_{sg} 略大於 0 時，在柵氧下產生了耗盡層，總電容最小。

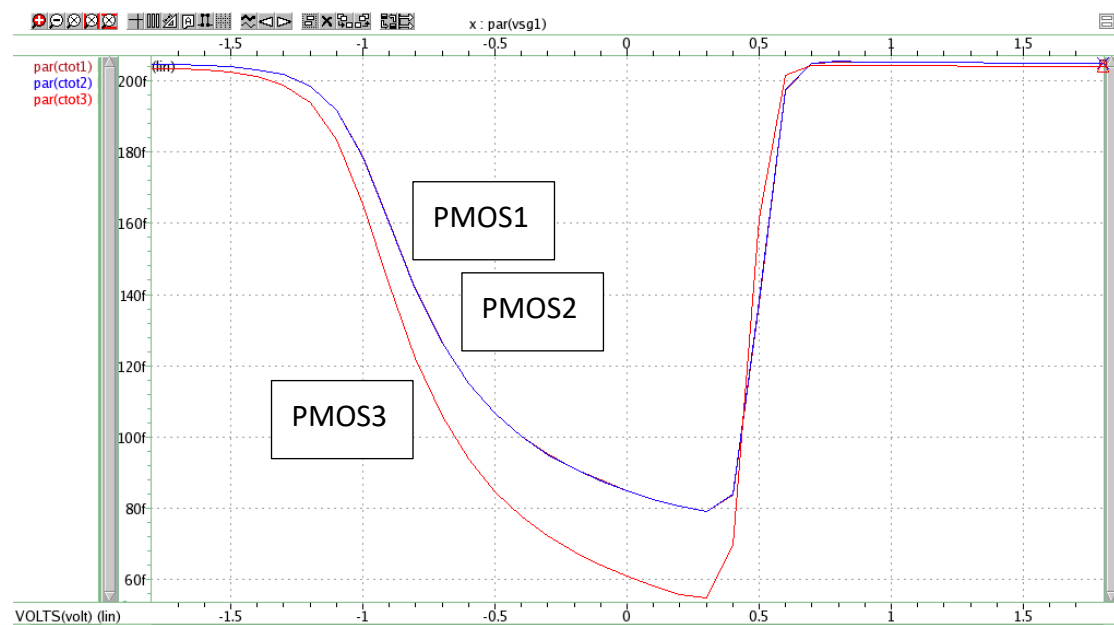
(2)depletion region： V_{sg} 繼續上升，則在柵氧下面就產生耗盡層，並開始出現反型層，該器件進入了弱反型區，在這種模式下，其電容由 C_{ox} 與 C_b 串聯而成，並隨 V_{sg} 的增人，其電容量逐步增大。

(3)strong inversion：當 V_{sg} 超過 V_{th} ，其二氧化矽表面則保持為一溝道，且其單位電容又為 C_{ox} 。

Region	C_{gb}	C_{gs}	C_{gd}	C_g
Cutoff	$C_{ox}WL_{eff}$	0	0	$C_{ox}WL_{eff}+2C_oW$
Linear	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}+2C_oW$
Saturation		$(2/3)C_{ox}WL_{eff}$	0	$(2/3)C_{ox}WL_{eff}+2C_oW$

並聯後的 PMOS1 和 PMOS2 W和 L 都相等， C_g 就相等，由圖可看出，waveform 幾乎一樣。

(b)



X 軸：Vsg(V) Y 軸：Cg (P)

```
*hw1_2b
.protect
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

mp1 D1 G1 VDD VDD p_18 w=10um l=0.5um m=5
mp2 D2 G2 VDD VDD p_18 w=50um l=0.5um m=1
mp3 D3 G3 VDD VDD p_18 w=5um l=5um m=1

v1 VDD 0 1.8
v2 D1 0 1.8
v3 D2 0 1.8
v4 D3 0 1.8
v5 G1 0 0
v6 G2 0 0
v7 G3 0 0

.op

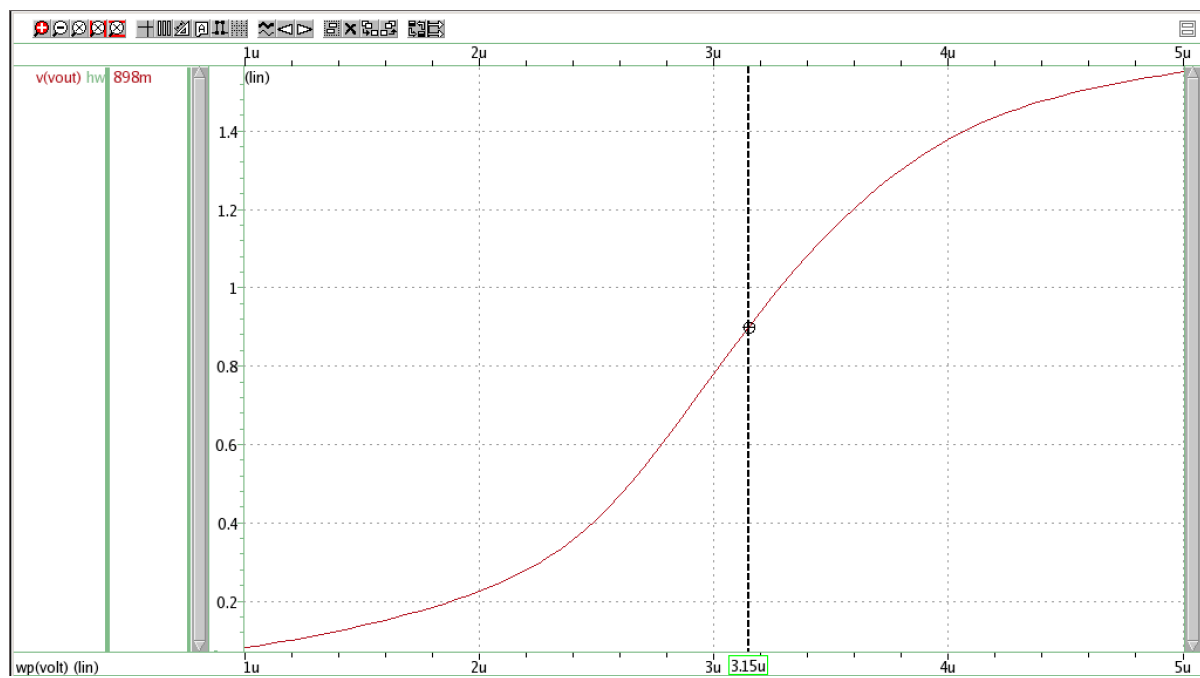
.dc v5 0 3.6 0.1
.dc v6 0 3.6 0.1
.dc v7 0 3.6 0.1

.plot vsg1=par('v(vdd)-v(g1)')
.probe ctot1=par('LX18(mp1)')
.probe ctot2=par('LX18(mp2)')
.probe ctot3=par('LX18(mp3)')

.end
```

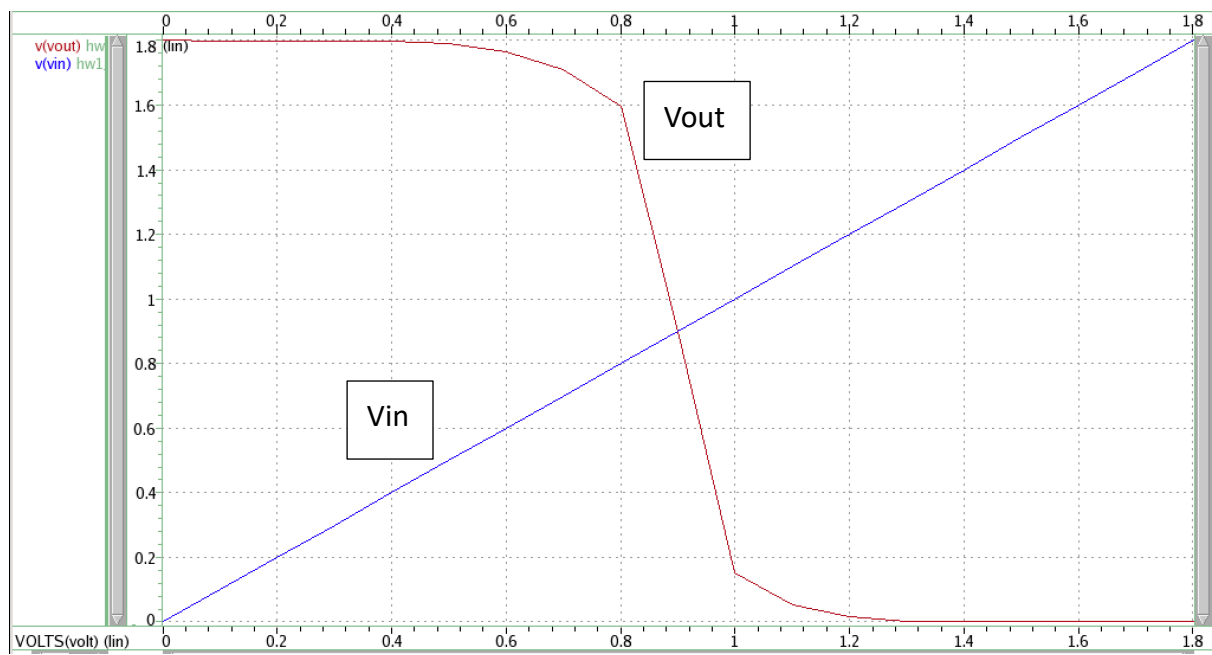
討論：PMOS3 $W \cdot L = 25, W = 5$ ，並聯後 PMOS1, PMOS2 $W \cdot L = 25, W = 50$ ，由上面的表可知， C_g 和 W 為正相關，PMOS1, PMOS2 的 C_g 大於 PMOS3，從圖也觀察出相同的結果，相互應證。

(a)



X 軸：width(m) Y 軸：Vout (V)

PMOS width 約為 3.15 μ m



X 軸：Vin(V) Y 軸：Vout (V)

```

*hw1_3a
.proTECT
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

.subckt inv vin vout vdd vss
mmp vout vin vdd vdd p_18 w=3.15u l=0.18u m=1
mmn vout vin vss vss n_18 w=1u l=0.18u m=1
.ends

X1 vin vout vdd vss inv

c1 vout 0 0.3p
v1 vdd 0 1.8
v2 vss 0 0
v3 vin 0 0

.op
.dc v3 0 1.8 0.1

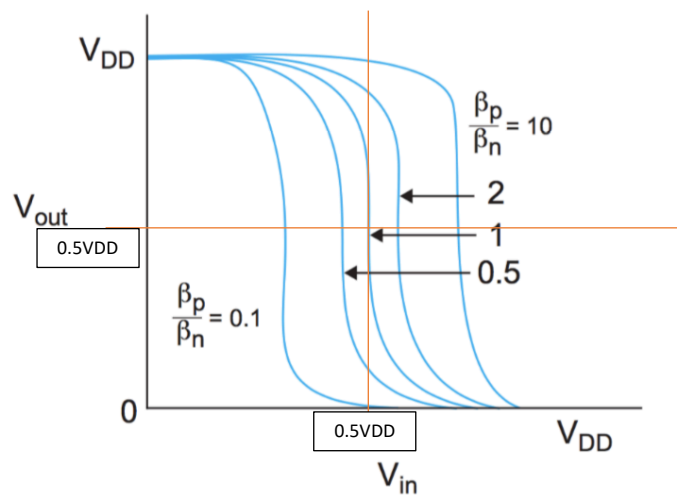
.end

```

討論：beta ratio effect , $\beta_p = \mu_p C_{ox} (W/L)_p$, $\beta_n = \mu_n C_{ox} (W/L)_n$, $\beta \text{ ratio} = \beta_p / \beta_n$, 當

$\beta \text{ ratio} = 1$, 會有最大的 noise margin , nmos 的 μ_n 大於 pmos 的 μ_p , 所以要選擇 pmos 的 W/L 大於 nmos 的 W/L , 讓 $\beta \text{ ratio} = 1$, switching threshold 會等於 $0.5V_{DD}$, $V_{in} = V_{out} = 0.5V_{DD}$ 。

當 $\beta \text{ ratio} > 1$, 變成 HI-skewed inverter , switching threshold 會大於 $0.5V_{DD}$, 當 $\beta \text{ ratio} < 1$, 變成 LO-skewed inverter , switching threshold 會小於 $0.5V_{DD}$ 。



(b)

	SS	SF	TT	FS	FF
-40°C	3.65u	889.2n	3.57u	2.54u	3.41u
25°C	3.106u	760n	3.15u	2.27u	3.04u
125°C	2.563u	628n	2.679u	1.959u	2.604u

單位：m

```
*hw1_3b-40
.protect
.lib 'cic018.l' TT
.unprotect

.temp -40
.option post

.param wp=0.25u

.subckt inv vin vout vdd vss
mmp vout vin vdd vdd p_18 w='wp' l=0.18u m=1
mmn vout vin vss vss n_18 w=1u l=0.18u m=1
.ends

X1 vin vout vdd vss inv

c1 vout 0 0.3p
v1 vdd 0 1.8
v2 vss 0 0
v3 vin 0 0.9

.op
.dc wp 0.7u 5u 0.05u

.alter ss
.lib 'cic018.l' ss
.alter sf
.lib 'cic018.l' sf
.alter fs
.lib 'cic018.l' fs
.alter ff
.lib 'cic018.l' ff

.end

*hw1_3b25
.protect
.lib 'cic018.l' TT
.unprotect

.temp 25
.option post

.param wp=0.25u

.subckt inv vin vout vdd vss
mmp vout vin vdd vdd p_18 w='wp' l=0.18u m=1
mmn vout vin vss vss n_18 w=1u l=0.18u m=1
.ends

X1 vin vout vdd vss inv

c1 vout 0 0.3p
v1 vdd 0 1.8
v2 vss 0 0
v3 vin 0 0.9

.op
.dc wp 0.7u 5u 0.05u

.alter ss25
.lib 'cic018.l' ss
.alter sf25
.lib 'cic018.l' sf
.alter fs25
.lib 'cic018.l' fs
.alter ff25
.lib 'cic018.l' ff

.end

*hw1_3b125
.protect
.lib 'cic018.l' TT
.unprotect

.temp 125
.option post

.param wp=0.25u

.subckt inv vin vout vdd vss
mmp vout vin vdd vdd p_18 w='wp' l=0.18u m=1
mmn vout vin vss vss n_18 w=1u l=0.18u m=1
.ends

X1 vin vout vdd vss inv

c1 vout 0 0.3p
v1 vdd 0 1.8
v2 vss 0 0
v3 vin 0 0.9

.op
.dc wp 0.25u 3u 0.05u

.alter ss
.lib 'cic018.l' ss
.alter sf
.lib 'cic018.l' sf
.alter fs
.lib 'cic018.l' fs
.alter ff
.lib 'cic018.l' ff

.end
```

討論：T/S/F 指的是 I_{ds} 是一個平均值/最小值/最大值，這是從測量角度解釋，也能理

Process Corner	Condition	
	NMOS	PMOS
FF	FAST – high mobility	FAST – high mobility
SS	SLOW- low mobility	SLOW- low mobility
TT	TYPICAL-nominal	TYPICAL-nominal
FS	FAST – high mobility	SLOW- low mobility
SF	SLOW- low mobility	FAST – high mobility

解為 Carrier mobility 的快慢，

在 SF，推測 nmos mobility 比 pmos 小很多，為了讓 $\beta \text{ ratio} = 1$ ，所以 pmos 的 width 變小很多。

	Si
Electrons	$\propto T^{-2.4}$
Holes	$\propto T^{-2.2}$

temperature dependence of mobility :

溫度越大，electron 的 mobility 下降越快，electron 和 hole 的差距就越小，nmosa 主要載子為電子，pmos 為電洞。由模擬結果可看出，溫度為-40 度時，觀察出的 width 都較大，溫度為 125 度時，width 都較小，溫度越大，nmos 與 pmos 的 mobility 差距越小，pmos 的 W 就越接近 nmos 的 W，模擬結果符合。

4.

	NMOS	PMOS
AB	Cut off	linear
BC	saturation	saturation
CD	linear	saturation
DE	linear	saturation

NMOS

AB $V_{GS} = V_{in} < V_{th}$
 \Rightarrow cut off

BC $V_{GS} > V_{th}$
 $V_{GS} - V_{DS} < V_{th}$
 \Rightarrow saturation

CD $V_{GS} > V_{th}$
 $V_{GS} - V_{DS} > V_{th}$
 \Rightarrow linear

DE $V_{GS} > V_{th}$
 $V_{GS} - V_{DS} > V_{th}$
 \Rightarrow linear

PMOS

$V_{GS} < V_{th}$
 $V_{GS} - V_{DS} < V_{th}$
 \Rightarrow linear

$V_{GS} < V_{th}$
 $V_{GS} - V_{DS} > V_{th}$
 \Rightarrow saturation

$V_{GS} > V_{th}$
 $V_{GS} - V_{DS} > V_{th}$
 \Rightarrow saturation

$V_{GS} > V_{th}$
 $V_{GS} - V_{DS} > V_{th}$
 \Rightarrow saturation