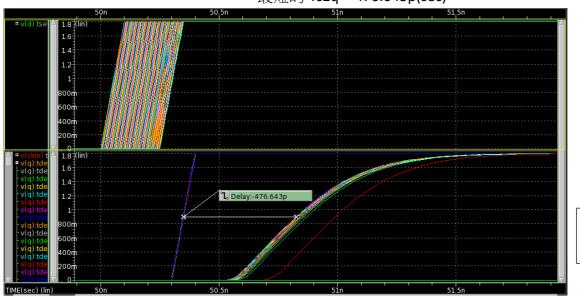
1

Power: 24.71141(W)

\*\*\*\*\* transient analysis tnom= 25.000 temp= 25.000 \*\*\*\*\*\*
total\_avg\_pwr\_uw= 24.71141 from= 610.00000n to= 1.01000u

## setup time for rising input:

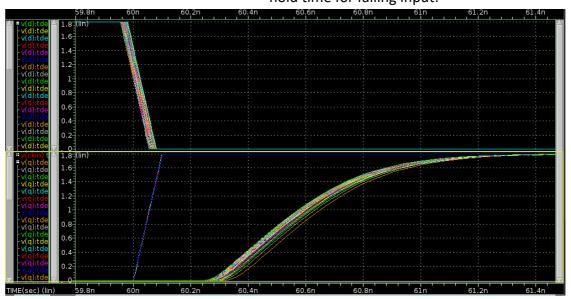
最短的 Tc2q: 476.643p(sec)



X 軸:time(sec)

Y軸:D/CKin/Q(V)

### hold time for falling input:

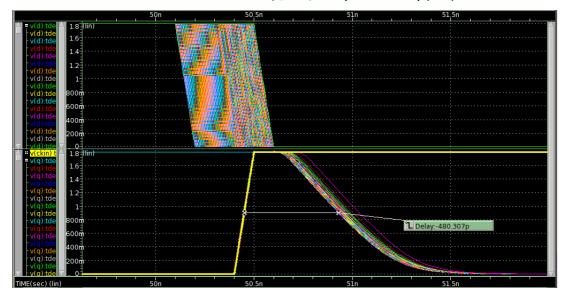


X 軸: time(sec)

Y軸:D/CKin/Q(V)

### setup time for falling input:

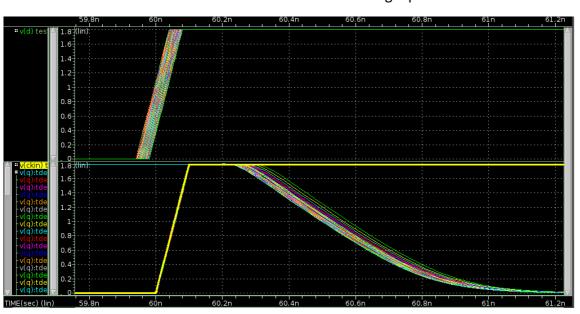
最短的 Tc2q: 480.307p(sec)



X 軸:time(sec)

Y軸: D/CKin/Q(V)

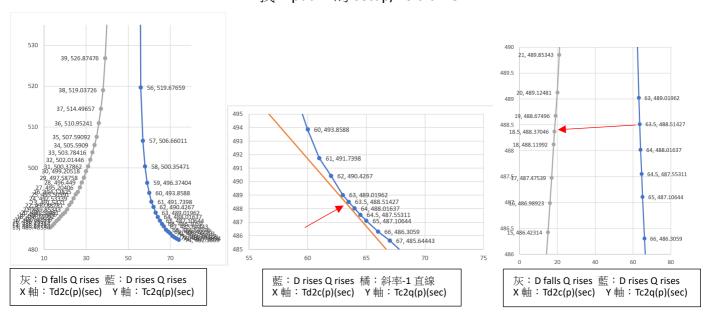
hold time for rising input:



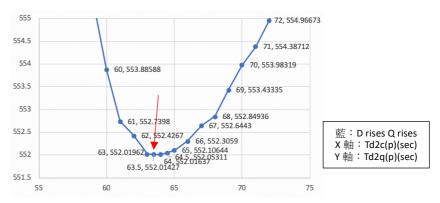
X 軸:time(sec)

Y軸: D/CKin/Q(V)

找 input=1的 setup/hold time

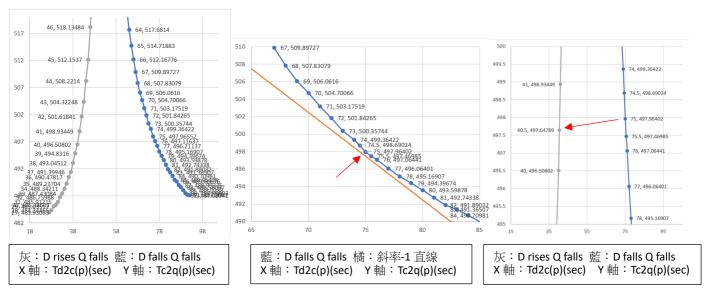


D rises Q rises 的 curve 在斜率為-1 的點 Td2c 為 63.5p(sec),這是 setup time,對應到 D falls Q rises 的 curve 上,Td2c 約為 18.5p(sec),這是負的 hold time

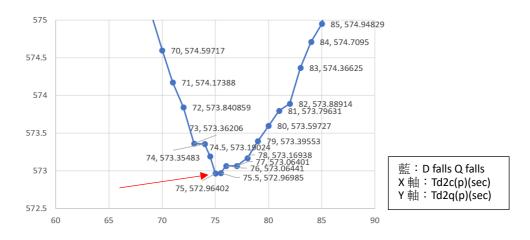


與直接從.lis 檔找出最小的 Td2q:552.01427p,所得到的 setup time Tsu:63.5p,與上面求得的值相同

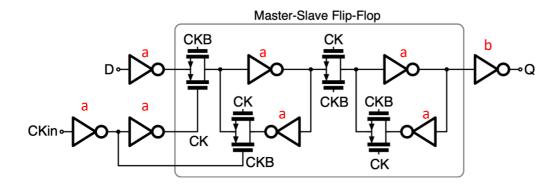
## 找 input=0 的 setup/hold time



D falls Q falls 的 curve 在斜率為-1 的點 Td2c 為 75p(sec),這是 setup time,對應到 D rises Q falls 的 curve 上,Td2c 約 為 40.5p(sec),這是負的 hold time



與直接從.lis 檔找出最小的 Td2q:572.96402p(sec),所得到的 setup time Tsu:75p(sec),與上面求得的值相同

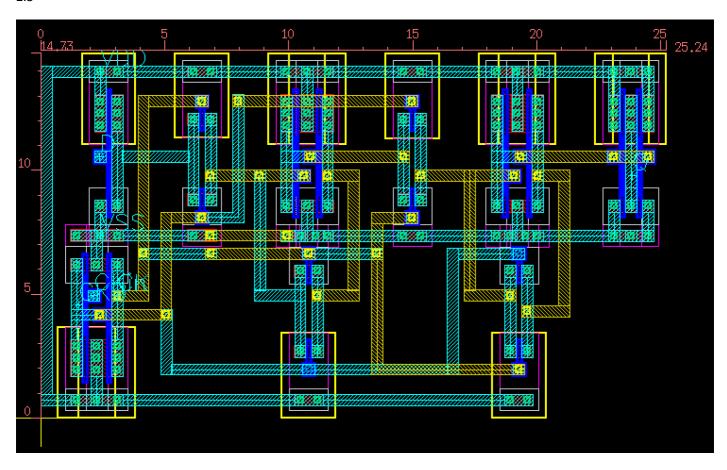


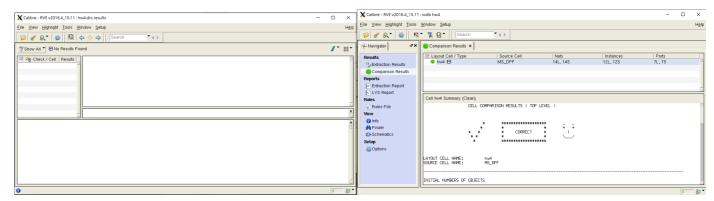
Inverter a: pmos W=1.5u L=0.18u nmos W=0.5u L=0.18u m=1
Inverter b: pmos W=1.5u L=0.18u nmos W=0.5u L=0.18u m=2

Pass transistor: pmos/nmos W=0.5u L=0.18u

Pass transistor 先用 W=0.5u L=0.18u 測試,因為 pass transistor 看進去的 RC 沒有很大,所以將 inverter a 都用 unit inverter 測試,發現都跑得動,delay 約為 700p,因為 output 接了一個 200fF 的電 容,所以我調整前一個 inverter b,將它並聯 m=2,測試後 delay 減少為大約 500p,考慮到 power 和 area,若 inveter 再加大,電容會越大,power 越大,所以就沒有並聯到 m=3。

2.3





Area 約為 371.7852(um²)

我分成上下兩排,整體 layout 就不會畫得很長,可以減少 wire 的電阻。我只用到 2 層 layer,考慮到 via 造成的電阻問題會影響 delay,所以避免用到第 3 層。兩個相連的 inverter,我把兩個 inverter 的 source 部分共用,就可以減少 RC delay 和 power。上排的 pass transistor 我將 nmos 放在上面,pmos 在下面,再配合 inverter 的高度,VDD 和 VSS 就可以跟 inverter 用同一條直線直接相連。下排的電路我將它上下顛倒,上排的 VSS 就可以與下排 VSS 共用,每個 inverter 和 pass transistor 的我排在最近的距離。M=2 的 inverter,我把兩個 inverter 的 drain 部分共用,可以減少 RC delay 和 power。

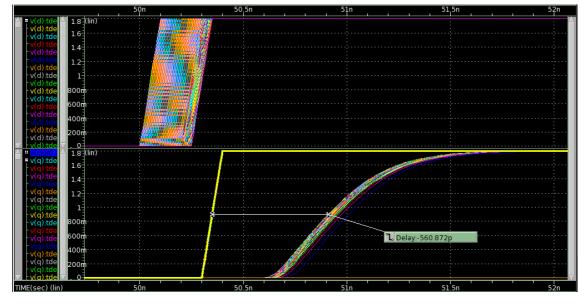
2.4

Power: 28.02423(W)

\*\*\*\*\* transient analysis tnom= 25.000 temp= 25.000 \*\*\*\*\*\*
total avg pwr uw= 28.02423 from= 610.00000n to= 1.01000u

## setup time for rising input:

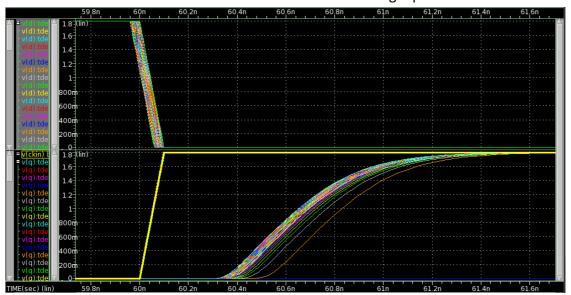
最短的 Tc2q:560.872p(sec)



X 軸:time(sec)

Y 軸:D/CKin/Q(V)

# hold time for falling input:

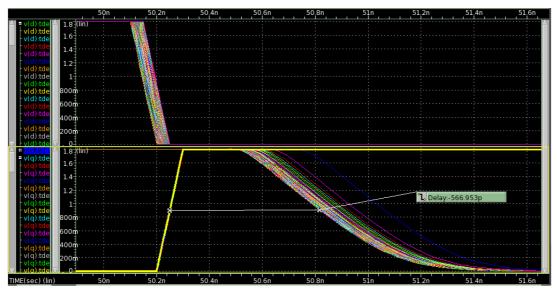


X 軸:time(sec)

Y軸:D/CKin/Q(V)

## setup time for falling input:

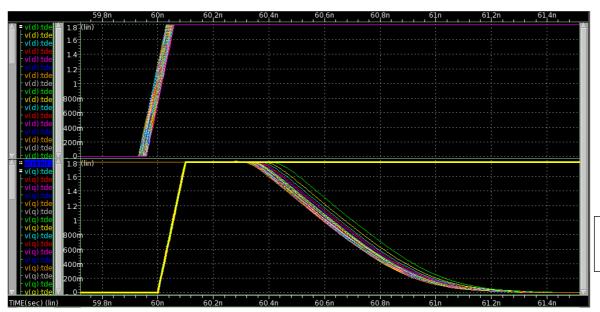
最短的 Tc2q:566.953p(sec)



X 軸:time(sec)

Y軸: D/CKin/Q(V)

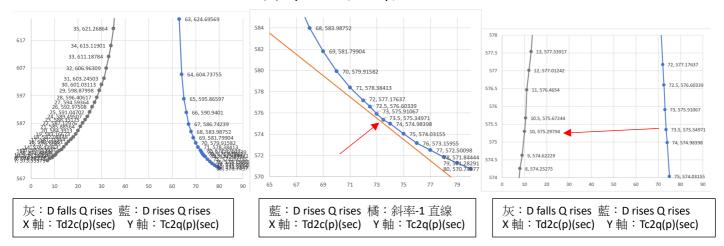
## hold time for rising input:



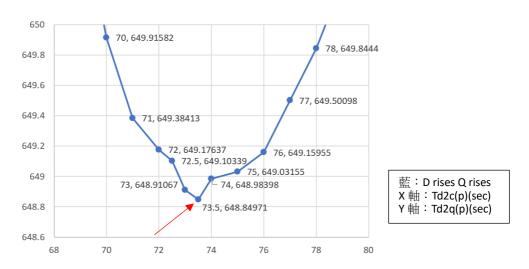
X 軸:time(sec)

Y軸: D/CKin/Q(V)

#### 找 input=1 的 setup/hold time

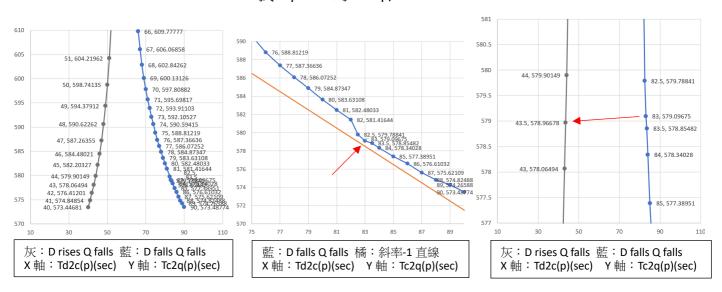


D rises Q rises 的 curve 在斜率為-1 的點 Td2c 為 73.5p(sec),這是 setup time,對應到 D falls Q rises 的 curve 上,Td2c 約為 10p(sec),這是負的 hold time

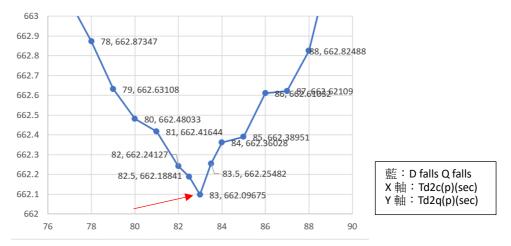


與直接從.lis 檔找出最小的 Td2q: 648.84971p (sec),所得到的 setup time Tsu: 73.5p(sec),與上面求得的值相同

### 找 input=0的 setup/hold time



D falls Q falls 的 curve 在斜率為-1 的點 Td2c 為 83p(sec),這是 setup time,對應到 D rises Q falls 的 curve 上,Td2c 約 為 43.5p(sec),這是負的 hold time



與直接從.lis 檔找出最小的 Td2q: 662.09675p (sec),所得到的 setup time Tsu: 83p(sec),與上面求得的值相同

#### 2.5

	Pre-layout simulation		Post-layout simulation	
	Rising	Falling	Rising	Falling
Tsu(sec)	63.5p	75p	73.5p	83p
Th(sec)	-40.5p	-18.5p	-43.5p	-10p
minimum Td2q(sec)	552.01427p	572.96402p	648.84971p	662.09675p
minimum Tc2q(sec)	476.643p	480.307p	560.872p	566.953p
Power consumption (mW)	0.02471141		0.02802423	
Layout area (μm <sup>2</sup> )	371.7852			