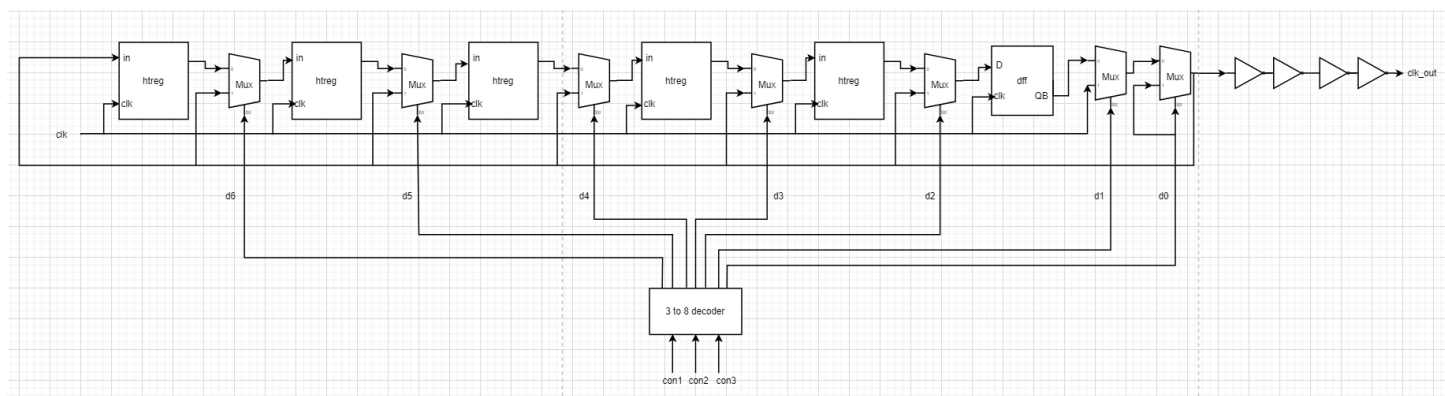


VLSI Design (2019 Fall) Final Project

106010006 黃詩瑜 106061229 劉家蓁

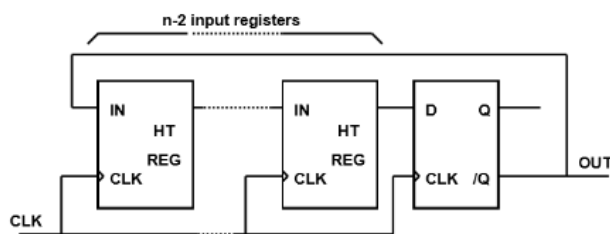
Block Diagram

1. design of circuit



圖(一)top view of system design

我們參考了《FREQUENCY DIVIDERS DESIGN FOR MULTI-GHz PLL SYSTEMS》這篇 paper 做出如圖(一)的設計，paper 中提到如果使用 $n-2$ 個 half-transparent register(htreg) + 1 個 D flip-flop(dff)即可得到 divide by n 的 clock divider，如圖(二)所示。



圖(二) Divide by n divider block diagram

這個架構的原理是基於依照 output logic value(clk_out)的不同，half-transparent register 會產生不同的 delay，當 output logic value = 1 時，half-transparent register 會有 1 個 clock cycle 的 delay；當 output logic value = 0 時，half-transparent register 則會有 $n-1$ 個 clock cycle 的 delay，進而達到除頻的目的。

因為題目要求最高是到除以 7，所以這裡用了 $7-2=5$ 個 half-transparent register 和一個 D flip-flop，我們另外在 half-transparent register 間加入 mux，當 $sel = 0$ 時，mux 會選擇前一 half-transparent register 的 output； $sel = 1$ 時，mux 則選擇 clk，以此達到除以 2~7，那 sel 即是由 3 to 8 decoder 來控制。

另外還有 output stays HIGH 以及除以 1 的部分則是在 D flip-flop 後再加上兩個 mux 來達成，當 decoder output 選擇除以 1 時($d1(sel) = 1$)，mux 會選擇 clock 作為 output；當 $sel = 0$ 時，mux 則選擇 D flip-flop 的 output。那當 decoder 選擇 stays HIGH($d0 = 1$)時，則是讓 mux 選擇 $d0$ ，這樣即可維持 output at HIGH；和前面一樣，當 $sel=0$ 時，mux 選擇的是前一 mux 的 output。

最後，因為 output 還有掛上 1pF 的電容，經過計算後我們再加了 4 級的 inverter，每一級推 4 倍的下一級。

Calculation:

考慮到 layout 的面積擺設 inverter 由原本的 PMOS:1.5u/0.18u NMOS:0.5u/0.18u 改為 PMOS:3u/0.18u NMOS:1u/0.18u，1~4 級分別並聯 1/2/4/32 個。

input capacitance 透過將 V_{in} 設為 0.5VDD，進行 hspice 模擬而得(取 cgtot)

$$\Rightarrow C_{in} = 2.85f + 0.93f = 3.78f$$

再帶入公式 $F = GBH$ (assume $G = 1$, $B = 1$)

$$\text{得到 } F = 264.55 \Rightarrow \log_4 F = 4.02$$

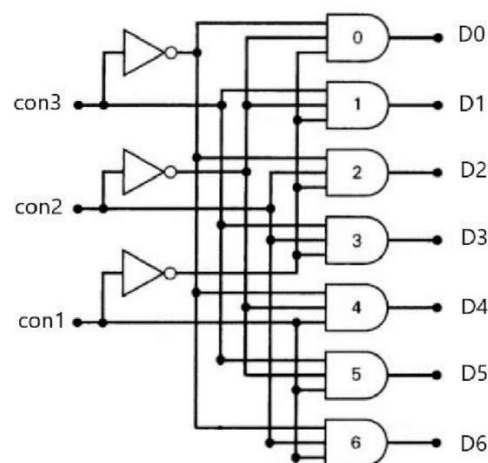
If $N = 4$:

$$f = F^{\frac{1}{4}} = 4.02$$

$$D = P + Nf = 20.09$$

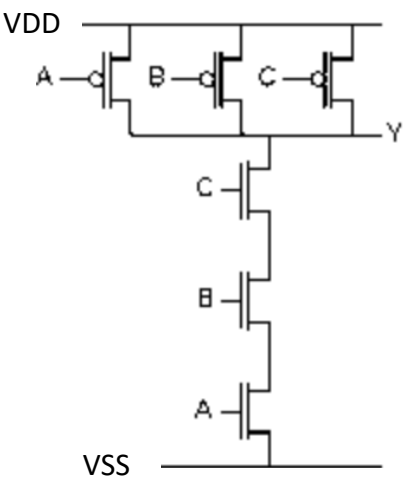
2. sub-block of circuit

(1) 3 to 7 decoder:



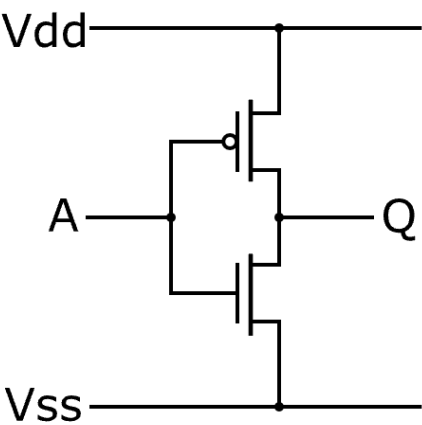
圖(三) 3 to 7 decoder gate level hierarchy

因為只會用到 7 個 output，所以去掉了 3-8 decoder 的一個 and，and 是由一個 nand3 再加一個 inverter 組成的。



圖(四) Nand3 transistor level hierarchy

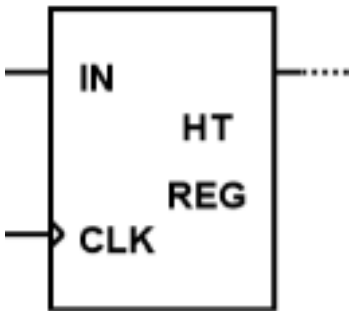
NAND3	
	Size(W/L)
PMOS	2u / 0.18u
NMOS	2u / 0.18u



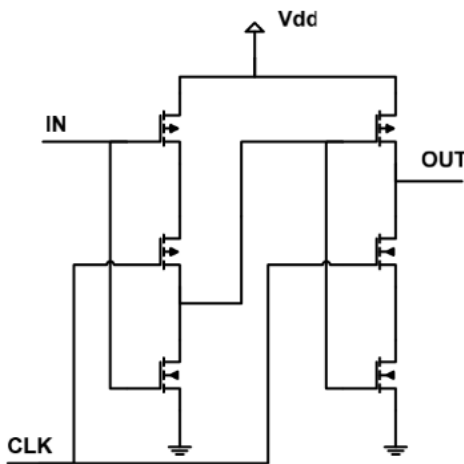
圖(五) inverter transistor level hierarchy

Inverter	
	Size(W/L)
PMOS	1.5u / 0.18u
NMOS	0.5u / 0.18u

(2) half-transparent register



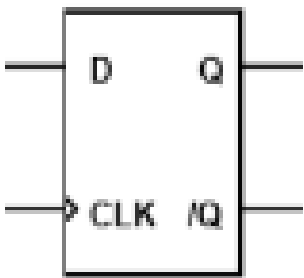
圖(六) half-transparent register gate level hierarchy



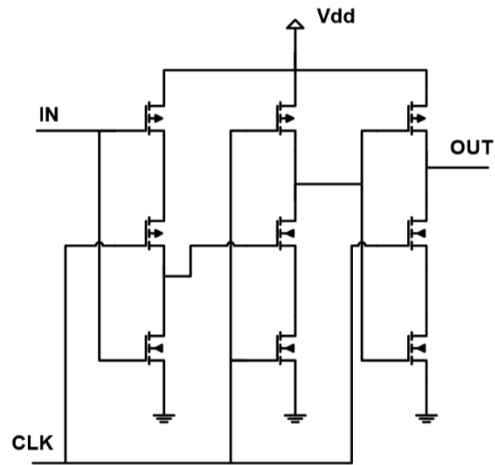
圖(七) half-transparent register transistor level hierarchy

	Size(W/L)
PMOS	1.5u / 0.18u
NMOS	0.5u / 0.18u

(3) D flip-flop



圖(八) D flip-flop gate level hierarchy

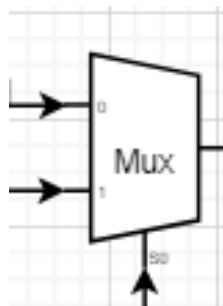


圖(九) D flip-flop transistor level hierarchy

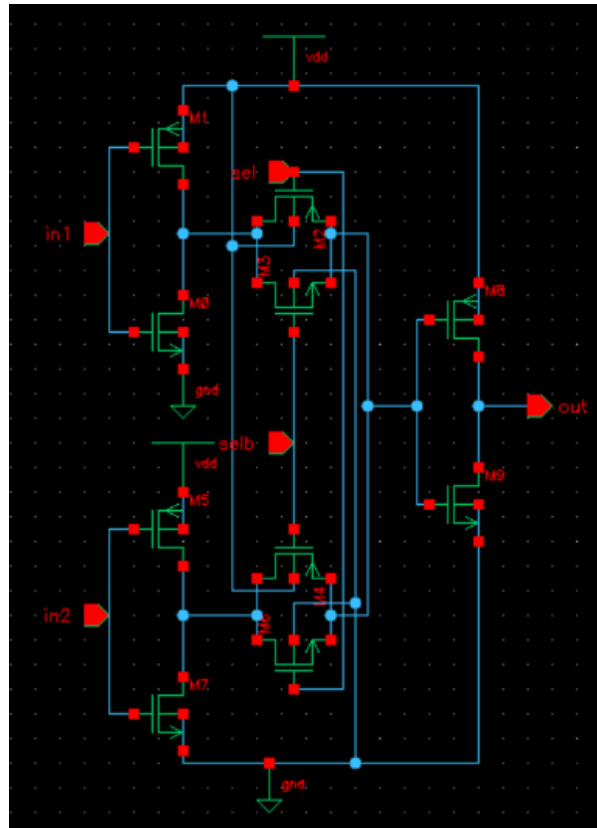
	Size(W/L)
PMOS	1.5u / 0.18u
NMOS	0.5u / 0.18u

配合 half-transparent register 的 D flip-flop 設計，D flip-flop 的 out (QB) 會傳回 half-transparent register 的 in

(4) mux



圖(十) mux gate level hierarchy



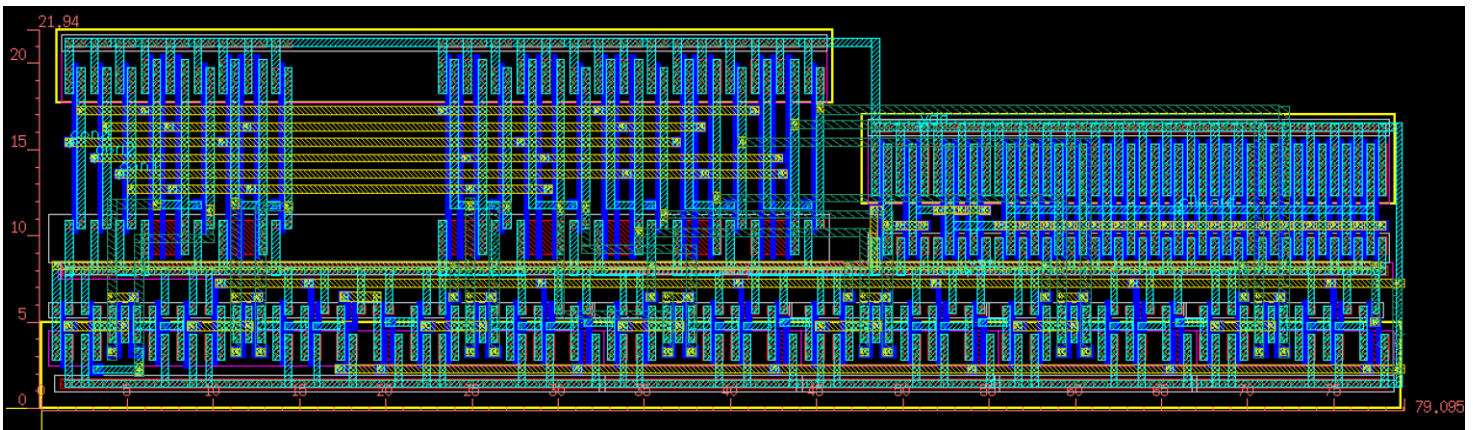
圖(十一) mux transistor level hierarchy

mux 我們是配合 transmission gate 來完成設計，利用 sel 控制 transmission gate 的 on/off，當 sel=0 時，mux 會選擇上方 in1；sel=1 時，mux 則會選擇下方 in2。

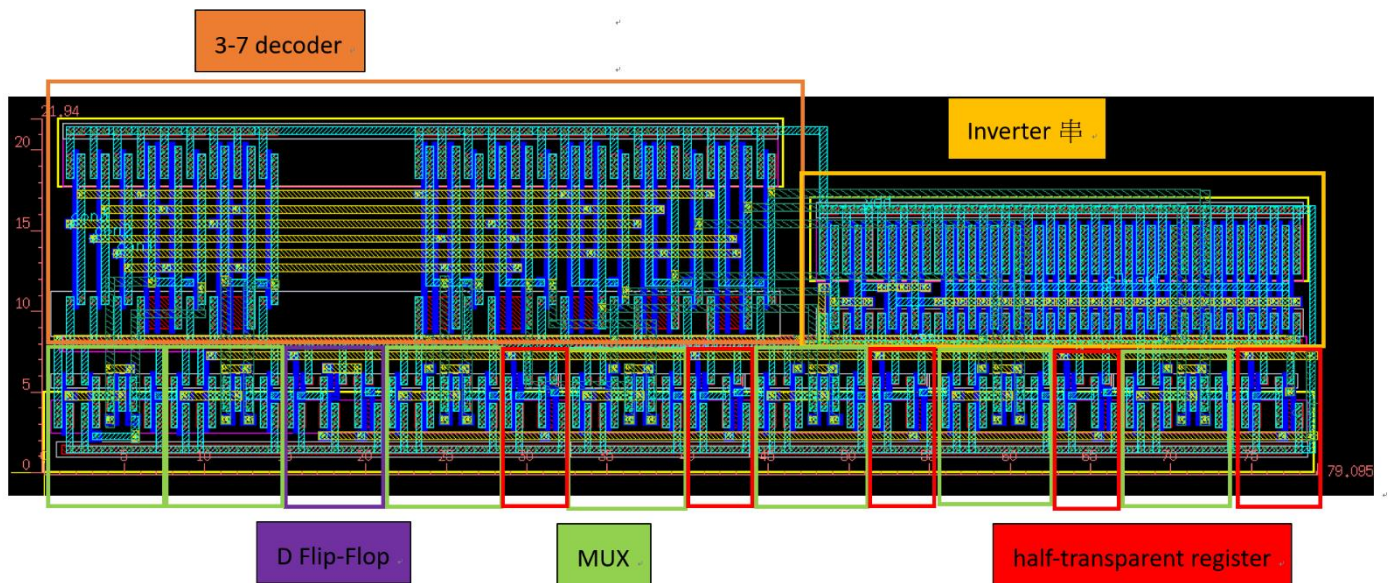
	Size(W/L)
PMOS_inverter	1.5u / 0.18u
PMOS_transmission gate	0.5u / 0.18u
NMOS	0.5u / 0.18u

Layout

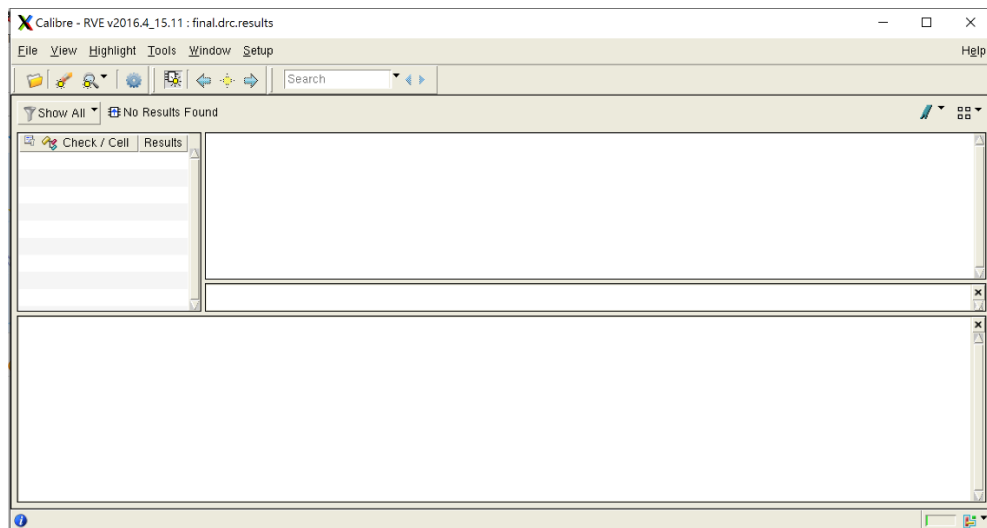
1.



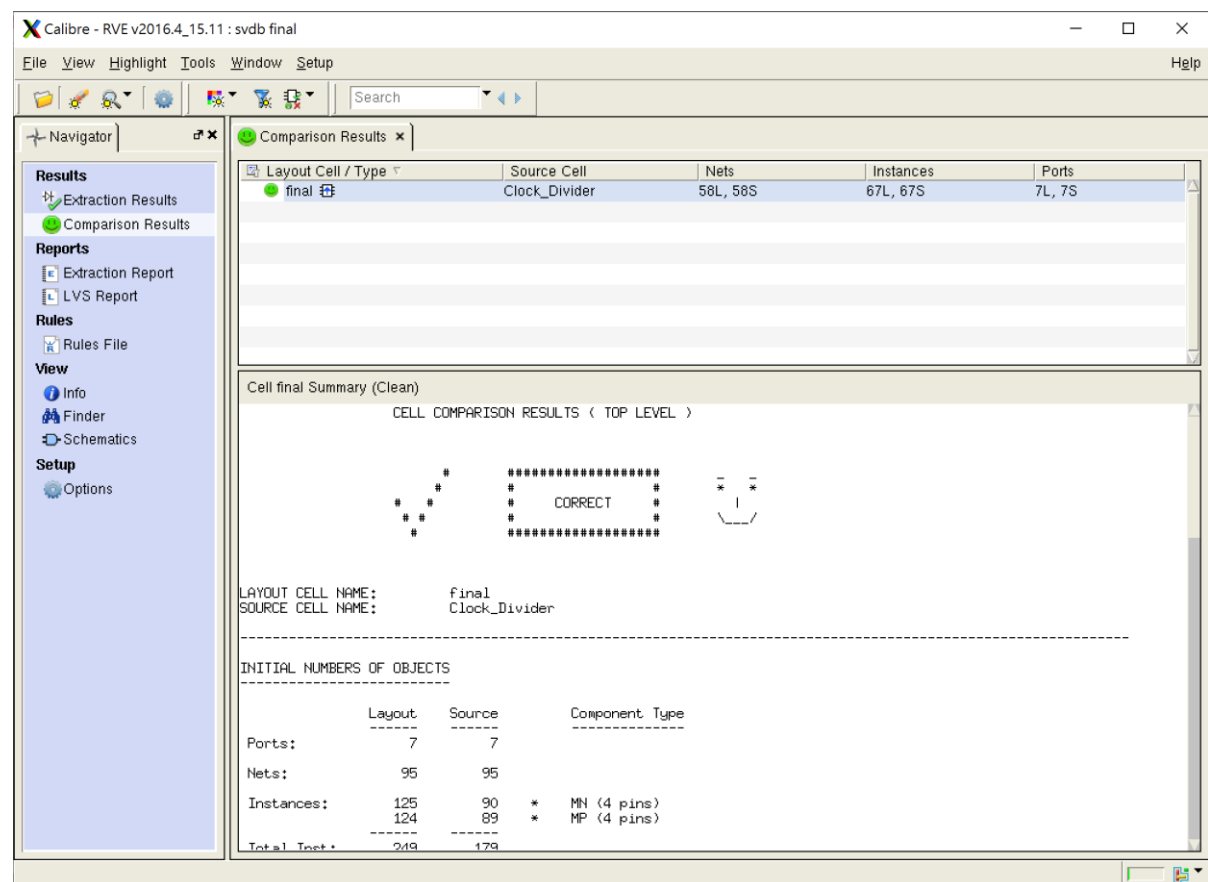
$$\text{Area} = 21.94\text{u} \times 79.095\text{u} = 1735.3443(\text{um}^2)$$



2. DRC



3. LVS report



Simulation Results

1. Pre-sim results & post-sim results

看全部 corner 的話，Pre-sim 可操作的最高頻率為 250M(HZ)，post-sim 可操作的最高頻率為 230M(HZ)，只看 TT corner 的話，Pre-sim 可操作的最高頻率為 795M(HZ)，post-sim 可操作的最高頻率為 705M(HZ)

Post-sim 中會加入許多 layout 所產生的寄生電容與電阻，像是 layout 裡，我們用到 3 層 layer，在不同層之間的 wire 會產生寄生電容，相臨的 wire 也有寄生電容，增加了 delay 和 power，且在 signal 傳遞的過程中，有可能會影響鄰近的 wire 的 signal，產生干擾的話也會造成 delay，wire 的寬度走線的連接都會影響 delay，poly 高阻值的這種也會影響 delay，在打 Vdd 和 gnd 的 pin 的位置也會影響，若 Vdd pin 的位置離某個 mos 較遠，wire 的電阻會降低 Vdd 導致速度變慢造成 delay，因此 Post-sim 的 error 會比較大，可操作的最高頻率就會比較小。

2.

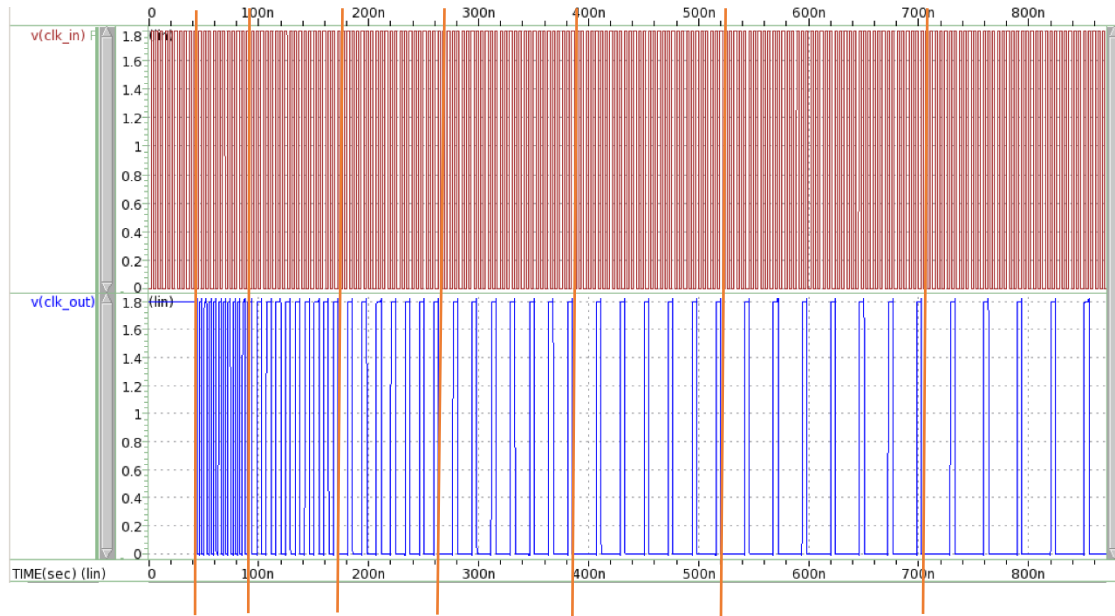
Waveforms:

皆操作於 230M(HZ)

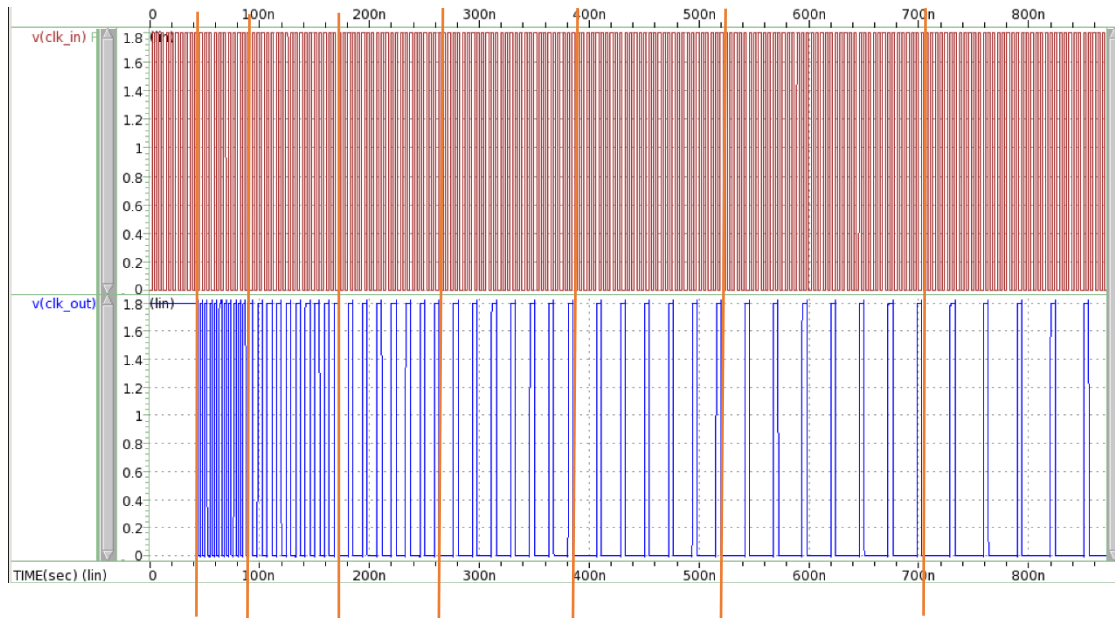
用橘線隔開不同除頻的結果，由左至右： $X/\div 1/\div 2/\div 3/\div 4/\div 5/\div 6/\div 7$

Pre-sim

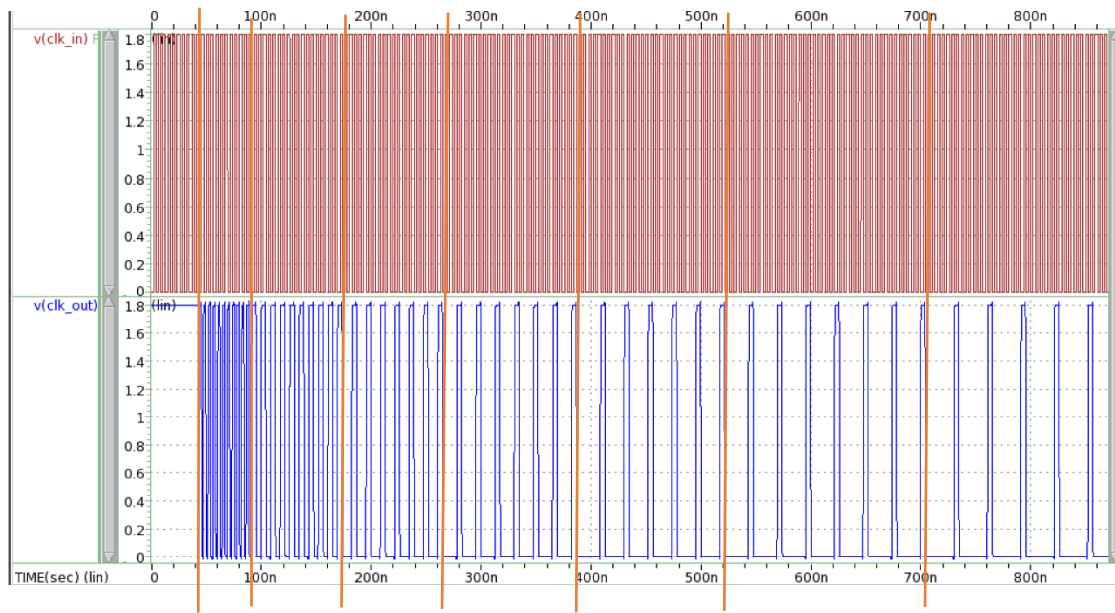
TT 25°C



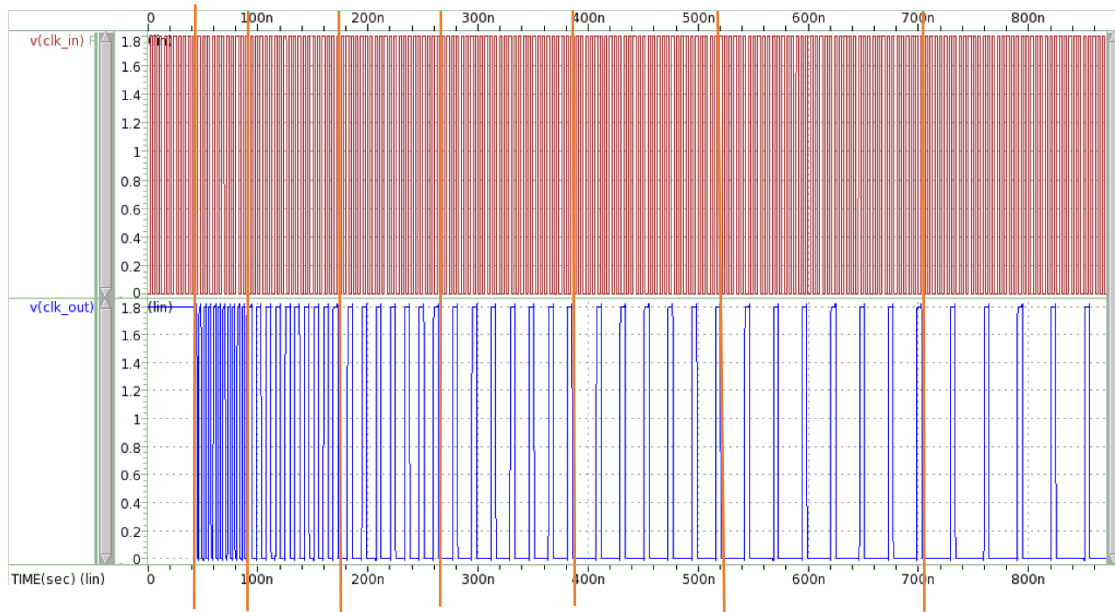
FF -40°C



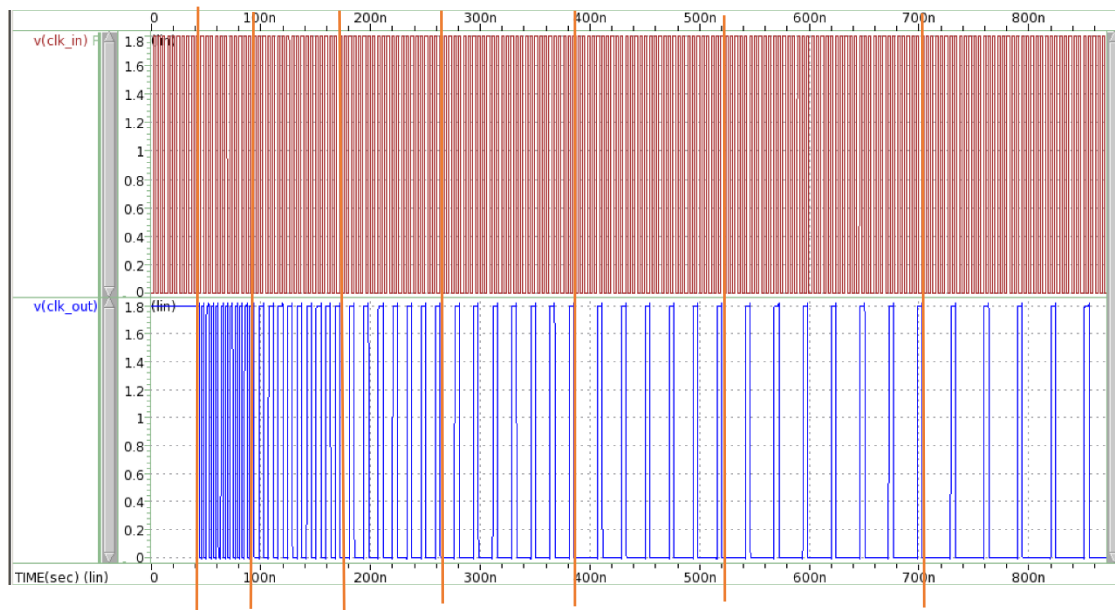
SS 125°C



SF 25°C

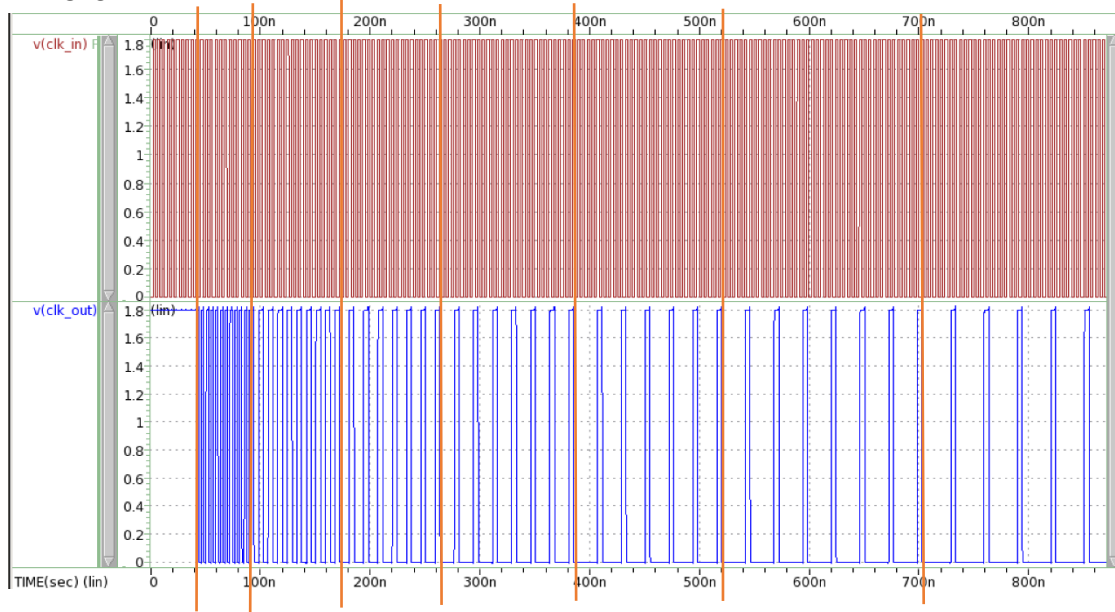


FS 25°C

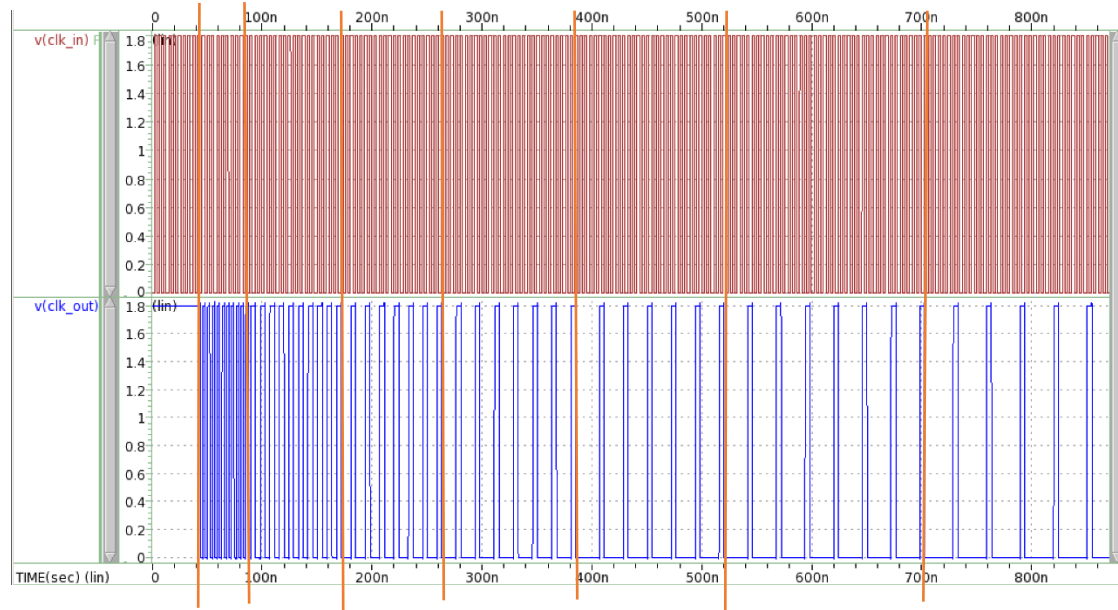


Post-sim

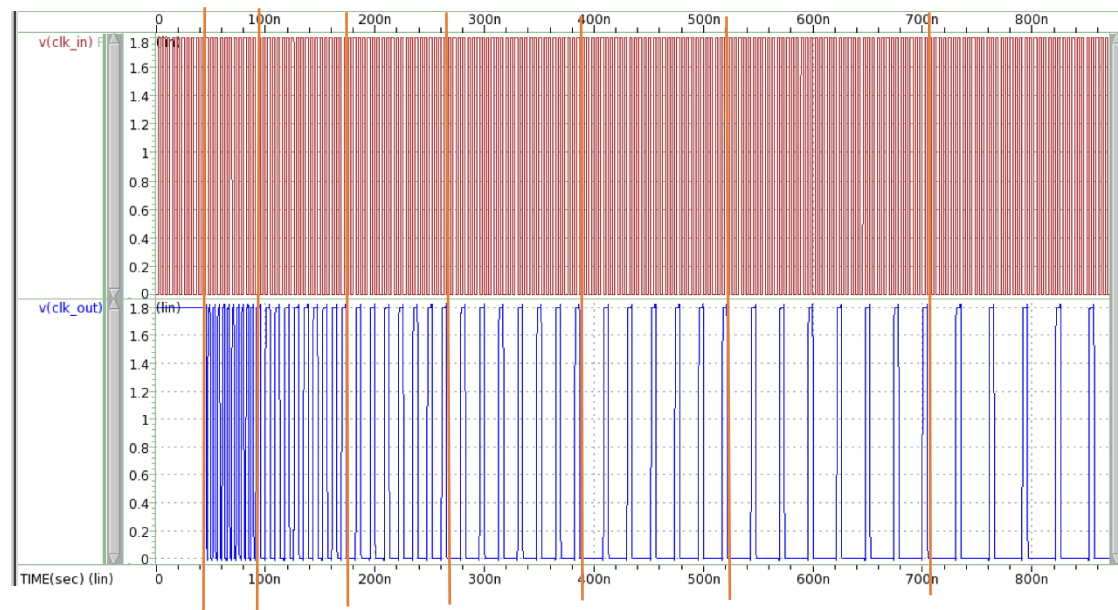
TT 25°C



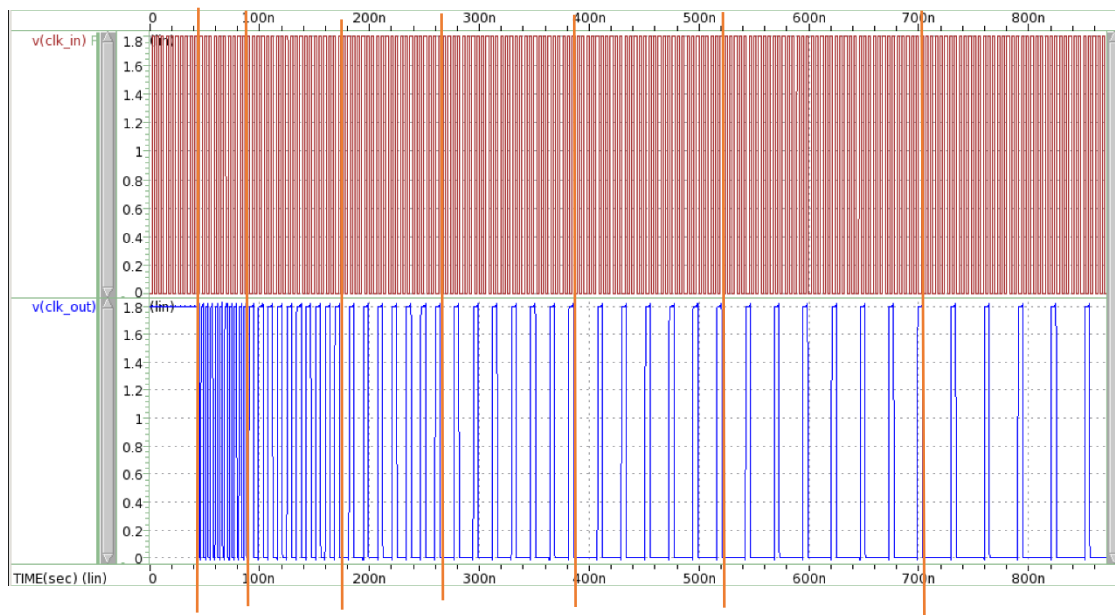
FF -40°C



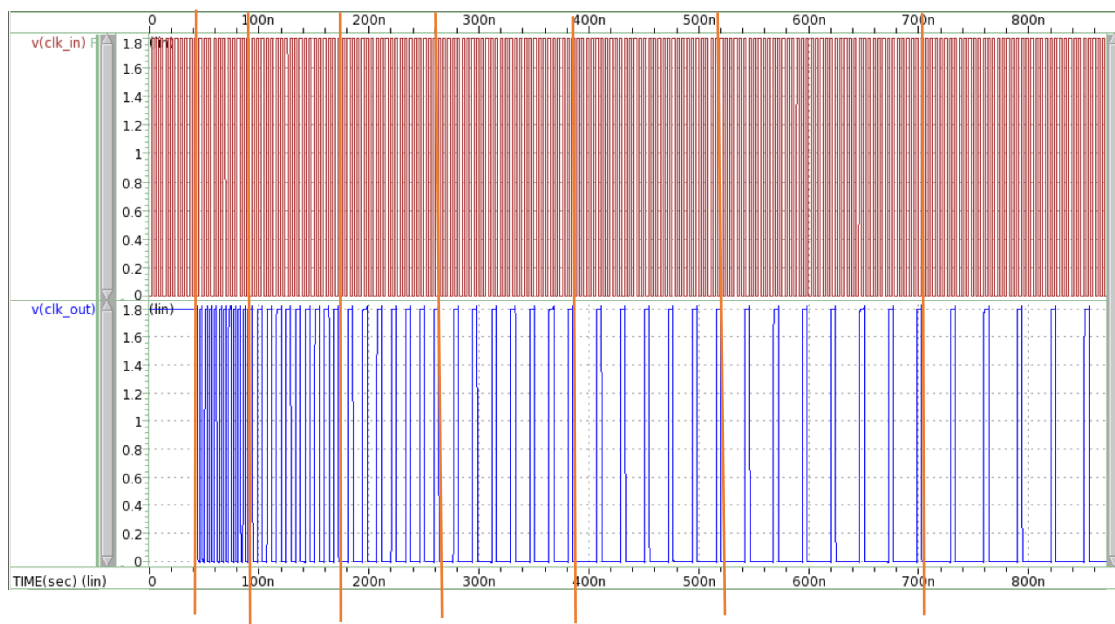
SS 125°C



SF 25°C



FS 25°C



Tables

TT 25°C	Pre-sim	Post-sim
operating frequency	230M	230M
freq_1 error	5.481e-08	2.815e-06
freq_2 error	1.163e-05	9.114e-07
freq_3 error	9.091e-06	5.647e-07
freq_4 error	2.088e-06	6.654e-07
freq_5 error	2.113e-07	5.692e-06
freq_6 error	1.890e-06	9.993e-07

freq_7 error	1.906e-06	9.699e-07
total average power	4.616e-04	4.705e-04

FF -40°C	Pre-sim	Post-sim
operating frequency	230M	230M
freq_1 error	4.721e-05	1.644e-05
freq_2 error	2.847e-05	4.304e-06
freq_3 error	4.756e-06	7.390e-06
freq_4 error	2.676e-06	1.905e-06
freq_5 error	2.465e-07	2.457e-06
freq_6 error	9.501e-07	1.174e-06
freq_7 error	1.084e-06	1.510e-06
total average power	4.644e-04	4.756e-04

SS 125°C	Pre-sim	Post-sim
operating frequency	230M	230M
freq_1 error	2.597e-09	5.120e-05
freq_2 error	2.466e-05	1.107e-05
freq_3 error	3.187e-05	1.542e-06
freq_4 error	1.924e-05	1.599e-05
freq_5 error	4.035e-08	8.013e-07
freq_6 error	1.312e-06	4.563e-06
freq_7 error	3.091e-09	1.791e-07
total average power	4.942e-04	4.982e-04

SF 25°C	Pre-sim	Post-sim
operating frequency	230M	230M
freq_1 error	5.286e-05	6.153e-05
freq_2 error	6.166e-05	2.629e-05
freq_3 error	1.669e-06	1.339e-05
freq_4 error	2.601e-06	1.343e-07
freq_5 error	5.285e-06	2.879e-06
freq_6 error	5.238e-07	2.246e-06
freq_7 error	1.844e-06	7.558e-07
total average power	4.850e-04	4.939e-04

FS 25°C	Pre-sim	Post-sim
---------	---------	----------

operating frequency	230M	230M
freq_1 error	9.539e-05	4.970e-06
freq_2 error	2.065e-05	9.675e-09
freq_3 error	1.101e-06	9.695e-06
freq_4 error	2.944e-07	1.063e-06
freq_5 error	9.360e-07	2.380e-10
freq_6 error	3.625e-09	3.079e-06
freq_7 error	4.257e-07	1.860e-06
total average power	4.605e-04	4.697e-04

但是從表格中可看出，在相同的操作頻率，每個 corner 中，Post-sim 的 power 都比 Pre-sim 的大，但是 frequency error 的部分，某些 Pre-sim 的 error 反而比較高，我們討論出可能是 wire 寬度或是許多 diffusion 共用等 layout 畫的蠻好的，所以部分 Post-sim error 才比較小。

Competition (based on TT corner results)

- Max operating frequency : 705M
- Area : 1735.3443(um²)
- FoM = Max clock frequency/(Power*Area) = 705M/(4.705e-04*1735.3443 u²)
=8.634632X10²⁰