

fvIO I2C 汎用プラグイン 仕様書

Rev1.00

2019 年 01 月 23 日

シマフジ電機(株)

変 更 履 歴 表

版	変 更 内 容	変更日付
1. 00	初版	2019/01/23

目次

1.	はじめに	4
2.	動作環境	4
3.	fVIO プラグイン詳細	4
3.1	端子機能	4
3.2	割り込み信号	4
3.3	レジスタ割り当て	5
3.4	レジスタ詳細	6
3.4.1.	トリガレジスタ(TRG)	6
3.4.2.	シーケンス設定レジスタ(CMD)	7
3.4.3.	シーケンス送信数設定レジスタ(SLEN)	7
3.4.4.	シーケンス送信数設定レジスタ(RLEN)	8
3.4.5.	クロック周期設定レジスタ(CWAIT)	8
3.4.6.	ロングウェイトレジスタ(LWAIT)	9
3.4.7.	シーケンス入力データレジスタ 0～7(IREG0～7)	10
3.4.8.	バージョンレジスタ(VER)	10
3.4.9.	ステータスレジスタ(STAT)	11
3.4.10.	シーケンス出力データレジスタ 0～7(OREG0～7)	11
3.4.11.	出力 FIFO レジスタ(FIFO0)	12
3.5	機能詳細	13
3.5.1.	ELC 設定	13
3.5.2.	DMA 設定	14
3.5.3.	fVIO レジスタ設定	15
3.5.4.	fVIO シーケンス開始	16
3.5.5.	fVIO シーケンス終了待ち	16
3.5.6.	出力データ取得	16

1. はじめに

本書は RZ/T1 IoT-Engine の fIO I2C 汎用プラグイン仕様書である。

2. 動作環境

本プラグインが動作する環境は以下の通り。

項目	種類	品名等	備考
CPU	ルネサス製マイコン RZ/T1	R7S910048	

3. fIO プラグイン詳細

3.1 端子機能

端子機能は以下の通り。端子割り当てについては、fIO プラグインの各アプリケーションノートを参照すること。

シンボル	入出力	機能
SCL	出力	シリアルクロック
SDA	出力	シリアルデータ

3.2 割り込み信号

割り込み信号は以下の通り。端子割り当てやベクタ番号については、fIO プラグインの各アプリケーションノートを参照すること

シンボル	入出力	機能
FIFO_PAE	出力	fIO FIFO 受信割り込み
FIFO_PAF	出力	fIO FIFO 送信割り込み
INT0	出力	STAT レジスタ割り込み(ELCIRQ1)

3.3 レジスタ割り当て

(1)レジスタ一覧

レジスタは、ベースアドレスを基準に以下のような構成をしている。ベースアドレスについては、fMIO インタフェースの各アプリケーションノートを参照すること

オフセット アドレス	サイズ	シンボル	R/W	初期値	機能
0x000	8bit	TRG	RW	0x80	トリガレジスタ
0x001	8bit	CMD	RW	0x00	シーケンス設定レジスタ
0x002	8bit	SLEN	RW	0x00	シーケンス送信数設定レジスタ
0x003	8bit	RLEN	RW	0x00	シーケンス受信数設定レジスタ
0x004	8bit	CWAIT	RW	0x00	クロック周期設定レジスタ
0x008	32bit	LWAIT	RW	0x00000000	ロングウェイトレジスタ
0x010	8bit	IREG0	RW	0x00	シーケンス入力データレジスタ 0
0x011	8bit	IREG1	RW	0x00	シーケンス入力データレジスタ 1
0x012	8bit	IREG2	RW	0x00	シーケンス入力データレジスタ 2
0x013	8bit	IREG3	RW	0x00	シーケンス入力データレジスタ 3
0x014	8bit	IREG4	RW	0x00	シーケンス入力データレジスタ 4
0x015	8bit	IREG5	RW	0x00	シーケンス入力データレジスタ 5
0x016	8bit	IREG6	RW	0x00	シーケンス入力データレジスタ 6
0x017	8bit	IREG7	RW	0x00	シーケンス入力データレジスタ 7
0x600	8bit	VER	RO	0x10	バージョンレジスタ
0x601	8bit	STAT	RO	0x00	ステータスレジスタ
0x610	8bit	OREG0	RO	0x00	シーケンス出力データレジスタ 0
0x611	8bit	OREG1	RO	0x00	シーケンス出力データレジスタ 1
0x612	8bit	OREG2	RO	0x00	シーケンス出力データレジスタ 2
0x613	8bit	OREG3	RO	0x00	シーケンス出力データレジスタ 3
0x614	8bit	OREG4	RO	0x00	シーケンス出力データレジスタ 4
0x615	8bit	OREG5	RO	0x00	シーケンス出力データレジスタ 5
0x616	8bit	OREG6	RO	0x00	シーケンス出力データレジスタ 6
0x617	8bit	OREG7	RO	0x00	シーケンス出力データレジスタ 7
(注 1)	8bit	FIFO0	RW	0x00	シーケンス入力、及び出力 FIFO レジスタ

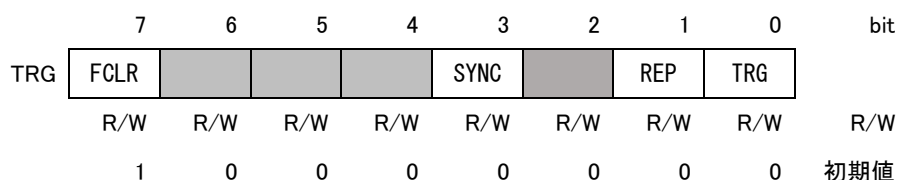
(注 1)FIFO レジスタのアドレス値については、fMIO プラグインの各アプリケーションノートを参照すること

3.4 レジスタ詳細

以下に各レジスタの詳細を示す。

3.4.1. トリガレジスタ(TRG)

オフセットアドレス: 0x000

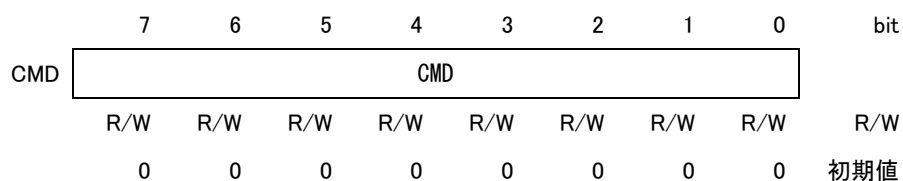


Bits	名称	R/W	初期値	機能説明
7	FCLR	R/W	1	FIFO 入力クリア 0 : FIFO の入力データを保持 1 : トリガ受付可(STAT レジスタの TRDY ビット=1)の時、 FIFO の入力データをクリア
6:4	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
3	SYNC	R/W	0	fVIO シーケンス開始条件選択 0 : TRG ビットへの'1'書き込みでシーケンス開始 1 : TRG ビットへの'1'書き込み後、外部 SYNC 入力でシーケンス開始
2	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
1	REP	R/W	0	シーケンスのリピート 0 : シーケンスを 1 回だけ実行 1 : シーケンスを連続実行
0	TRG	R/W	0	fVIO シーケンスの開始トリガ 0 : fVIO シーケンス停止 1 : fVIO シーケンス開始(書き込み時開始)

- ・FIFO0 レジスタにデータを入力する必要がある場合、本レジスタの FCLR ビットを 0 に設定すること。
- ・本レジスタの FCLR ビットを'1'に設定することで、50[ns]毎に 1 ワード分の入力データをクリアできる。
- ・本レジスタの REP ビットを'1'に設定することで、TRG ビットの書き込みなしに連続でシーケンスを実行できる。REP ビットを'0'に設定すると停止する。
- ・本レジスタの REP ビットと SYNC ビットを同時に'1'に設定した場合、REP ビットのリピート実行を優先する。

3.4.2. シーケンス設定レジスタ(CMD)

オフセットアドレス: 0x001

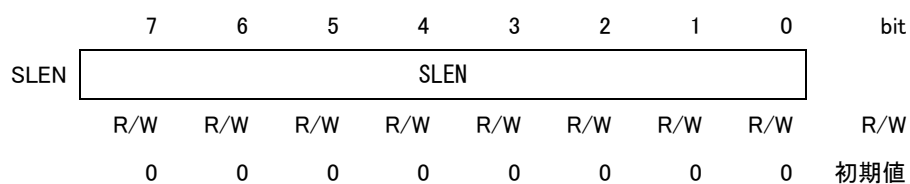


Bits	名称	R/W	初期値	機能説明
7:0	CMD	R/W	0	シーケンスアドレス

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタに特定の値を設定し、TRG レジスタの TRG ビットを'1'に書き込むことでfIO シーケンスの実行を開始する。
- ・機能仕様書に記述されたシーケンスアドレス以外の値を書き込むと、誤動作するため設定しないこと。

3.4.3. シーケンス送信数設定レジスタ(SLEN)

オフセットアドレス: 0x002

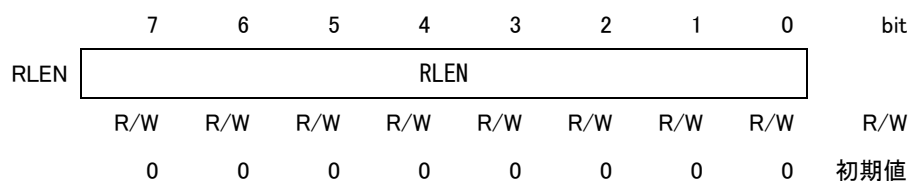


Bits	名称	R/W	初期値	機能説明
7:0	SLEN	R/W	0	シーケンス送信数 送信数=設定値+1 設定値の範囲は、1～8

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。

3.4.4. シーケンス送信数設定レジスタ(RLEN)

オフセットアドレス: 0x003

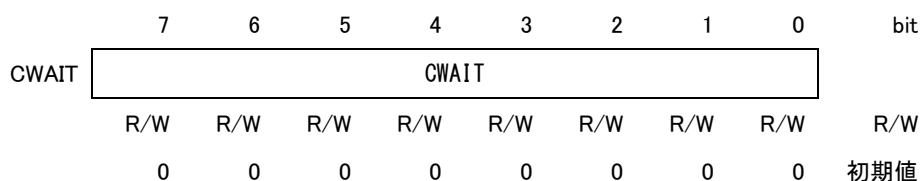


Bits	名称	R/W	初期値	機能説明
7:0	RLEN	R/W	0	シーケンス受信数 受信数=設定値+1 設定値の範囲は、1～8

・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。

3.4.5. クロック周期設定レジスタ(CWAIT)

オフセットアドレス: 0x004



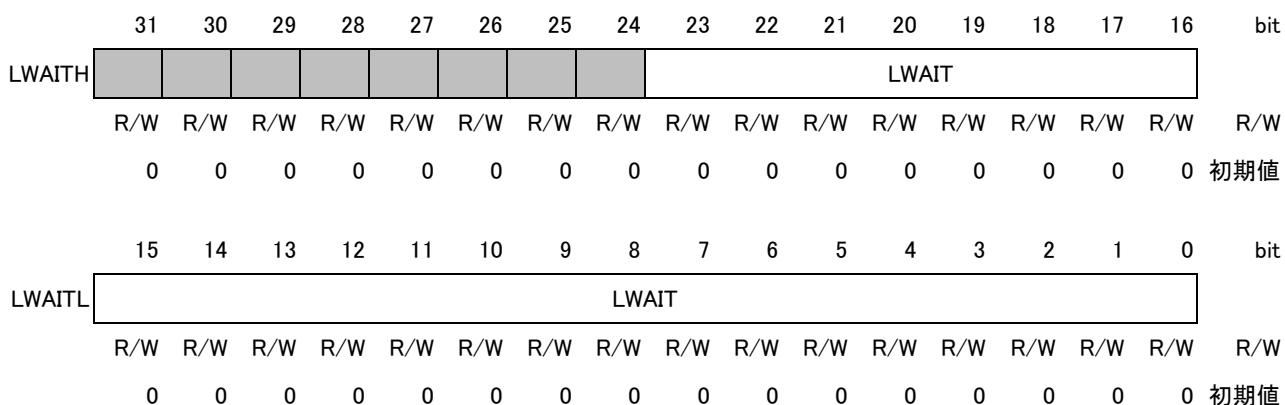
Bits	名称	R/W	初期値	機能説明
7:0	CWAIT	R/W	0	通信用のクロック周期設定 $\text{クロック周期[MHz]} = 20 / ((\text{設定値} + 1) * 4)$

・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。

・本レジスタの設定値は、外部モジュールとの通信レートに影響するため機能仕様書の範囲外の値は設定しないこと。

3.4.6. ロングウェイトレジスタ(LWAIT)

オフセットアドレス: 0x008

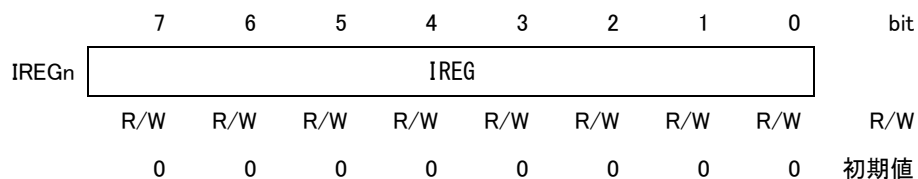


Bits	名称	R/W	初期値	機能説明
31:24	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
23:0	LWAIT	R/W	0	fVIO シーケンス実行後のトリガ無効期間(ウェイト) 0 : ウェイト期間[ns]=0 それ以外: ウェイト期間[ns]=(設定値+1) × 50

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fVIO シーケンス完了まで変更してはならない。
- ・ウェイト期間は fVIO シーケンスの開始からカウントされる。
- ・「fVIO シーケンス実行時間>ウェイト期間」になる場合、ウェイト期間は 0[ns]となる。

3.4.7. シーケンス入力データレジスタ 0～7(IREG0～7)

オフセットアドレス: 0x010-0x017

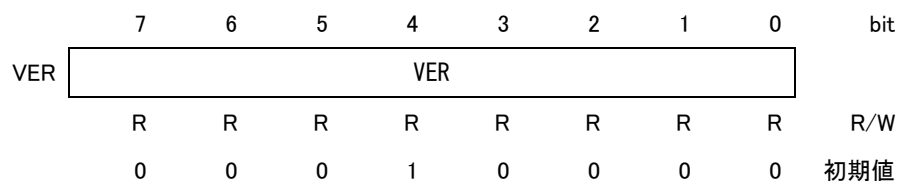


Bits	名称	R/W	初期値	機能説明
7:0	IREG	R/W	0	シーケンス入力データ

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタの設定値は特定の fIO シーケンスのみ有効になる。詳細については機能仕様書を参照すること。
- ・入力データを通信の送信データとして扱う場合、データは MSB ファーストで送信される。

3.4.8. バージョンレジスタ(VER)

オフセットアドレス: 0x600



Bits	名称	R/W	初期値	機能説明
7:0	VER	R	0x10	ソフトバージョン VER=0x01(ver.0.1) . . VER=0x99(ver.9.9)

- ・本バージョンレジスタは fIO プラグインのアプリケーション毎に設定される。

3.4.9. ステータスレジスタ(STAT)

オフセットアドレス: 0x601

	7	6	5	4	3	2	1	0	bit
STAT	FERR							TRDY	
	R	R	R	R	R	R	R	R	R/W
	0	0	0	0	0	0	0	0	初期値

Bits	名称	R/W	初期値	機能説明
7	FERR	R	0	FIFO エラー 0: FIFO 機能正常 1: 外部 SYNC 入力(TRG レジスタの SYNC ビット=1)中に FIFO のパッファオーバーフロー or FIFO のパッファアンダーランが発生
6:5	reserved	R	0	R/W 可能だが、書く場合は 0 とすること
0	TRDY	R	0	トリガ受付通知 0: トリガ受付不可(fvIO シーケンス未完了) 1: トリガ受付可(fvIO シーケンス完了)

- ・本レジスタの各ビットが'1'になった時、INT0 割り込みが発生する。
- ・本レジスタの FERR ビットは一度'1'になった後はプラグインがリセットされるまで'0' クリアされない。

3.4.10. シーケンス出力データレジスタ 0~7(OREG0~7)

オフセットアドレス: 0x610~0x617

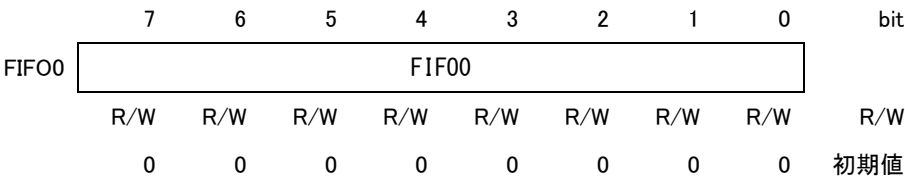
	7	6	5	4	3	2	1	0	bit
OREGn	OREG								
	R	R	R	R	R	R	R	R	R/W
	0	0	0	0	0	0	0	0	初期値

Bits	名称	R/W	初期値	機能説明
7:0	OREG	R/W	0	シーケンス出力データ

- ・本レジスタは特定の fvIO シーケンスを実行した時に値を更新する。また、STAT レジスタの TRDY が'0'の時はデータが不定値となるので注意すること。
- ・通信データは MSB ファーストで取得した値を出力する。

3.4.11.出力 FIFO レジスタ(FIFO0)

オフセットアドレス: (注 1)



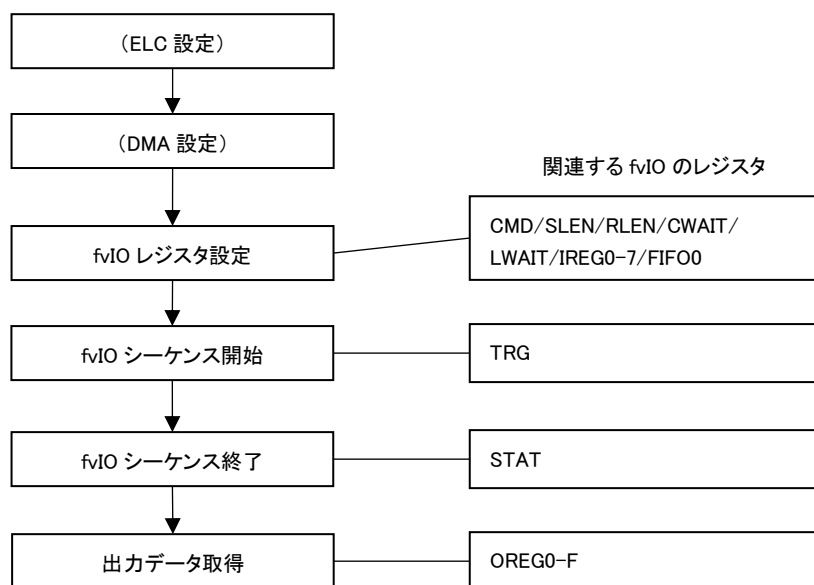
Bits	名称	R/W	初期値	機能説明
7:0	FIFO0	R/W	0	シーケンス入力データ、及びシーケンス出力データ

- ・本レジスタは、深さ 16 ワード、幅 8bit の FIFO レジスタ。
 - ・fIO から本レジスタの FIFO にデータが出力されると FIFO 受信割り込み(FIFO_PAE)が発生する。
 - ・fIO から本レジスタの FIFO ヘデータが入力されると FIFO 送信割り込み(FIFO_PAF)が発生する。
 - ・FIFO の出力データ格納数が 16 ワードの時にデータを受信すると、FIFO からデータを引き抜くまで通信が停止するため注意すること。
 - ・通信データは MSB ファーストで取得した値を出力する。
- (注 1) FIFO レジスタのアドレス値については、fIO プラグインの各アプリケーションノートを参照すること。

3.5 機能詳細

fVIO プラグインは、レジスタ設定をすることで一定の処理を行う fVIO シーケンスを実行する。

下記の処理の流れに沿って機能の詳細を説明する。



3.5.1. ELC 設定

外部同期信号を使用して通信開始トリガをかける場合は、RZ/T1 の ELC 機能を設定し、fVIO に対してイベント信号を入力する。fVIO ではアドレス:0xA0080B11 を RZ/T1 のイベントリンク設定レジスタ(ELSRn)の代わりとして使用することができる。CMT1 を外部同期信号として使用する場合は設定例は以下の通り。

```
//ELC のモジュールストップ解除
SYSTEM.PRCR.LONG = 0x0000A503;
SYSTEM.MSTPCRC.BIT.MSTPCRC6 = 0;
SYSTEM.PRCR.LONG = 0x0000A500;

//CMT1 を fVIO とリンク
(*(<volatile unsigned char*>)(0xA0080B11))=0x1f;

//ELC 機能有効
ELC.ELCR.BIT.ELCON=1;
```

また、fVIO の INT0 割り込み信号を ELC のイベントとして割り込み登録する場合の設定例は以下の通り。

```
//ELC のモジュールストップ解除
SYSTEM.PRCR.LONG = 0x0000A503;
SYSTEM.MSTPCRC.BIT.MSTPCRC6 = 0;
SYSTEM.PRCR.LONG = 0x0000A500;

//fVIO と割り込みをリンク
ELC.ELSR18.BYTE = 0x2c;

//ELC 機能有効
ELC.ELCR.BIT.ELCON=1;
```

3.5.2. DMA 設定

fVIO シーケンスの入力データとして入力 FIFO を使用するタイプ、あるいは fVIO シーケンスの出力データが出
力 FIFO に格納されるタイプの場合、DMA を使用してデータを転送することができる。入力 FIFO のデータを使用
した時、あるいは出力 FIFO にデータが格納した時に割り込み信号が発生するため、この信号を DMA の起動要
因として使用することができる。DMA 設定については、RZ/T1 のハードウェアマニュアルを参照すること。割り込
みベクタ要因については、fVIO プラグインの各アプリケーションノートを参照すること。ただし、転送モードとデー
タサイズは以下の値に設定すること。

設定項目	設定内容
転送モード	シングル転送
ソースデータサイズ	8bit
デスティネーション データサイズ	8bit

3.5.3. fIO レジスタ設定

CMD/SLEN/RLEN/CWAIT/LWAIT/IREG0-7/FIFO0 レジスタを必要に応じて設定する。設定の詳細については、下記の(1)～(6)の通り。

(1)CMD レジスタ

CMD レジスタにて fIO シーケンスを選択する。選択できるシーケンスについては、fIO プラグインの機能仕様書を参照すること。

(2)SLEN レジスタ

SLEN レジスタにて fIO シーケンスの送信長を設定する。SLEN レジスタがシーケンスにどのように反映されるかは fIO プラグインの機能仕様書を参照すること。

(3)RLEN レジスタ

RLEN レジスタにて fIO シーケンスの受信長を設定する。SLEN レジスタがシーケンスにどのように反映されるかは fIO プラグインの機能仕様書を参照すること。

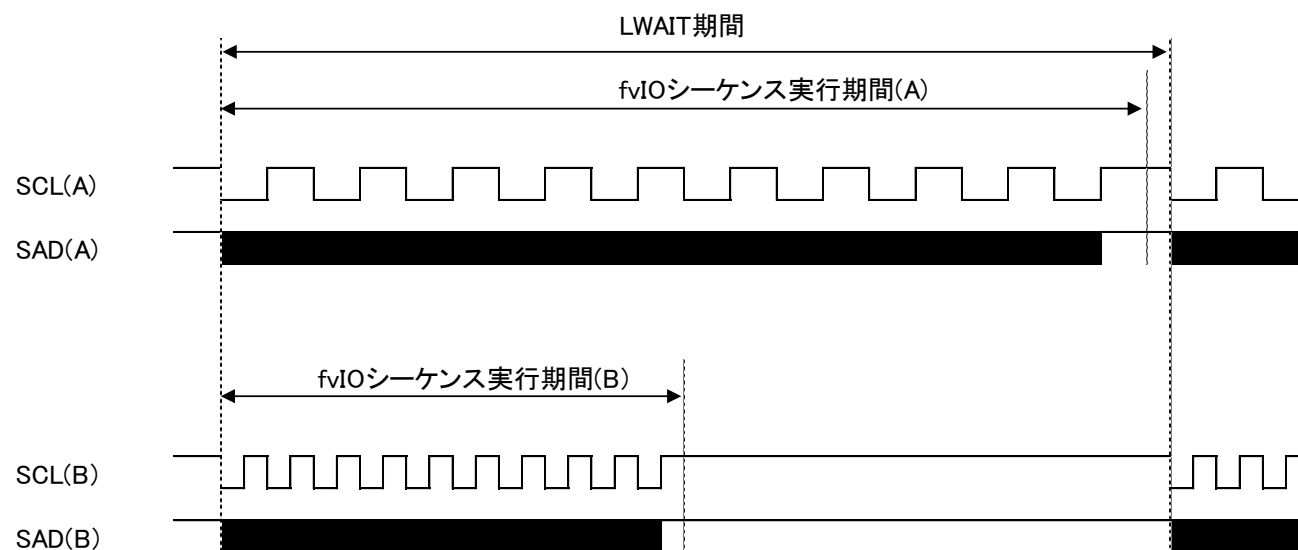
(4)CWAIT レジスタ

CWAIT レジスタにて fIO プラグインの通信用のクロック周期の設定を行う。

(5) LWAIT

LWAIT レジスタにて fIO シーケンス実行後のトリガ無効期間(ウェイト)を設定する。この機能を使用することで以下のように通信タイミングの調整や、通信周期の異なるシーケンス同士の同期を取ることができる。

LWAIT レジスタ設定の有効・無効は fIO シーケンスによって異なるため、fIO プラグインの各機能仕様書を参照すること。



(6) IREG0-7

fIO シーケンスに入力データが必要な場合は、IREG0-7 レジスタに設定する。入力フォーマットについては、fIO プラグインの各機能仕様書を参照すること。

(7) FIFO

fIO シーケンスに FIFO からの入力データが必要な場合は、FIFO レジスタにデータを入力する。入力フォーマットについては、fIO プラグインの各機能仕様書を参照すること。

3.5.4. fIO シーケンス開始

TRG レジスタの TRG ビットを'1'に設定し、SYNC ビットの fIO シーケンス開始条件を満たすと fIO シーケンスが実行される。fIO シーケンスの開始条件に外部同期信号を選択している場合は、TRG ビットを'1'に設定した後で ELC とリンクさせたモジュールを起動し、fIO へ外部同期信号(イベント)を入力する必要がある。

3.5.5. fIO シーケンス終了待ち

fIO シーケンスの終了は STAT レジスタの TRDY ビットが'1'になったことを確認することで検知できる。また、DMA を使用している場合は、RZ/T1 の CHSTATn(n=チャンネル番号)レジスタの TACT ビットが'1'から'0'に更新したことを合わせて確認することでシーケンスの終了を検知できる。DMA のリピート実行を停止する場合は以下の手順を行う。

- | |
|--|
| <ul style="list-style-type: none">①TRG レジスタを 0x80 に設定する。②CPU 側の処理で DMA を停止に設定する。③FIFO レジスタから 16 ワード+fIO シーケンスの受信長分のデータを空読みする。④800[ns]待機 |
|--|

3.5.6. 出力データ取得

fIO シーケンスの出力データは OREG0-F または FIFO レジスタによって取得できる(出力データが無い場合もある。)。出力データのフォーマットについては、fIO プラグインの各機能仕様書を参照すること。