

fvIO SPI 汎用プラグイン 仕様書

Rev1.10

2019 年 07 月 23 日

シマフジ電機(株)

変 更 履 歴 表

版	変 更 内 容		変更日付
1. 10	2	表を修正。	2019/07/23
	3. 1	表に端子番号を追加、シンボルの並び順を修正。 (注 1)の説明文を修正。	
	3. 3	レジスタ一覧からシーケンス出力データレジスタ (OREG0-OREG7) を削除。 2 スロット版のレジスタ一覧を追加。	
	3. 4	オフセットアドレスの値を修正。 シーケンス出力データレジスタ (OREG0-OREG7) の項目を削除。	
	3. 4. 11	2 スロット版のオフセットアドレスを追加。	
	3. 4. 12	2 スロット版のオフセットアドレスを追加。	
	3. 5	フローチャートを修正。	
	3. 5. 6	説明文を修正。	
1. 00	初版		2019/01/23

目次

1.	はじめに	4
2.	動作環境	4
3.	fVIO プラグイン詳細	4
3.1	端子機能	4
3.2	割り込み信号	4
3.3	レジスタ割り当て	5
3.4	レジスタ詳細	7
3.4.1.	トリガレジスタ(TRG)	7
3.4.2.	シーケンス設定レジスタ(CMD)	8
3.4.3.	シーケンス送信数設定レジスタ(SLEN)	8
3.4.4.	クロック周期設定レジスタ(CWAIT)	9
3.4.5.	オプションレジスタ 0(OPT0)	9
3.4.6.	オプションレジスタ 1(OPT1)	10
3.4.7.	オプションレジスタ 2(OPT2)	11
3.4.8.	ロングウェイトレジスタ(LWAIT)	12
3.4.9.	シーケンス入力データレジスタ 0~7(IREG0~7)	13
3.4.10.	バージョンレジスタ(VER)	13
3.4.11.	ステータスレジスタ(STAT)	14
3.4.12.	出力 FIFO レジスタ(FIFO0)	15
3.5	機能詳細	16
3.5.1.	ELC 設定	16
3.5.2.	DMA 設定	17
3.5.3.	fVIO レジスタ設定	18
3.5.4.	fVIO シーケンス開始	19
3.5.5.	fVIO シーケンス終了待ち	19
3.5.6.	出力データ取得	20

1. はじめに

本書は RZ/T1 IoT-Engine の fIO SPI 汎用プラグイン仕様書である。

2. 動作環境

本プラグインが動作する環境は以下の通り。

項目	種類	備考
CPU	ルネサス製マイコン RZ/T1	

3. fIO プラグイン詳細

3.1 端子機能

端子機能は以下の通り。端子割り当てについては、fIO プラグインの各アプリケーションノートを参照すること。

シンボル	端子番号	入出力	機能
SCLK	1	出力	SPI クロックライン
MOSI	2	出力	SPI データ出力
MISO	3	入力	SPI データ入力
CS0	4	出力	SPI チップセレクト 0
CS1 ^(注 1)	5	出力	SPI チップセレクト 1
CS2 ^(注 1)	6	出力	SPI チップセレクト 2
CS3 ^(注 1)	7	出力	SPI チップセレクト 3

(注 1)1 スロット版では未実装。

3.2 割り込み信号

割り込み信号は以下の通り。端子割り当てやベクタ番号については、fIO プラグインの各アプリケーションノートを参照すること

シンボル	入出力	機能
FIFO_PAE	出力	fIO FIFO 受信割り込み
FIFO_PAF	出力	fIO FIFO 送信割り込み
INT0	出力	STAT レジスタ割り込み(ELCIRQ1)

3.3 レジスタ割り当て

(1)レジスタ一覧

レジスタは、ベースアドレスを基準に以下のような構成をしている。ベースアドレスについては、fMIO インタフェースの各アプリケーションノートを参照すること

■1 スロット版のレジスタ一覧

オフセット アドレス	サイズ	シンボル	R/W	初期値	機能
0x00000000	8bit	TRG	RW	0x80	トリガレジスタ
0x00000001	8bit	CMD	RW	0x00	シーケンス設定レジスタ
0x00000002	8bit	SLEN	RW	0x00	シーケンス送信数設定レジスタ
0x00000004	8bit	CWAIT	RW	0x00	クロック周期設定レジスタ
0x00000005	8bit	OPT0	RW	0x00	オプションレジスタ 0
0x00000006	8bit	OPT1	RW	0x00	オプションレジスタ 1
0x00000007	8bit	OPT2	RW	0x00	オプションレジスタ 2
0x00000008	32bit	LWAIT	RW	0x00000000	ロングウェイトレジスタ
0x00000010	8bit	IREG0	RW	0x00	シーケンス入力データレジスタ 0
0x00000011	8bit	IREG1	RW	0x00	シーケンス入力データレジスタ 1
0x00000012	8bit	IREG2	RW	0x00	シーケンス入力データレジスタ 2
0x00000013	8bit	IREG3	RW	0x00	シーケンス入力データレジスタ 3
0x00000014	8bit	IREG4	RW	0x00	シーケンス入力データレジスタ 4
0x00000015	8bit	IREG5	RW	0x00	シーケンス入力データレジスタ 5
0x00000016	8bit	IREG6	RW	0x00	シーケンス入力データレジスタ 6
0x00000017	8bit	IREG7	RW	0x00	シーケンス入力データレジスタ 7
0x00000600	8bit	VER	RO	0x10	バージョンレジスタ
0x00000601	8bit	STAT	RO	0x00	ステータスレジスタ
(注 1)	8bit	FIFO0	RW	0x00	シーケンス入力、及び出力 FIFO レジスタ

(注 1)FIFO レジスタのアドレス値については、fMIO プラグインの各アプリケーションノートを参照すること

■2 スロット版のレジスタ一覧

オフセット アドレス	サイズ	シンボル	R/W	初期値	機能
0x00000000	8bit	TRG	RW	0x80	トリガレジスタ
0x00000001	8bit	CMD	RW	0x00	シーケンス設定レジスタ
0x00000002	8bit	SLEN	RW	0x00	シーケンス送信数設定レジスタ
0x00000004	8bit	CWAIT	RW	0x00	クロック周期設定レジスタ
0x00000005	8bit	OPT0	RW	0x00	オプションレジスタ 0
0x00000006	8bit	OPT1	RW	0x00	オプションレジスタ 1
0x00000007	8bit	OPT2	RW	0x00	オプションレジスタ 2
0x00000008	32bit	LWAIT	RW	0x00000000	ロングウェイトレジスタ
0x00000010	8bit	IREG0	RW	0x00	シーケンス入力データレジスタ 0
0x00000011	8bit	IREG1	RW	0x00	シーケンス入力データレジスタ 1
0x00000012	8bit	IREG2	RW	0x00	シーケンス入力データレジスタ 2
0x00000013	8bit	IREG3	RW	0x00	シーケンス入力データレジスタ 3
0x00000014	8bit	IREG4	RW	0x00	シーケンス入力データレジスタ 4
0x00000015	8bit	IREG5	RW	0x00	シーケンス入力データレジスタ 5
0x00000016	8bit	IREG6	RW	0x00	シーケンス入力データレジスタ 6
0x00000017	8bit	IREG7	RW	0x00	シーケンス入力データレジスタ 7
0x00400600	8bit	VER	RO	0x10	バージョンレジスタ
0x00400601	8bit	STAT	RO	0x00	ステータスレジスタ
(注 1)	8bit	FIFO0	RW	0x00	シーケンス入力、及び出力 FIFO レジスタ

(注 1) FIFO レジスタのアドレス値については、fMO プラグインの各アプリケーションノートを参照すること

3.4 レジスタ詳細

以下に各レジスタの詳細を示す。

3.4.1. トリガレジスタ(TRG)

オフセットアドレス: 0x00000000

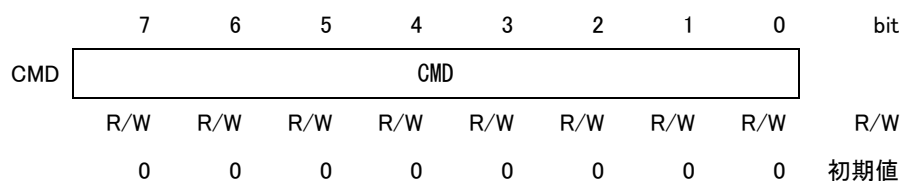
	7	6	5	4	3	2	1	0	bit
TRG	FCLR				SYNC		REP	TRG	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	1	0	0	0	0	0	0	0	初期値

Bits	名称	R/W	初期値	機能説明
7	FCLR	R/W	1	FIFO 入力クリア 0 : FIFO の入力データを保持 1 : トリガ受付可(STAT レジスタの TRDY ビット=1)の時、 FIFO の入力データをクリア
6:4	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
3	SYNC	R/W	0	fVIO シーケンス開始条件選択 0 : TRG ビットへの'1'書き込みでシーケンス開始 1 : TRG ビットへの'1'書き込み後、外部 SYNC 入力でシーケンス開始
2	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
1	REP	R/W	0	シーケンスのリピート 0 : シーケンスを 1 回だけ実行 1 : シーケンスを連続実行
0	TRG	R/W	0	fVIO シーケンスの開始トリガ 0 : fVIO シーケンス停止 1 : fVIO シーケンス開始(書き込み時開始)

- ・FIFO0 レジスタにデータを入力する必要がある場合、本レジスタの FCLR ビットを 0 に設定すること。
- ・本レジスタの FCLR ビットを'1'に設定することで、50[ns]毎に 1 ワード分の入力データをクリアできる。
- ・本レジスタの REP ビットを'1'に設定することで、TRG ビットの書き込みなしに連続でシーケンスを実行できる。REP ビットを'0'に設定すると停止する。
- ・本レジスタの REP ビットと SYNC ビットを同時に'1'に設定した場合、REP ビットのリピート実行を優先する。

3.4.2. シーケンス設定レジスタ(CMD)

オフセットアドレス: 0x00000001

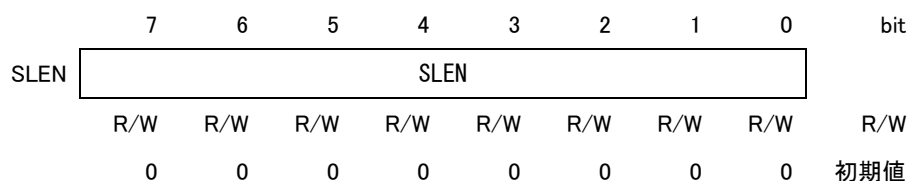


Bits	名称	R/W	初期値	機能説明
7:0	CMD	R/W	0	シーケンスアドレス

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタに特定の値を設定し、TRG レジスタの TRG ビットを'1'に書き込むことでfIO シーケンスの実行を開始する。
- ・機能仕様書に記述されたシーケンスアドレス以外の値を書き込むと、誤動作するため設定しないこと。

3.4.3. シーケンス送信数設定レジスタ(SLEN)

オフセットアドレス: 0x002

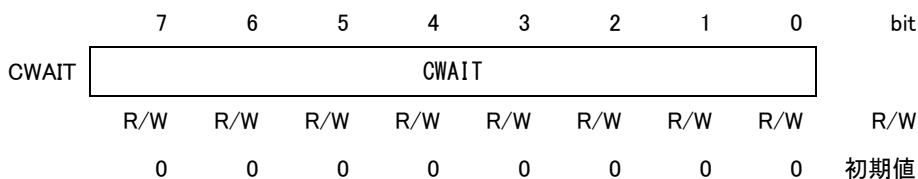


Bits	名称	R/W	初期値	機能説明
7:0	SLEN	R/W	0	シーケンス送信数 送信数=設定値+1 設定値の範囲は、1～8

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。

3.4.4. クロック周期設定レジスタ(CWAIT)

オフセットアドレス: 0x00000004

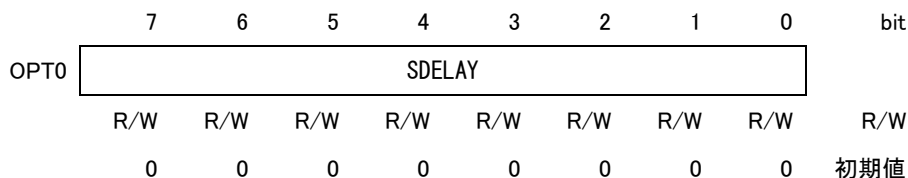


Bits	名称	R/W	初期値	機能説明
7:0	CWAIT	R/W	0	通信用のクロック周期設定 クロック周期[MHz] = 20/((設定値+1)*2)

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタの設定値は、外部モジュールとの通信レートに影響するため機能仕様書の範囲外の値は設定しないこと。

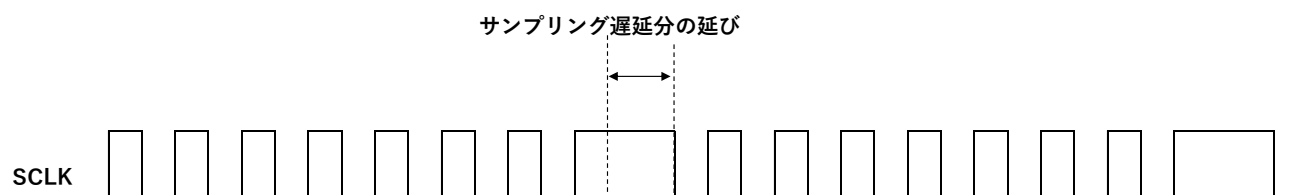
3.4.5. オプションレジスタ 0(OPT0)

オフセットアドレス: 0x00000005



Bits	名称	R/W	初期値	機能説明
7:0	SDELAY	R/W	0	サンプリング遅延 遅延時間[ns]=設定値 × 50

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタは主にケーブル長による遅延が発生する場合に設定する。
- ・本レジスタに'1'以上の値を設定すると、データのサンプリング位置が TRG レジスタの SED ビットで設定したエッジから設定値 × 50[ns]分遅延する。また、以下のように 8bit 毎に SCLK が遅延時間分延びるので注意すること。(以下の例はクロック極性=正論理の場合)



3.4.6. オプションレジスタ 1(OPT1)

オフセットアドレス: 0x00000006

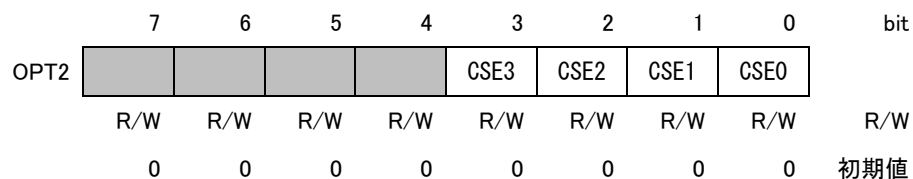
	7	6	5	4	3	2	1	0	bit
OPT1	SED	CKP			CSP3	CSP2	CSP1	CSP0	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	0	0	0	0	0	0	0	0	初期値

Bits	名称	R/W	初期値	機能説明
7	SED	R/W	0	クロック位相 0 : 奇数エッジでサンプル 1 : 偶数エッジでサンプル
6	CKP	R/W	0	クロック極性選択 0 : 正論理 1 : 負論理
5:4	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
3	CSP3	R/W	0	チップセレクト 3 の極性 0 : High アクティブ 1 : Low アクティブ
2	CSP2	R/W	0	チップセレクト 2 の極性 0 : High アクティブ 1 : Low アクティブ
1	CSP1	R/W	0	チップセレクト 1 の極性 0 : High アクティブ 1 : Low アクティブ
0	CSP0	R/W	0	チップセレクト 0 の極性 0 : High アクティブ 1 : Low アクティブ

・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fMO シーケンス完了まで変更してはならない。

3.4.7. オプションレジスタ 2(OPT2)

オフセットアドレス: 0x00000007

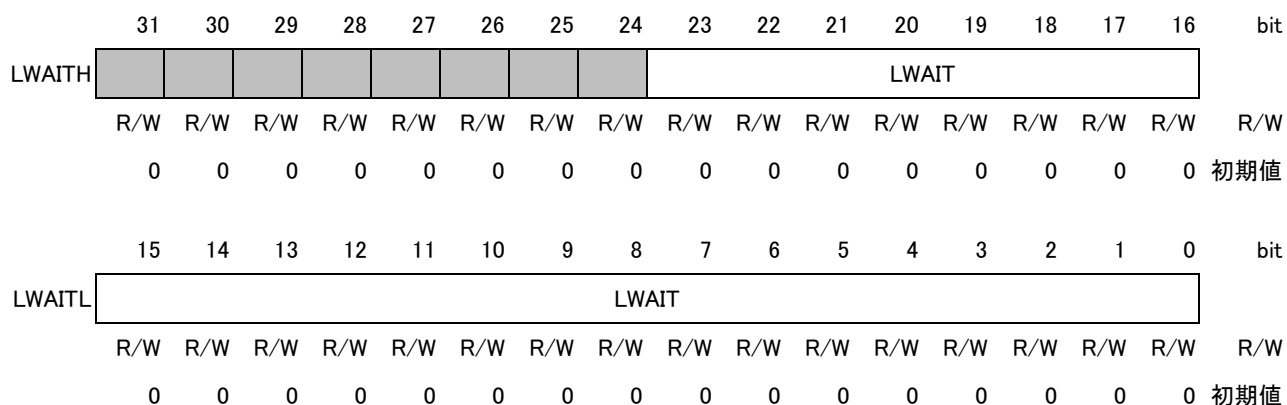


Bits	名称	R/W	初期値	機能説明
7:4	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
3	CSE3	R/W	0	チップセレクト 3 の有効/無効 0: 無効 1: 有効
2	CSE2	R/W	0	チップセレクト 2 の有効/無効 0: 無効 1: 有効
1	CSE1	R/W	0	チップセレクト 1 の有効/無効 0: 無効 1: 有効
0	CSE0	R/W	0	チップセレクト 0 の有効/無効 0: 無効 1: 有効

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fMO シーケンス完了まで変更してはならない。
- ・本レジスタに'1'以上の値を設定すると、データのサンプリング位置が TRG レジスタの SED ビットで設定したエッジから設定値 × 50[ns]分遅延する。

3.4.8. ロングウェイトレジスタ(LWAIT)

オフセットアドレス: 0x00000008

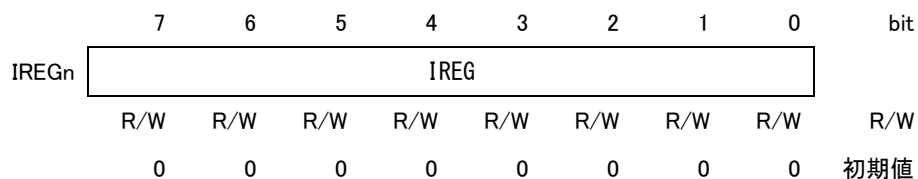


Bits	名称	R/W	初期値	機能説明
31:24	reserved	R/W	0	R/W 可能だが、書く場合は 0 とすること
23:0	LWAIT	R/W	0	fVIO シーケンス実行後のトリガ無効期間(ウェイト) 0 : ウェイト期間[ns]=0 それ以外: ウェイト期間[ns]=(設定値+1) × 50

- ・本レジスタは TRG レジスタの TRG ビットを '1' に書き込み後、fVIO シーケンス完了まで変更してはならない。
- ・ウェイト期間は fVIO シーケンスの開始からカウントされる。
- ・「fVIO シーケンス実行時間>ウェイト期間」になる場合、ウェイト期間は 0[ns]となる。

3.4.9. シーケンス入力データレジスタ 0～7(IREG0～7)

オフセットアドレス: 0x00000010-0x00000017

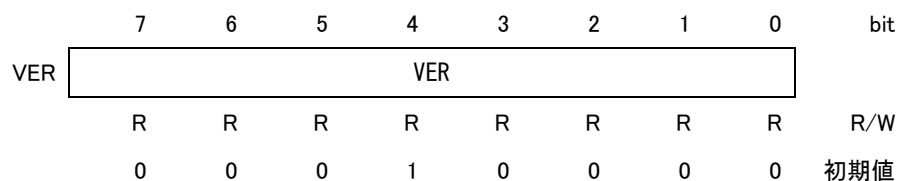


Bits	名称	R/W	初期値	機能説明
7:0	IREG	R/W	0	シーケンス入力データ

- ・本レジスタは TRG レジスタの TRG ビットを'1'に書き込み後、fIO シーケンス完了まで変更してはならない。
- ・本レジスタの設定値は特定の fIO シーケンスのみ有効になる。詳細については機能仕様書を参照すること。
- ・入力データを通信の送信データとして扱う場合、データは MSB ファーストで送信される。

3.4.10. バージョンレジスタ(VER)

オフセットアドレス: 0x00000600(1 スロット版)、0x00400600(2 スロット版)



Bits	名称	R/W	初期値	機能説明
7:0	VER	R	0x10	ソフトバージョン VER=0x01(ver.0.1) . . VER=0x99(ver.9.9)

- ・本バージョンレジスタは fIO プラグインのアプリケーション毎に設定される。

3.4.11.ステータスレジスタ(STAT)

オフセットアドレス: 0x00000601(1 スロット版)、0x00400601(2 スロット版)

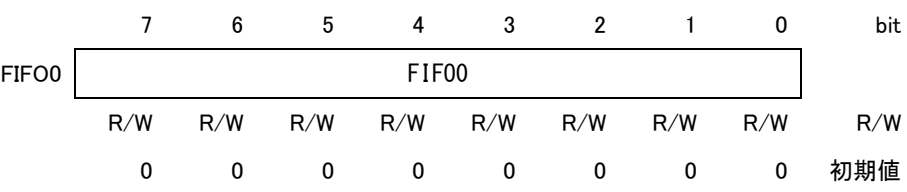
	7	6	5	4	3	2	1	0	bit
STAT	FERR							TRDY	
	R	R	R	R	R	R	R	R	R/W
	0	0	0	0	0	0	0	0	初期値

Bits	名称	R/W	初期値	機能説明
7	FERR	R	0	FIFO エラー 0: FIFO 機能正常 1: 外部 SYNC 入力(TRG レジスタの SYNC ビット=1)中に FIFO の バッファオーバーフロー or FIFO のバッファアンダーランが発生
6:5	reserved	R	0	R/W 可能だが、書く場合は 0 とすること
0	TRDY	R	0	トリガ受付通知 0: トリガ受付不可(fvIO シーケンス未完了) 1: トリガ受付可(fvIO シーケンス完了)

- ・本レジスタの各ビットが'1'になった時、INT0 割り込みが発生する。
- ・本レジスタの FERR ビットは一度'1'になった後はプラグインがリセットされるまで'0'クリアされない。

3.4.12.出力 FIFO レジスタ(FIFO0)

オフセットアドレス: (注 1)



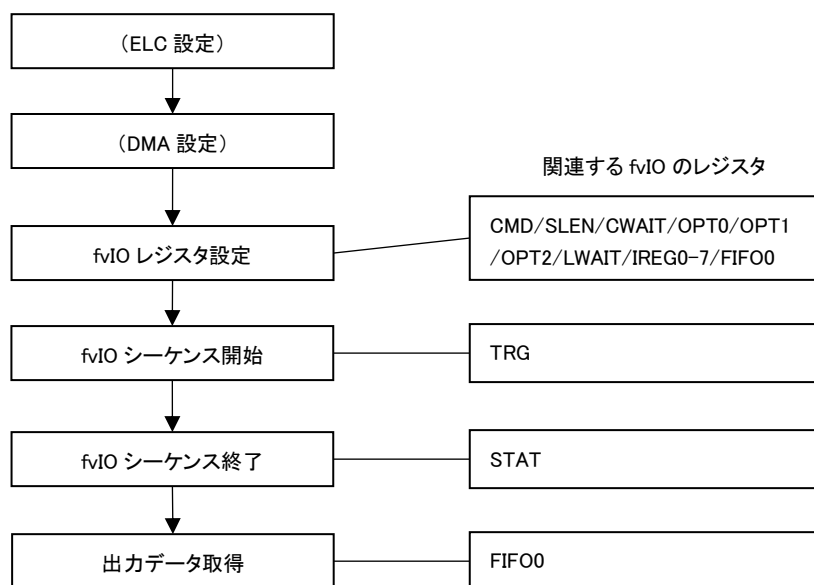
Bits	名称	R/W	初期値	機能説明
7:0	FIFO0	R/W	0	シーケンス入力データ、及びシーケンス出力データ

- ・本レジスタは、深さ 16 ワード、幅 8bit の FIFO レジスタ。
 - ・fVIO から本レジスタの FIFO にデータが出力されると FIFO 受信割り込み(FIFO_PAE)が発生する。
 - ・fVIO から本レジスタの FIFO ヘデータが入力されると FIFO 送信割り込み(FIFO_PAF)が発生する。
 - ・FIFO の出力データ格納数が 16 ワードの時にデータを受信すると、FIFO からデータを引き抜くまで通信が停止するため注意すること。
 - ・通信データは MSB ファーストで取得した値を出力する。
- (注 1) FIFO レジスタのアドレス値については、fVIO プラグインの各アプリケーションノートを参照すること。

3.5 機能詳細

fVIO プラグインは、レジスタ設定をすることで一定の処理を行う fVIO シーケンスを実行する。

下記の処理の流れに沿って機能の詳細を説明する。



3.5.1. ELC 設定

外部同期信号を使用して通信開始トリガをかける場合は、RZ/T1 の ELC 機能を設定し、fVIO に対してイベント信号を入力する。fVIO ではアドレス:0xA0080B11 を RZ/T1 のイベントリンク設定レジスタ(ELSRn)の代わりとして使用することができる。CMT1 を外部同期信号として使用する場合の設定例は以下の通り。

```
//ELC のモジュールストップ解除
SYSTEM.PRCR.LONG = 0x0000A503;
SYSTEM.MSTPCRC.BIT.MSTPCRC6 = 0;
SYSTEM.PRCR.LONG = 0x0000A500;

//CMT1 を fVIO とリンク
(* (volatile unsigned char *) (0xA0080B11)) = 0x1f;

//ELC 機能有効
ELC.ELCR.BIT.ELCON=1;
```


また、fVIO の INT0 割り込み信号を ELC のイベントとして割り込み登録する場合の設定例は以下の通り。

```
//ELC のモジュールストップ解除
SYSTEM.PRCR.LONG = 0x0000A503;
SYSTEM.MSTPCRC.BIT.MSTPCRC6 = 0;
SYSTEM.PRCR.LONG = 0x0000A500;

//fVIO と割り込みをリンク
ELC.ELSR18.BYTE = 0x2c;

//ELC 機能有効
ELC.ELCR.BIT.ELCON=1;
```

3.5.2. DMA 設定

fVIO シーケンスの入力データとして入力 FIFO を使用するタイプ、あるいは fVIO シーケンスの出力データが出力 FIFO に格納されるタイプの場合、DMA を使用してデータを転送することができる。入力 FIFO のデータを使用した時、あるいは出力 FIFO にデータが格納した時に割り込み信号が発生するため、この信号を DMA の起動要因として使用することができる。DMA 設定については、RZ/T1 のハードウェアマニュアルを参照すること。割り込みベクタ要因については、fVIO プラグインの各アプリケーションノートを参照すること。ただし、転送モードとデータサイズは以下の値に設定すること。

設定項目	設定内容
転送モード	シングル転送
ソースデータサイズ	8bit
デスティネーション データサイズ	8bit

3.5.3. fVIO レジスタ設定

CMD/SLEN/CWAIT/OPT0/OPT1/OPT2/LWAIT/IREG0-7/FIFO0 レジスタを必要に応じて設定する。設定の詳細については、下記の(1)～(6)の通り。

(1)CMD レジスタ

CMD レジスタにて fVIO シーケンスを選択する。選択できるシーケンスについては、fVIO プラグインの機能仕様書を参照すること。

(2)SLEN レジスタ

SLEN レジスタにて fVIO シーケンスの送信長を設定する。SLEN レジスタがシーケンスにどのように反映されるかは fVIO プラグインの機能仕様書を参照すること。

(3)CWAIT レジスタ

CWAIT レジスタにて fVIO プラグインの通信用のクロック周期の設定を行う。

(4)OPT0 レジスタ

OPT0 レジスタにてサンプリング位置の設定を行う。

(5)OPT1 レジスタ

OPT1 レジスタにてクロック位相、クロック極性、チップセレクト極性を設定する。

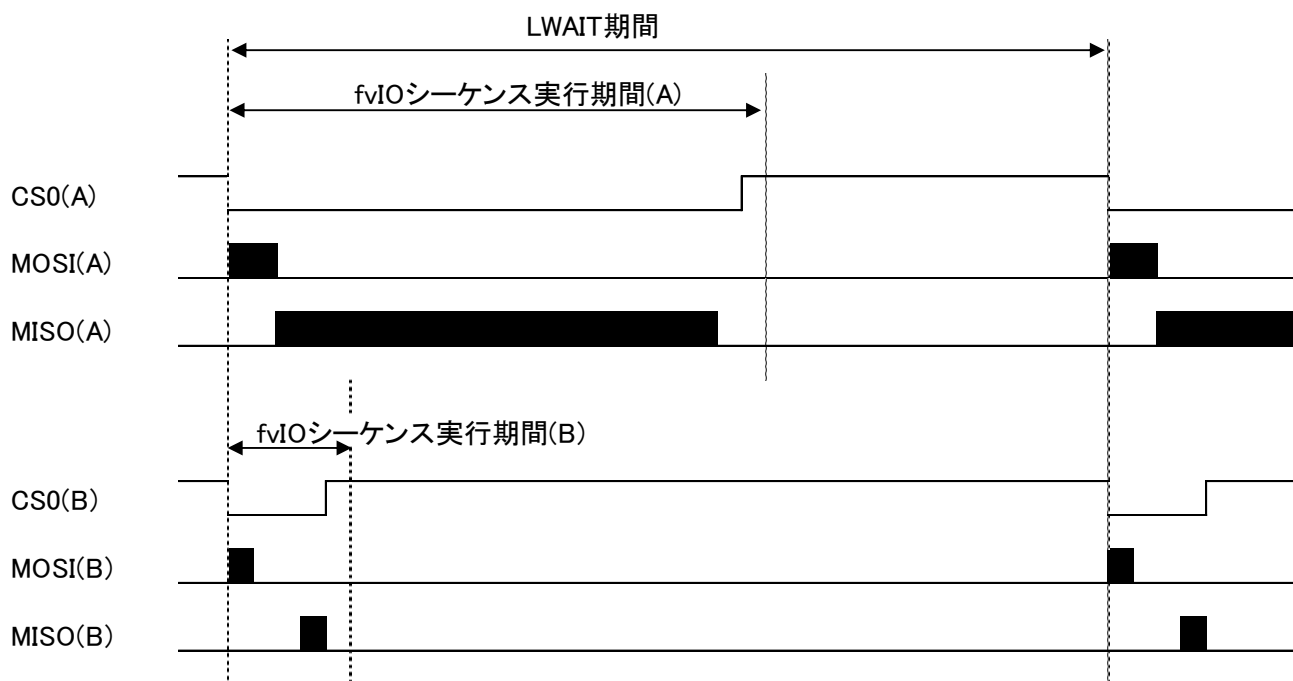
(6)OPT2 レジスタ

OPT2 レジスタにてチップセレクトの有効/無効を設定する。

(7) LWAIT

LWAIT レジスタにて fVIO シーケンス実行後のトリガ無効期間(ウェイト)を設定する。この機能を使用することで以下のように通信タイミングの調整や、通信周期の異なるシーケンス同士の同期を取ることができる。

LWAIT レジスタ設定の有効・無効は fVIO シーケンスによって異なるため、fVIO プラグインの各機能仕様書を参照すること。



(8) IREG0-7

fVIO シーケンスにレジスタからの入力データが必要な場合は、IREG0-7 レジスタにデータを設定する。入力フォーマットについては、fVIO プラグインの各機能仕様書を参照すること。

(9) FIFO0

fVIO シーケンスに FIFO からの入力データが必要な場合は、FIFO レジスタにデータを入力する。入力フォーマットについては、fVIO プラグインの各機能仕様書を参照すること。

3.5.4. fVIO シーケンス開始

TRG レジスタの TRG ビットを '1' に設定し、SYNC ビットの fVIO シーケンス開始条件を満たすと fVIO シーケンスが実行される。fVIO シーケンスの開始条件に外部同期信号を選択している場合は、TRG ビットを '1' に設定した後で ELC とリンクさせたモジュールを起動し、fVIO へ外部同期信号(イベント)を入力する必要がある。

3.5.5. fVIO シーケンス終了待ち

fVIO シーケンスの終了は STAT レジスタの TRDY ビットが '1' になったことを確認することで検知できる。また、DMA を使用している場合は、RZ/T1 の CHSTATn(n=チャンネル番号)レジスタの TACT ビットが '1' から '0' に更新したことを合わせて確認することでシーケンスの終了を検知できる。DMA のリピート実行を停止する場合は以下の手順を行う。

- ① TRG レジスタを 0x80 に設定する。
- ② CPU 側の処理で DMA を停止に設定する。
- ③ FIFO0 レジスタから 16 ワード+fVIO シーケンスの受信長分のデータを空読みする。
- ④ 800[ns]待機

3.5.6. 出力データ取得

fIO シーケンスの出力データは FIFO レジスタによって取得できる(出力データが無い場合もある。)。出力データのフォーマットについては、fIO プラグインの各機能仕様書を参照すること。