

リミット試験

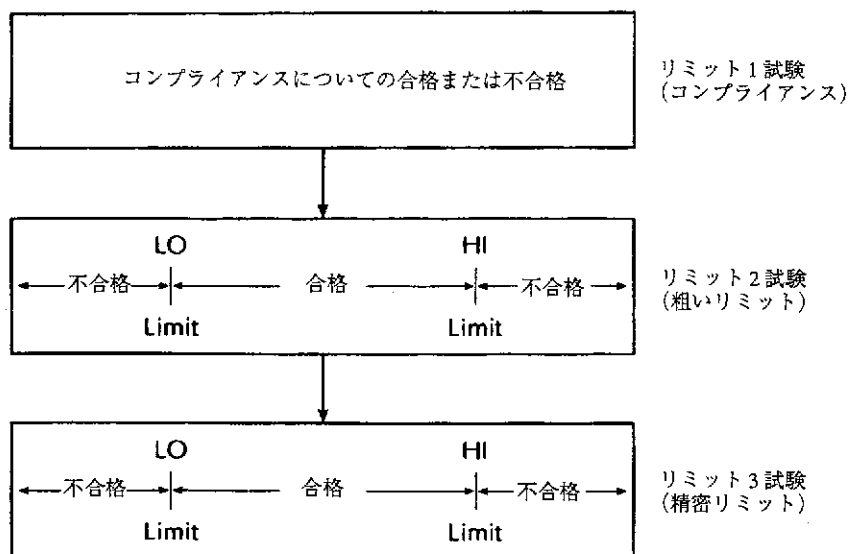
- ・ **リミットの種類**—3種類のリミット、すなわちコンプライアンス、粗いリミット、精密リミットについて説明するとともに、2種類の動作モード、すなわちグレーディング、ソーティングの要約を示します。
- ・ **動作の概要**—グレーディングとソーティングモードの場合の、ビンニング制御と合格/不合格条件について説明します。
- ・ **ビンニングシステム**—ハンドラインタフェースに加えて、単一素子ビンニングと多素子ビンニングの詳細を説明します。
- ・ **デジタル出力クリアパターン**—ビンニング動作のあとに発生するデジタル出力ビットパターンの詳細を説明します。
- ・ **リミット試験の設定と実行**—リミット試験用にソース・メータを設定する方法を説明し、代表的な試験手順の要約を示します。
- ・ **リモートリミット試験**—リミットコマンドの要約を示し、基本的なプログラミングの例を示します。

リミットの種類

図 12-1 に示すように、DUT に対して実行可能なリミット試験には、11 の方法があります。試験を実行できるのは、その試験が使用可能状態にある場合に限られます。したがって、11 の試験のうち、1 つだけ、2 つ、または全部を行うことができます。これらの試験は、常に、図に示す順序で実行されます。

注記 リミット 4 はコンタクトチェックオプション専用です。付録 F を参照してください。

図 12-1
リミット試験



注記 リミット試験の読み取り値をバッファに格納すると、「P」または「F」が位置番号の先頭に付けられ、試験の合否結果を表示します。バッファについては第 10 部に記載してあります。

リミット 1 の試験 (コンプライアンス)

この試験は、ソースメータのコンプライアンス状態をチェックします。この試験は、試験リミットとしてプログラムコンプライアンスを使用します。プログラムリミットまたはそれ以上の点で、計測器はコンプライアンス状態に入っています。このリミットよりも下では、計測器はコンプライアンス状態に入っていません。

たとえば、抵抗が $1\text{k}\Omega$ 未満の抵抗体を「合格」としたい場合を想定しましょう。これを行うには、コンプライアンスリミット 1V で 1mA を出力するように I ソースを設定し、コンプライアンスについて不合格になるように試験を設定することができます。たとえば、試験される抵抗体が 750Ω であれば、出力電圧は 0.75V ($1\text{mA} \times 750\Omega = 0.75\text{V}$) となります。出力電圧が 1V リミット以下であるため、試験に合格となります。抵抗体が $1\text{k}\Omega$ (またはこれよりも大きい) 場合には、出力電圧は 1V ($1\text{mA} \times 1\text{k}\Omega = 1\text{V}$) となります。 1V のリミットに達しており、ソースメータをコンプライアンス状態に入れるので、試験に不合格となります。

リミット 1 の試験を使い、ダイオードなどのデバイスの極性を求めます。この試験をソースメモリスweepと併用することにより、デバイスが逆方向に装着してある場合に、指定記憶位置で別のセットアップに分岐することができます。ダイオードの試験の詳細は、この部の終わりに記載するプログラミングの例を参照してください。

リミット2、リミット3、リミット5-12の試験

これらのソフトウェア (S/W) 試験を使用し、DUT が指定された上限と下限の範囲内にあるかどうかを判定します。通常は、リミット2試験は、「粗い」許容差リミットの試験に使い、リミット3とリミット5から12の試験は「精密」許容差リミットの試験に使います。

たとえば、抵抗体を、許容差が1%、5%、>5%の3グループにソートする場合を考えましょう。これを実行するには、リミット2試験を5%のHIリミットとLOリミットに、リミット3試験を1%のHIリミットとLOリミットに設定してください。リミット2に不合格であれば、ハンドラは、DUTを>5%というラベルの区分容器に置きます。リミット2に合格であれば、リミット3試験が行われます。リミット3に不合格であれば、DUTは5%というラベルの区分容器に置かれます。リミット3に合格すれば、ハンドラはDUTを1%とというラベルの区分容器に置きます。

リミット試験モード

リミット試験の動作モードには、グレーディングとソーティングの2種類があります。リミット1試験(コンプライアンス)の場合は、動作はどちらの試験モードの場合でもほぼ同じです。リミット1試験に不合格であれば、「FAIL」メッセージがディスプレイされ、このDUT(またはDUT素子)についての試験プロセスは終わります。合格すれば、試験プロセスは次の使用可能なリミット試験に進むことができます。

グレーディングモードを選択した場合は、不合格が発生するまで、それぞれの使用可能なソフトウェア試験(リミット2、3、5-12)が実行されます。試験に不合格になると、「FAIL」メッセージがディスプレイされ、このDUT(またはDUT素子)についての試験プロセスは終わります。

ソーティングモードを選択した場合は、試験に合格するまで、それぞれの使用可能なソフトウェア試験(リミット2、3、5-12)が実行されます。試験に合格すると、「PASS」メッセージがディスプレイされ、このDUT(またはDUT素子)についての試験プロセスは終わります。

ビンニング

機器を追加せずに、DUTについてリミット試験を行うことができる場合でも、通常は、ソース・メータをコンポーネントハンドラと併用して、ビンニング動作を実行します。試験プロセスが終わったあと、DUTは割り当てられた区分容器の中に置かれます。

グレーディングモードの場合は、スキャナを追加すればビンニングシステムの自動化をさらに進めることができます。スキャナを使用することにより、試験を反復して(繰り返して)シングルパッケージの個別素子(すなわち抵抗ネットワーク)を試験することができます。コンポーネントハンドラとスキャナを使うビンニング動作の詳細は、「ビンニングシステム」を参照してください。

動作の概要

グレーディングモード

リミット動作の詳細は、図 2-27 のフローチャートに示します。試験が実行できるのは、その試験が使用可能状態にある場合に限りです。その試験が使用禁止状態にあれば、動作は次の試験に進みます。以下の解説は、3つのリミット試験がすべて使用可能状態にあり、ソースメータがコンポーネントハンドラに接続されて、DUT のピンニングが可能な状態にあることを前提とします（「ピンニングシステム」参照）。ハンドラを使用しない場合は、デジタル入力/出力（ハンドラインタフェース）作用を無視してください。

リミット試験を適切に設定した状態で、ソースメータの出力をオン状態にし、LIMITS キーを押してください。ハンドラが SOT（試験開始）ストロブパルスを送ると、試験プロセスが開始されます。ハンドラを使用しない場合は、試験が開始されるのは LIMITS を押した時であることに留意してください。二度目に LIMITS を押すと、試験プロセスは終了します。

フローチャートに示すように、リミット試験は、測定値変換のあとに行われます。

ピンニング制御

ピンニング制御の種類の選択は、試験プロセスが停止し、該当するピンニング動作が起こる時期を決めます。グレーディングモードの場合、ピンニング制御には即時ピンニングとエンドピンニングの 2 種類があります。

即時ピンニング—最初の不合格が発生したあと、すべての試験を停止したいときは、即時ピンニングを使ってください。保留中の試験があればすべてキャンセルされ、DUT はこの試験に不合格の場合に割り当てられた区分容器の中に置かれます。不合格が発生しなかったら、すべての使用可能な試験が実行され、DUT は割り当てられた「合格」区分容器の中に置かれます。

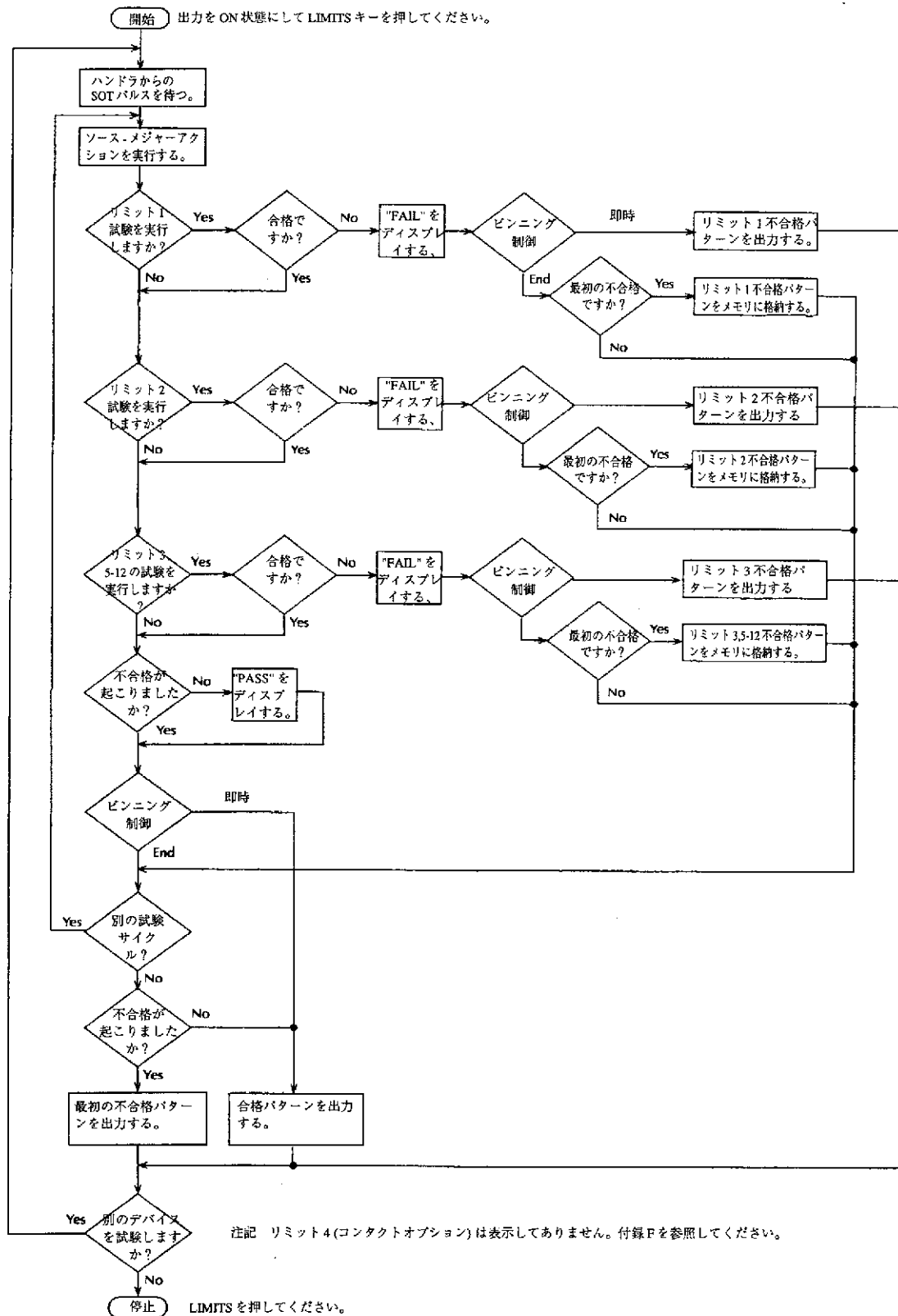
即時ピンニングとスイープを併用すると、異なるデバイスを異なるソースレベルで測定することができます。たとえば、1V、2V、および 3V ステップレベルの 3 点線形スイープを考えましょう。第 1 の DUT は 1V で試験され、第 2 の DUT は 2V で、第 3 の DUT は 3V で試験されます。

エンドピンニング—エンドピンニングを使えば、ピンニング動作の実行前にスイープを終わらせます。不合格の場合は、第 1 の試験不合格が区分容器の割り当てを決めます。

エンドピンニングとスイープを併用すると、1つのデバイスを異なるソースレベルで測定することができます。たとえば、1.1V、2.2V、および 3.3V ソースレベルの 3 点リストスイープを考えましょう。リミット試験はそれぞれのソースレベルで行われます。3 回の試験サイクルを終えたあと、DUT は該当する区分容器の中に置かれます。

スキャナをシステムに加えると、多素子デバイス（すなわち抵抗ネットワーク）の個別素子を試験することができます。たとえば、前回の 3 点リストスイープを使って 3 素子抵抗ネットワークを試験することができます。最初の試験サイクル（1.1V のソースレベルを使う）は、ネットワークの第 1 素子を試験します。第 2 試験サイクル（2.2V）はネットワークの第 2 素子を、最後の試験サイクルはネットワークの第 3 素子を試験します。3 回の試験サイクルが終わったあと、抵抗ネットワークは該当する区分容器の中に置かれます。

図 12-2
グレーディング
モードリミット試験



合格条件

この説明では、すべてのグレーディングモードリミット試験に合格することを前提とします。3種類のリミット試験に合格したあと、「PASS」メッセージがディスプレイされ、動作はビンニング制御決定ブロックにドロップダウンします。

即時ビンニングー即時ビンニングの場合は、試験プロセスは停止します。ソース・メータはコンポーネントハンドラに対して合格パターンを出力し、ビンニング動作を実行させます。

エンドビンニングーエンドビンニングの場合は、動作は「別の試験サイクル?」という決定ブロックにドロップダウンします。DUTパッケージについて追加の試験(すなわちスイープ)を行うようにプログラムされていれば、動作はループを戻り、次のソース・メジャーアクションを実行します。プログラムされたすべての試験サイクルが順調に完了すれば、ソース・メータは合格パターンをコンポーネントハンドラに出力し、ビンニング動作を実行させます。

別の DUT パッケージを試験するように設定されていれば、ループ動作はフローチャートの頂部に戻り、コンポーネントハンドラから SOT (試験開始) パルスが来るのを待ちます。

不合格条件

不合格が発生すると、FAIL メッセージがディスプレイされ、動作はビンニング制御決定ブロックに進みます。

即時ビンニングー即時ビンニングの場合は、試験プロセスは終結され、この場合の不合格に対する不合格パターンがコンポーネントハンドラに送られ、ビンニング動作を実行させます。

エンドビンニングーエンドビンニングの場合は、第1の不合格の不合格パターンがメモリに格納され、動作は「別の試験サイクル?」という決定ブロックに進みます。DUTパッケージについて追加の試験(すなわちスイープ)を行うようにプログラムされていれば、動作はループを戻り、次のソース・メジャーアクションを実行します。不合格が発生すると以後の試験は実行されないことに注意してください。

プログラムされたすべての試験が完了すると、ソース・メータはメモリに格納した不合格パターンを出力します。これは、デバイスパッケージの試験中に発生した最初の不合格を反映します。コンポーネントハンドラは、DUT を該当する区分容器の中に置きます。

別の DUT パッケージを試験するように設定されていれば、ループ動作はフローチャートの頂部に戻り、コンポーネントハンドラから SOT (試験開始) パルスが来るのを待ちます。

ソーティングモード

ソーティングモードリミット動作の詳細は、図 12-3 のフローチャートに示してあります。試験は、使用可能になっている場合に限って、実行されます。使用禁止になっていれば、動作は次の試験に進みます。下記の説明は、DUT のピンニングの場合は、ソース・メータのデジタル出力がコンポーネントハンドラに接続してあることを前提とします。〔「ピンニングシステム」参照〕 ハンドラを使わない場合は、デジタル入力/出力 (ハンドラインタフェース) アクションを無視してください。

リミット試験を適切に設定して、ソース・メータ出力をオン状態に入れ、LIMITS キーを押してください。コンポーネントハンドラが SOT (試験開始) ストロープをソース・メータに送ると、試験プロセスが始まります。ハンドラを使わないときには、LIMITS を押すと試験が始まることに注意してください。もう一度 LIMITS を押すと、試験プロセスは狩猟します。フローチャートに示すように、リミット試験が行われるのは測定値変換のあとです。

リミット 1 試験 (コンプライアンス) の場合は、不合格となれば "FAIL" メッセージが現れ、その時の DUT の試験プロセスが終了します。合格条件の場合は、動作は次の使用可能リミット試験に進みます。しかし、ソフトウェアリミット試験 (リミット 2、3、および 5-12) が使用可能状態になれば、試験プロセスは終了し、"PASS" メッセージがディスプレイされます。

リミット 1 に合格になることを前提とすれば、使用可能な各ソフトウェアリミット試験は、これらのうち 1 つに合格するまで、実行されます。ある試験に合格すれば、"PASS" メッセージがディスプレイされ、この場合の DUT に関する保留されリミット試験は、キャンセルされます。すべてのリミット試験に不合格となった場合は、"FAIL" メッセージがディスプレイされます。

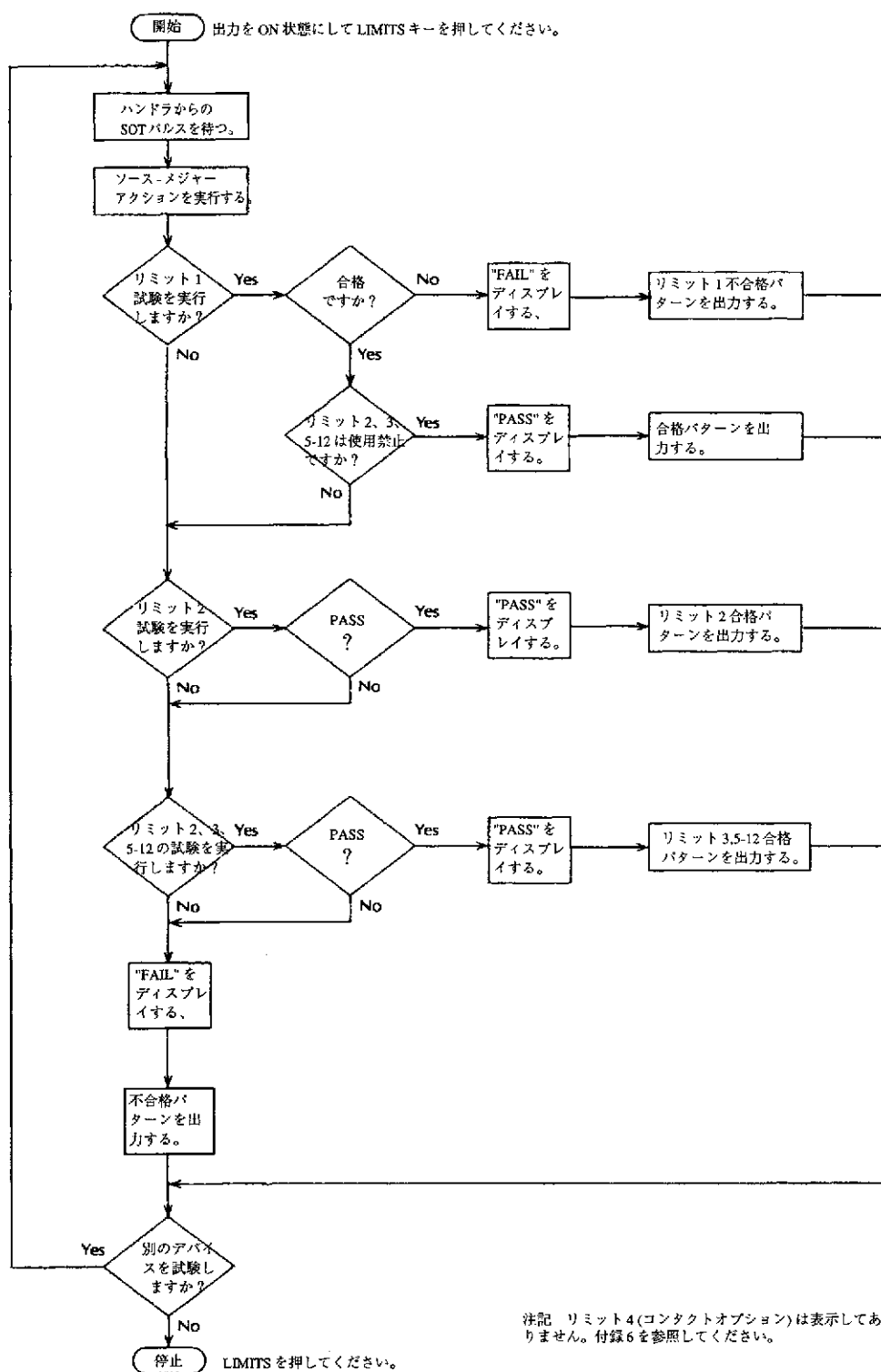
ピンニング

ソーティングモードの場合は、即時ピンニングだけが実行可能です。試験プロセス終了後は ("FAIL" または "PASS" がディスプレイされる)、該当する出力ビットパターンがコンポーネントハンドラに送出され、ハンドラは DUT を割り当てられた区分容器の中に置きます。

即時ピンニングとスイープを併用すると、異なるデバイスを異なるソースレベルで測定することができます。たとえば、1V、2V、および 3V ステップレベルの 3 点線形スイープを考えましょう。第 1 の DUT は 1V で試験され、第 2 の DUT は 2V で、第 3 の DUT は 3V で試験されます。

図 12-3

ソーティング
モードリミット試験



注記 リミット 4 (コンタクトオプション) は表示してありません。付録 6 を参照してください。

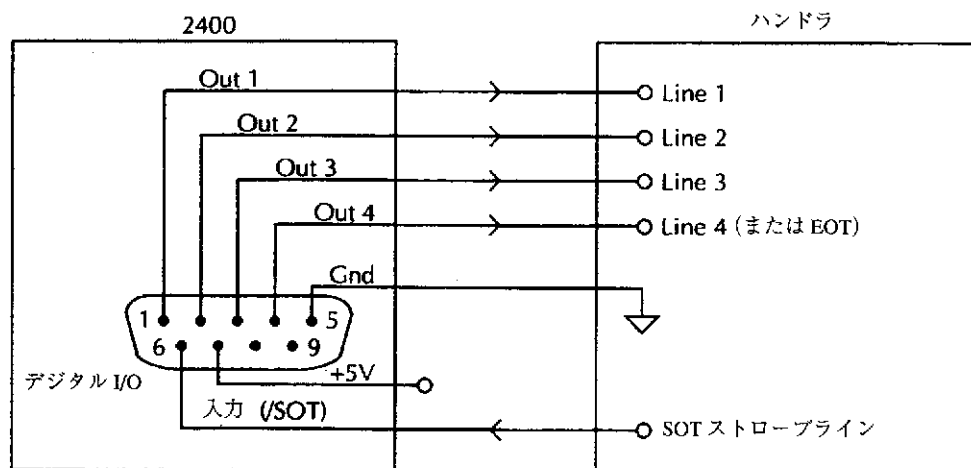
ピンニングシステム

DUT パッケージに対してピンニング動作を行わせるために、ソースメータをコンポーネントハンドラとともに使用することができます。このシステムを使用すると、単一素子デバイス（すなわち抵抗体）を試験することができます。システムにスキャナを加えると、多素子 DUT パッケージ（すなわち抵抗体ネットワーク）に対してピンニング動作を行わせることができます。

ハンドラインタフェース

ソースメータは、図 12-4 に示すデジタル I/O ポートを介して、コンポーネントハンドラとのインタフェースを形成します。この I/O ポートは、出力信号用として 4 本のライン、入力信号用として 1 本のラインを備えています。出力ラインを使用し、試験合格/不合格信号をハンドラに送り、ピンニング動作を行わせます。

図 2-28
ハンドラインタ
フェース接続



デジタル I/O の入力ライン (/SOT) は、試験プロセスの開始を制御するために使用します。START TEST が、トリガモデルのアームレイヤーについての、選択されたアーム事象となる場合は、試験プロセスが開始するのは、/SOT ラインを low レベルに引き下げた時です。IMMEDIATE アームの事象が選択された状態では、試験プロセスは LIMITS キーを押すと同時に開始します（出力はオン状態と想定）。トリガモデルの設定の詳細については、第 11 部の「トリガ動作」を参照してください。

/SOT ラインをハンドラが使用する場合は、/SOT ラインが「準備未完了」状態にある間は、このラインは high レベルに維持されます。ハンドラが準備できた状態（DUT がハンドラの中で適切な位置にある）では、ハンドラは /SOT ラインを low レベルに下げて、試験を開始させます。

デジタル I/O の /INT ラインは、コンポーネントハンドラがインタロックスイッチを備えてない場合には使うことができます。インタロックを適切に使うと、ハンドラの蓋を開けた時に電力は DUT から除去されます。インタロックに関する動作の詳細は、第 13 部の「デジタル I/O ポート」と「インタロック」を参照してください。

これらのデジタル I/O ラインの接続には、ソースメータの背面パネルの DB-9 コネクタを使用します。ソースメータへの接続には、標準雌 DB-9 コネクタを使用する特製ケーブルが必要です。

ライン4は、END OF TEST モードの状態により、EOT (試験終了) または BUSY 信号として使うことができます。([リミット試験の設定] 参照)

ソースメータは、2種類の基本的なハンドラのどちらとも、共用することができます。カテゴリ・パルス・ハンドラとともに使用する場合は、ソースメータは4本のハンドララインのうち、1本にパルスを送ります。そうするとハンドラは、パルスを受けたラインに割り当てた区分容器に DUT を納めます。

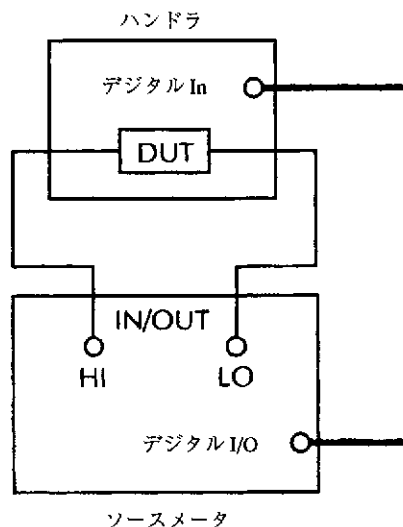
カテゴリ・レジスタ・コンポーネント・ハンドラとともに使用する場合は、ソースメータはビットパターンを、3本のハンドララインに対して出力します。ソースメータが試験終了 (EOT) ストローブパルスで第4本目のハンドララインに送ったあと、ハンドラはこのビットパターンに割り当てた区分容器に DUT を納めます。

図 12-4 と図 12-5 に、2つの基本的なピンニングシステムを示します。どちらのシステムも、適切な区分容器にデバイスパッケージを物理的に納めるためには、ハンドラを必要とします。コンポーネントハンドラは、デジタル I/O ポートを介してソースメータによって制御されます。

単一素子デバイスピンニング

図 12-5 に示すのは、単一素子デバイス (すなわち抵抗体) 用の基本ピンニングシステムです。単一試験サイクルを DUT に対して行ったあと、試験結果 (合格または不合格) がディスプレイされ、関連するデジタル出力情報がハンドラに送られます。そうするとハンドラは DUT を適切な区分容器に納めます。ハンドラは次の DUT を選択し、試験プロセスは反復されます。

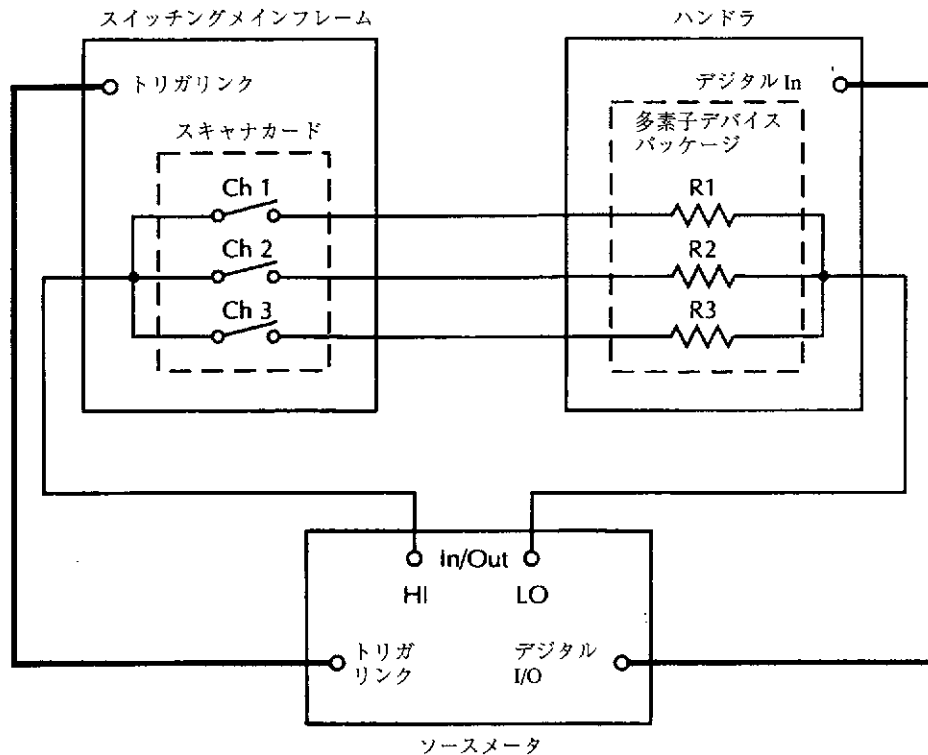
図 12-5
ピンニングシステム
単一素子デバイス



多素子デバイスピンニング

図 12-6 に示すのは、3 素子抵抗体ネットワーク試験用の基本ピンニングシステムです。このシステムには、スイッチングメインフレームに設置されたスキャナカードが必要であることに留意してください。スキャナカードスイッチングは、トリガリンクを介して制御されます。このテストシステムにはエンドピンニングコントロールが必要なので、グレーディングモードを使用しなければなりません。

図 12-6
ピンニングシステム
多素子デバイス



トリガレイヤーは、毎回の測定のあとにトリガパルスを出力するように設定されています。

スキャナとソース・メータのトリガ動作は、この試験に適するように設定しなければなりません。一般に、スキャナは3チャンネルをスキャンするように設定しなければなりません。ソース・メータは、3点スイープを行い、毎回の測定のあと、トリガをスキャナに出力するように設定しなければなりません。詳細は第11部の「トリガリング」を参照してください。

試験プロセスが開始すると、スキャナカードのCh 1が閉じて、R1が測定されます。測定完了後、2つのイベントが同時に発生します。すなわちR1の試験が行われ、ソース・メータはトリガパルスをスイッチングメインフレームに送出し、Ch 1を開きCh 2を閉じます。不合格がないことを前提とすると、測定はR2について実行されます。R2の試験の進行中は、Ch 2が開き、Ch 3が閉じます。不合格がないことを再度前提とすると、R3について測定が行われ、続いてR3が試験されます。3個の抵抗体すべての試験の結果が合格であることを前提とすると、デバイスパッケージは合格区分容器の中に置かれます。

ネットワークの抵抗体のどれかが試験に不合格となる場合は、FAILメッセージがディスプレイされ、最初の不合格のデジタル出力情報がメモリに格納されます (ENDピンニング制御の選択を前提として)。スイープが完了すると、ソース・メータはメモリに格納した出力パターンを送出します。これが最初の試験不合格の出力パターンです。コンポーネントハンドラは、DUTパッケージを、この場合の不合格に割り当てられた区分容器の中に置きます。

ハンドラは次の抵抗ネットワークを選択し、同じ試験プロセスが反復されます。

ディジタル出力クリアパターン

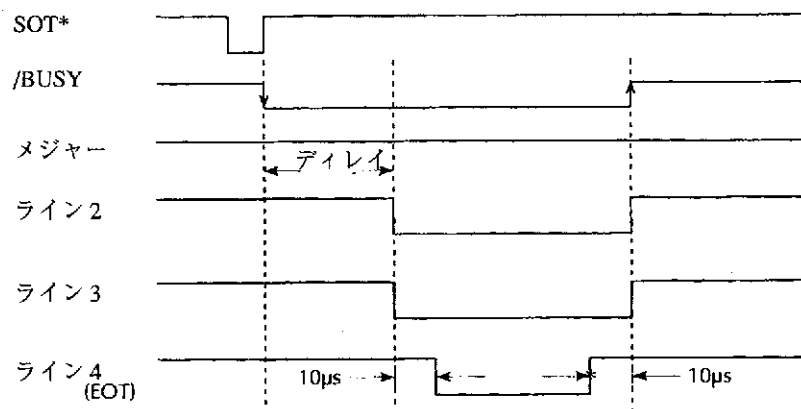
毎回のピンニング動作のあと、ディジタル出力をクリアパターンにリセットする必要があります。クリアパターンは、コンポーネントハンドラに対して「ノーアクション」条件となります。

合格または不合格パターンが送出されたあと、ディジタル出力を自動的にクリアするように、ソースメータをプログラムすることができます。オートクリアを行う場合には、合格または不合格パターンに対して、必要なパルス幅（ディレイ）を指定しなければなりません。オートクリアを使用しない場合は、GENERAL MENUのDIGOUTオプションを使用して、ディジタル出力をそのクリアパターンに戻す必要があります。このオプションは、合格/不合格パターンとパルス幅を設定します。

オートクリアタイミング

下記のタイミングダイアグラムの例 (図 12-7) とその解説は、オートクリア用のディジタル出力ラインの間の関係を説明するものです。

図 12-7
ディジタル出力
オートクリアタイミングの例
ライン 1



SOT ラインにパルスを加えて電位がロウ状態 (図示のとおり) になっていると、トリガモデルの場合は、選択したイベントは、/START TEST でなければなりません。逆にハンドラが SOT ラインにパルスを加えてハイ状態にする場合は、選択したアームイベントは、START TEST でなければなりません。

まず 4 本のディジタル出力ラインがクリアされます (この場合、ラインはすべて high レベルに設定されています)。試験開始 (SOT) パルスがコンポーネントハンドラから受信されると、リミット試験が開始されます。試験プロセスが終了すると、合格または不合格パターンがディジタル出力に印加されます。ダイアグラムに示すように、ライン 2、3、4 は low レベルになり、ライン 1 は high レベルの状態を継続します。

合格/不合格パターンのパルス幅 (ディレイ) は、コンポーネントハンドラの要求に応じて、0 から 60sec の間 (分解能 100msec) に設定することができます。ディレイがライン 4 のパルス幅を指定することに注目してください。ライン 1、2、3 のパルス幅は、実際には 20msec 長くなっています。ライン 4 は、カテゴリ・レジスタ・コンポーネント・ハンドラによって試験終了 (EOT) ストロープとして使用されるので、スキューが発生しています。ライン 1、2、3 はビットパターンを確立します。その 10msec あとに、SOT ストロープは、ハンドラに対して、ビットパターンを読み取り、ピンニング動作を行うように命令します。この 10msec のオフセットを利用して、正しいビットパターンをハンドラが読み取ったことを確認します。

ハンドラが合格/不合格を読み取ったあと、ディジタル出力パターンはクリアパターンに戻ります。

カテゴリ・パルス・コンポーネント・ハンドラ

カテゴリ・パルス・コンポーネント・ハンドラ—この種のハンドラを使用する場合、合格または不合格条件が発生すれば、ソースメータは4本のハンドララインのうちの1本にパルスを送ります。そうするとハンドラは、パルスを受けたラインに割り当てられた区分容器にDUTを納めます。この種のハンドラとのインタフェースを形成する場合には、最大4個のコンポーネントハンドラ区分容器がサポートされます。

ハンドラがlowレベルのパルスを要求する場合には、ソースメータの4個のデジタル出力ラインの電圧は、当初はhighレベルに設定する必要があります。出力ライン上の、このような初期HI、HI、HI、HIクリアパターンは、ハンドラに対して「ノーアクション」条件を表します。というのは、ハンドラはこれらのラインの1つの電圧がlowになるのを待っているからです。たとえば、ある特定の試験不合格が起こったときにハンドラのライン#4にパルスに乗せたい場合には、定義される不合格パターンは、HI、HI、HI、LOとなる必要があります。不合格が発生した場合、ライン#4はlowレベルの状態に引き下げられ、DUTはそのパルスを受けたラインに割り当てられた区分容器に納められます。

ハンドラがhighレベルのパルスを要求する場合は、ソースメータの4本のデジタル出力ラインは、当初はlowレベルに設定しなければなりません。LO、LO、LO、LOクリアパターンは、ハンドラに対して「ノーアクション」条件を表します。定義による合格または不合格ビットパターンによってこれらのラインのうち1本がhighレベルに引き上げられると（すなわちLO、LO、LO、HI）、DUTはそのパルスを受けたラインに割り当てられた区分容器に納められます。

カテゴリ・レジスタ・コンポーネント・ハンドラ

カテゴリ・レジスタ・コンポーネント・ハンドラ—この種のハンドラを使用する場合、合格または不合格条件が発生すれば、ソースメータは3本のハンドララインにビットパターンを送ります。このビットパターンは、DUTの区分容器割当を決定します。合格/不合格パターンが出力されると、ライン#4がパルスを受けます。このEOT（試験終了）パルスは、ビットパターンをハンドラのレジスタにラッチします。そうするとハンドラはDUTを割り当てた区分容器に納めます。この種のハンドラとのインタフェースを形成する場合には、最大8個のコンポーネントハンドラ区分容器がサポートされます。

ハンドラがlowレベルのEOTパルスを要求する場合は、デジタル出力のライン#4は、初期にはhighレベルに設定しなければなりません。EOTラインがlowレベルのパルスを受けると、ピンニング動作が起こります。合格/不合格パターンを定義するためにCONFIG LIMITS MENUを使用する場合は、ライン#4はlowレベルに設定しなければなりません。たとえば、ハンドラが要求する不合格パターンがHI、LO、HIであれば、試験の不合格パターンをHI、LO、HI、LOとなるように定義しなければなりません。試験に不合格になればHI、LO、HIビットパターンがハンドラに送られます。ライン#4がlowレベルになると、ビットパターンはハンドラのレジスタにラッチされ、ピンニング動作が起こります。

逆に、ハンドラがhighレベルのEOTパルスを要求する場合は、デジタル出力のEOTラインは、初期にはlowレベル（オフ）に設定しなければなりません。EOTラインがパルスを受けてhighレベルになれば、ピンニング動作が起こります。

注記 各種の合格不合格条件についてのビットパターンは、CONFIG LIMITS MENUを使って設定されます（「リミット試験設定」参照）。

リミット試験の設定と実行

リミット試験の設定

CONFIG LIMITS MENU をディスプレイするには、まず CONFIG を押し、続いて LIMITS を押してください。リミット設定メニューの体系は次のとおりです。太い黒丸印はリミットメニューの重要項目を示し、矢印はそれぞれのメニュー項目に含まれるオプションを指すことに注目してください。「メニューをナビゲートする場合のルール」を使って、リミット試験を設定してください。

- ・ DIGOUT – このメニュー項目を使って、下記のデジタル I/O 特性を制御してください。
 - SIZE – これを使って 3-BIT または 4-BIT デジタル I/O ビットサイズを選択してください。3-BIT モードでは、デジタル I/O ライン 4 は、選択された END OF TEST モードの状態によって、EOT、/EOT、BUSY、または /BUSY 信号となります。4-BIT モードでは、デジタル I/O ライン 4 は、END OF TEST モードが EOT に設定されていれば、手動で制御できます。
 - MODE – これを使って GRADING または SORTING モードを選択してください。GRADING モードでは、ある読み取り値が合格する条件は、この読み取り値が、使用可能になっている HI/LO リミット許容値すべての範囲にあることです。ただしこの読み取り値がまずコンタクトチェック (コンタクトチェックオプションのみ) とコンプライアンス試験に合格していることが前提です。デジタル I/O が駆動される時には、最初のコンタクトチェック、コンプライアンス、HI または LO での不合格時の最初のパターンが伴います。これ以外の場合には、合格パターンが出力されます。GRADING モードでは、区分容器制御モードの選択も行うことになります。IMMEDIATE を選択した場合は、試験プロセスは最初の不合格のあとに停止し、不合格パターンをデジタル出力にのせます。リミット試験のいずれにも不合格にならない場合は、合格パターンが出力にのせられ、試験プロセスは停止します。END を選択した場合は、不合格の発生回数に関係なく、試験プロセスは、プログラムされたスイープが完了するまで継続します。そのため、多素子デバイス (すなわち抵抗ネットワーク) を試験することができます。試験終了後、最初の不合格のビットパターンが出力にのせられます。すべての試験に合格する場合は、合格パターンが出力にのせられます。SORTING モードでは、ある読み取り値が不合格になる条件は、それがオプションのコンタクトチェック試験、コンプライアンス試験に不合格となるか、デジタル I/O バンドのどの範囲内にもないことです。試験に合格し、リミット 1 または 4 (オプションのコンタクト試験) だけが使用可能である場合には、関連する合格パターンが出力されます。これ以外の場合には、合格となる最初のリミット試験帯域は、その下限パターンを出力します (上限パターンは無視されます)。リミット 1 または 4 に不合格となった場合には、それぞれの不合格パターンが出力されます。リミット 2、3、または 5-12 に合格しない場合には、その不合格パターンが出力されます。SORTING を選択した場合は、デジタル I/O ビットパターンを設定することもできます (0 から 7 は 3 ビット、0 から 15 は 4 ビット)。
 - AUTO CLEAR – このメニュー項目を使い、デジタル出力のオートクリアを ENABLE または DISABLE してください。オートクリアを使用可能にしたあと、合格/不合格パターンのパルス幅を設定するように促されます (デイレイは 0 から 60.00000 秒)。続いてデジタル出力クリアパターン (0 から 7 は 3 ビット、0 から 15 は 4 ビット) を設定するように促されます。
- ・ H/W LIMITS – このメニュー項目を使用し、リミット 1 (コンプライアンス) 試験の場合の不合格モードを制御、設定してください。
 - CONTROL – これを使って試験を ENABLE または DISABLE してください。
 - FAIL MODE – これを使ってリミット 1 試験の場合の不合格モードを設定してください。IN を選択した場合は、ソース・メータがコンプライアンス状態にあるときには、試験には不合格となります。OUT を選択すると、コンプライアンス状態になれば、試験に不合格となります。また、これを使い、リミット #1 の IN または OUT 試験不合格の場合の、デジタル出力ビットパターンを指定してください (0 から 7 は 3 ビット、0 から 15 は 4 ビット)。

注記 コンタクトオプションをインストールした場合は、*H/W LIMITS* を選択すると、コンタクトチェック試験についてのオプションも設定されます。コンタクトチェックの詳細は、付録Fを参照してください。

- ・ *S/W LIMITS* —このメニュー項目を使用し、LIM2、LIM3、およびLIM5からLIM12までの試験のリミットを制御、設定し、かつこれらの試験の出力ビットパターンを定義してください。
 - *CONTROL* —これを使い、試験をENABLEまたはDISABLEしてください。
 - *LOLIM* —これを使い、ロウリミットを設定し、グレーディングモードの場合は「不合格」ビットパターンを指定してください(0から7は3ビット、0から15は4ビット)。
 - *HILIM* —これを使い、ハイリミットを設定し、グレーディングモードの場合は「不合格」ビットパターンを指定してください(0から7は3ビット、0から15は4ビット)。
 - *PASS* —これを使い、ソーティングモード・ソフトウェアリミット試験の場合の「合格」ビットパターンを指定してください。
- ・ *PASS* —このメニュー項目を使い、*PASS* 条件に対するアクションを規定してください。
 - *DIGIO PATTERN* —このオプション項目を使い、デジタル出力ビットパターン(0から7は3ビット、0から15は4ビット)を定義してください。グレーディングモードの場合は、このパターンが「すべての試験に合格」条件の合格パターンです。ソーティングモードの場合は、リミット1(コンプライアンス)以外のすべてのソフトウェアリミット試験が使用禁止のときは(0から7は3ビット、0から15は4ビット)、このパターンがリミット1に対する合格パターンです。
 - *SRC MEM LOC* —このオプションをソースメモリスイープと併用し、*PASS* 条件が発生した場合の、スイープの中の次の記憶位置点を選択してください。メモリ *LOCATION#* (1から100)を指定することにより、スイープの中の別の点に分岐することができます。
- ・ *EOT MODE* —このメニュー項目を使用し、EOT(試験終了)またはBUSY信号として働くように、デジタルI/Oライン4の動作を制御してください。
 - *EOT* —3ビットモードでは、試験終了時にデジタルI/Oライン4上にHIパルスを自動的に出力します。4ビットモードでは、EOTは自動的に制御されません。
 - */EOT* —3ビットモードでは、試験終了時にデジタルI/Oライン4上にLOパルスを自動的に出力します。4ビットモードでは、EOTは自動的に制御されません。
 - *BUSY* —ユニットが使用状態にある間に、デジタルI/Oライン4HIを設定してください。BUSYを選択する場合は、ユニットはあたかも3ビットモードに置かれたような挙動を示します。
 - */BUSY* —ユニットが使用状態にある間に、デジタルI/Oライン4LOを設定してください。BUSYを選択する場合は、ユニットはあたかも3ビットモードに置かれたような挙動を示します。

リミット試験の実行

下記の手順に従ってリミット試験を実行してください。

1. 試験システムを設定してください。
これまでに説明したように、試験システムは、DUTをソースメータに接続するだけという簡単なものにすることも（「接続」参照）、ピンニング動作のハンドラの使用を導入することもできます。試験システムにスキャナを追加すれば、多素子デバイス（抵抗体ネットワークなど）を試験することができます。デジタルI/Oがご使用のハンドラに適した設定となっているか、確認してください。
2. ソース-メジャー設定を設定してください。
「基本ソース-メジャー手順」の1から3を実行することにより、ソースメータを所要のソース-メジャー動作ができるように設定してください。
3. リミット試験を設定してください。
「リミット試験の設定」で説明した方法でリミット試験を選択、設定してください。
4. 出力をオン状態にしてください。
ON/OFFキーを押し、出力をオン状態にしてください（赤色のOUTPUT表示灯が点灯します）。
5. 試験プロセスを開始してください。
リミット試験を使用可能にするには、LIMITS キーを押してください。デジタルI/Oの/SOTラインをハンドラが使っている場合は、ハンドラがlowレベルパルスを送るまでは、試験プロセスは開始されません。

注記 "PASS" または "FAIL" メッセージは、それぞれの試験サイクルのステータスを表示しますが、次のような例外があります。

- ・ NORMAL、HIGH IMPEDANCE、または GUARD 出力オフ状態にあるときには、"OFF" メッセージがディスプレイされます。合格条件、不合格条件は、"P OFF"、"F OFF" としてディスプレイされます。ZERO 出力オフ状態にあるときは、"ZER" メッセージがディスプレイされます。合格条件、不合格条件は、"P ZER"、"F ZER" としてディスプレイされます。
- ・ ソースが OVP (過電圧保護) リミットに達すると、"OVP" メッセージがディスプレイされます。合格条件、不合格条件は、"P OVP"、"F OVP" としてディスプレイされます。

6. 試験プロセスを終了してください。

試験プロセスは、LIMITSをもう一度押せば、いつでも終結させることができます。ハンドラを使用している場合は、最後のDUTの試験が終わったあと、試験プロセスは終了します。

リモートリミット試験

リミットコマンド

表 12-2 はリミット試験を制御するリモートコマンドのまとめです。これらのコマンドの詳細は、第 18 部を参照してください。

表 12-1

リミットコマンド

コマンド	内容
:CALCulate2:FEED <name>	リミット試験入力パスを選択してください (name =、または RESistance)。
:CALCulate2:DATA?	リミット試験データを取得してください。
:CALCulate2:LIMit:COMPLiance:FAIL <name>	リミット 1 不合格条件を設定してください。 Name = IN (コンプライアンス状態に入って不合格) または OUT (コンプライアンス状態から出て不合格)
:CALCulate2:LIMitX:LOWer <n>	下限 X を指定してください。 X=2、3、5-12 (n = リミット)
:CALCulate2:LIMitX:UPPer <n>	上限 X を指定してください。 X=2、3、5-12 (n = リミット)
:CALCulate2:LIMit[1]:COMPLiance:SOURce2 <Nrf> ! <NDN>	リミット 1 不合格ビットパターンを指定してください (NRfNDN= パターン)。
:CALCulate2:LIMitX:LOWer:SOURce2 <Nrf> ! <NDN>	グレーディングモードの下限 X 不合格ビットパターンを指定してください。 X=2、3、5-12 (NRfNDN= ビットパターン)
:CALCulate2:LIMitX:UPPer:SOURce2 <Nrf> ! <NDN>	グレーディングモードの上限 X 不合格ビットパターンを指定してください。 X=2、3、5-12 (NRfNDN= ビットパターン)
:CALCulate2:LIMitX:PASS:SOURce2 <Nrf> ! <NDN>	ソーティングモードの合格パターンを指定してください (NRfNDN= ビットパターン)。
:CALCulate2:LIMit[1]:STATe <state>	リミット 1 試験を有効/無効にしてください (state = ON または OFF)。
:CALCulate2:LIMitX:STATe <state>	リミット X 試験を有効/無効にしてください (state = ON または OFF)。
:CALCulate2:LIMit[1]:FAIL	リミット 1 試験結果を照会してください (0 = 合格、1 = 不合格)。
:CALCulate2:LIMitX:FAIL?	リミット X 試験結果を照会してください。 X=2、3、5-12 (0 = 合格、1 = 不合格)
:CALCulate2:CLIMits:PASS:SOURce2 <Nrf> ! <NDN>	合格ビットパターンを指定してください (NRfNDN= パターン)。 リミット 2、3、5-12 が無効であればソーティングモードの場合のみ。
:CALCulate2:CLIMits:FAIL:SOURce2 <Nrf> ! <NDN>	ソーティングモードの不合格ビットパターンを指定してください (NRfNDN= パターン)。
:CALCulate2:CLIMits:PASS:SMLocation <location>	合格ソース記憶位置を指定してください。 位置 = NRf (メモリ #) または NEXT (次の位置)。
:CALCulate2:CLIMits:BCONtrol <name>	制御 I/O ポート合格/不合格アップデート。 Name = IMMEDIATE (不合格時) または END (スイープ終了)。
:CALCulate2:CLIMits:CLEar	試験結果をクリアしてください。 I/O ポートをリセットしてください。
:CALCulate2:CLIMits:CLEar:AUTO <state>	オートクリアを有効/無効にしてください (state = ON または OFF)。

図 12-1 (続き)
リミットコマンド

コマンド	内容
:CALCulate2:CLIMits:MODE <name>	デジタル I/O 制御モードを選択してください (name = GRADing または SORTing)。
:SOURce2:BSOZe <n>	デジタル I/O ポートビットサイズ (n=3 または 4) を設定してください。
:SOURce2:TTL <Nrf> <NDN>	I/O ポートビットパターンを設定してください (NRfINDN=パターン)。
:SOURce2:TTL4:MODE <name>	デジタル I/O ライン 4 のモードを設定してください (name = EOTest または BUSY)。
:SOURce2:TTL4:BState <state>	BUSY と EOT の極性を設定してください (HI または LO)。
:SOURce2:CLEar	デジタル出力ラインをクリアしてください。
:SOURce2:CLEar:AUTO <state>	I/O ポートオートクリアを有効/無効にしてください (state = ON または OFF)。
:SOURce2:CLEar:AUTO:DElay <n>	オートクリアディレイを設定してください (n = デイレイ)。

* LIMitX = 、LIMit5 から LIMit12。LIMit14 (コンタクトチェックオプション) は記載してありません。(第 18 部表 18-1 参照)

リミット試験プログラミングの例

ダイオード破壊電圧試験は、合格不合格解析にそのまま適用できる例です。この試験では、小さい電圧の変化に対してデバイスが大きな電流の変化を示し始める逆方向電圧を確認します。同じ現象が起こる順方向電圧の確認にも、しばしば使われます。試験を実行する場合には、特定の電流レベルに対してソーシングを行い、発生する電圧降下を測定します。この電圧降下を一連のリミット値と比較して、ダイオードが試験に合格するかしないか、または廃棄すべきかどうかを判定します。不合格ダイオードの電圧測定値は、さらに狭められたリミット範囲と比較して、より詳細な解析を進めるために QA (品質保証担当) に回す必要があるかどうかを判定します。

この試験に使われるパラメータは次のとおりです。

- ・ ソース機能: 電流
- ・ センス機能: 電圧
- ・ ソース電流: 100mA
- ・ ソースディレイ: 100ms
- ・ リミット 2 上限値: 0.85V
- ・ リミット 2 下限値: 0.75V
- ・ リミット 3 上限値: 0.82V
- ・ リミット 3 下限値: 0.78V

図 12-8 は、部品を選別する方法を図示します。電圧が 0.78V と 0.82V の間にあるダイオードは良品と見なされ、リミット試験に合格します。試験の結果、わずかに広い電圧レンジを示すダイオードは、解析のために QA 部門に回します。一方最大の電圧幅を持つダイオードは、廃棄処分とします。

図 12-8
ダイオード
合格/不合格リミット

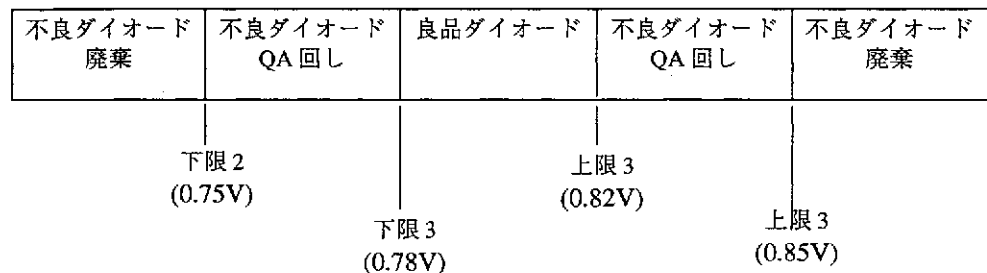


表 12-2 は、上記のダイオードブレークダウンリミット試験を行う場合の、基本的な SCPI コマンドシーケンスをまとめたものです。表 12-3 は合格/不合格パラメータをまとめたものです。第 10 部の図 4 に示す試験接続がこの場合にも利用できることに留意してください。

注記 :CALC2:LIM2:FAIL?および:CALC:LIM3:FAIL?の照会によって戻された値の試験には、追加プログラミングステップが必要です。戻された値が1であれば、このリミット試験に不合格であったことを示します。

表 12-2
リミット試験プログラミングの例

コマンド	内容
*RST	GPIB デフォルト条件を復元してください。
:SENS:FUNC:CONC OFF	同時機能をオフ状態にしてください。
:SOUR:FUNC CURR	電流ソース機能
:SENS:FUNC 'VOLT:DC'	電圧センス機能
:SOUR:CURR:TRIG 0.1	トリガした時の出力 100mA
:SOUR DEL 0.1	ソースディレイ 100ms
:CALC2:FEED VOLT	電圧を使ってリミットを比較してください。
:CALC2:LIM2:UPP 0.85	リミット 2 上限値 = 0.85V
:CALC2:LIM2:LOW 0.75	リミット 2 下限値 = 0.75V
:CALC2:LIM3:UPP 0.82	リミット 3 上限値 = 0.82V
:CALC2:LIM3:LOW 0.78	リミット 3 下限値 = 0.78V
:CALC2:CLIM:PASS:SOUR2 1	試験に合格した場合はデジタル I/O ポート = 001 (1)
:CALC2:LIM2:PASS:SOUR2 2	上限 2 に不合格の場合はデジタル I/O ポート = 001 (2)
:CALC2: LIM2:PASS:SOUR2 2	下限 2 に不合格の場合はデジタル I/O ポート = 001 (2)
:CALC2: LIM3:PASS:SOUR2 3	下限 2 に不合格の場合はデジタル I/O ポート = 001 (3)
:CALC2: LIM3:PASS:SOUR2 3	下限 2 に不合格の場合はデジタル I/O ポート = 001 (3)
:CALC2:CLIM:BCON IMM	試験直後にデジタル I/O ポートをアップデートしてください。
:CALC2:LIM1:STAT 0	リミット 1 試験をオフ状態にしてください。
:CALC2:LIM2:STAT 1	リミット 2 試験をオフ状態にしてください。
:CALC2:LIM3:STAT 1	リミット 3 試験をオフ状態にしてください。
:OUTPUT ON	ソース出力をオン状態にしてください。
:INIT	読み取りとリミット試験をトリガしてください。
:OUTP OFF	出力をオフ状態にしてください。
:CALC2:LIM2:FAIL?	リミット 2 試験結果を照会してください (1 = ダイオードを廃棄してください)。
:CALC2:LIM3:FAIL?	リミット 3 試験結果を照会してください (1 = ダイオードを QA に送ってください)。

表 12-3
リミット試験結果の要約

ダイオード 電圧レンジ	2)試験結果	デジタル I/O ポート 2 進値	ハンドラ区分 容器番号
0.78 ~ 0.82V	合格	0001	1
0.75 ~ 0.78V また 0.82 ~ 0.85V	QA 送り	0010	2
<0.75,> 0.85V	廃棄	0011	3