

第三章作业解析

设有一个具有20位地址和32位字长的存储器，问：

(1) 该存储器能存储【 $2^{20} \times 32 / 8 = 4\text{M}$ 】字节的信息。

(2) 如果存储器由512KX8位SRAM芯片组成，需要
【 $4\text{M} / 512\text{K} = 2^{22} / 2^{19} = 2^{22-19} = 2^3 = 8$ 】片进行扩展，需要【1】

位地址作芯片选择。

CPU执行一段程序时, cache完成存取的次数为2420次, 主存完成存取的次数为80次, 已知cache 存储周期为40ns,主存存储周期为240ns,

则cache/主存系统的命中率为:

$$h=2420/(2420+80) =96.8\%$$

$$e=tc/ta$$

$$e=tc/ta=40/46.4=86.2$$

平均访问时间为:

$$ta=htc+(1-h)tm=0.968\times 40+0.032\times 240=46.4ns$$

已知cache存储周期40ns,主存存储周期200ns, cache/主存系统平均访问时间为50ns,求cache 的命中率是 [填空1]

$$t_a = h t_c + (1-h) t_m$$

$$h = (t_m - t_a) / (t_m - t_c)$$

$$= 150 / 160 = 0.9375 = 93.75\%$$

一个组相联cache由64个行组成，每组4行。主存储器包含4K个块，
每块128字。则内存地址格式如下图所示，则：

地址共【19】位； $4k \times 128 = 2^{19}$

其中组号（区号）【8】位；

cache组数 $= 64 / 4 = 16$ 组

主存组数 $= 4k / 16 = 256$ 组 $= 2^8$

组内块号（区内块号）【4】位；

主存16块/组

字号（块内地址）【7】位；

每块128字 $= 2^7$



下列元件中存取速度最快的是：B

A. CACHE

B. 寄存器

C. 内存

D. 硬盘

在存储系统中，构建虚拟存储器的目的是：B

A. 提高主存速度

B. 扩充存储系统的容量

C. 解决CPU和主存之间的速度匹配问题

D. 方便用户编程

在存储系统中，构建CACHE-主存层次的目的是：C

- A. 提高主存速度
- B. 扩充存储系统的容量
- C. 解决CPU和主存之间的速度匹配问题
- D. 方便用户编程

要求用128K×16位的SRAM芯片设计512K ×16位的存储器，则：

- 1、存储器的数据寄存器有 [填空1] 位； 16
- 2、存储器的地址寄存器有 [填空2] 位； 19
- 3、需要 [填空3] $512/128=4$ 片SRAM芯片进行扩展，其中位扩展需要 [填空4]片 1，字扩展需要 [填空5]4 片；
- 4、若RAM的地址从60000开始，则末地址为 [填空6] 0DFFFFH；
 $512K=2^{19}$

从60000H开始

0110 0000 0000 0000 0000

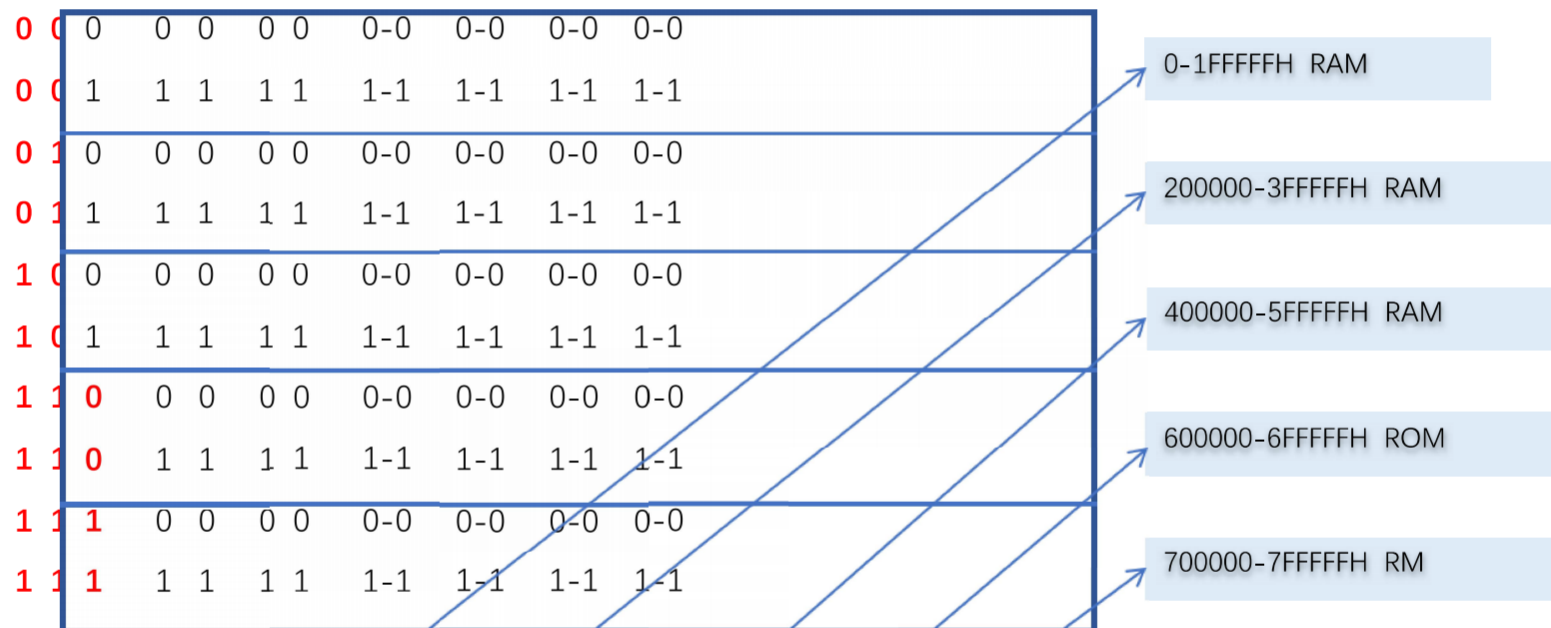
1101 1111 1111 1111 1111

设存储系统容量共8MB，其中含2MB的ROM，其余为RAM区，现用1M*8的ROM芯片和2M*8的RAM芯片来设计，若地址空间连续，ROM区占高地址区，画出该存储器构成框图？（要求有计算、分析过程）

ROM: $2\text{MB} = 2\text{M} \times 8$ ，需要 $2\text{M} \times 8 / 1\text{M} \times 8 = 2$ 片，字扩展

RAM: $6\text{MB} = 6\text{M} \times 8$ ，需要 $6\text{M} \times 8 / 2\text{M} \times 8 = 3$ 片，字扩展

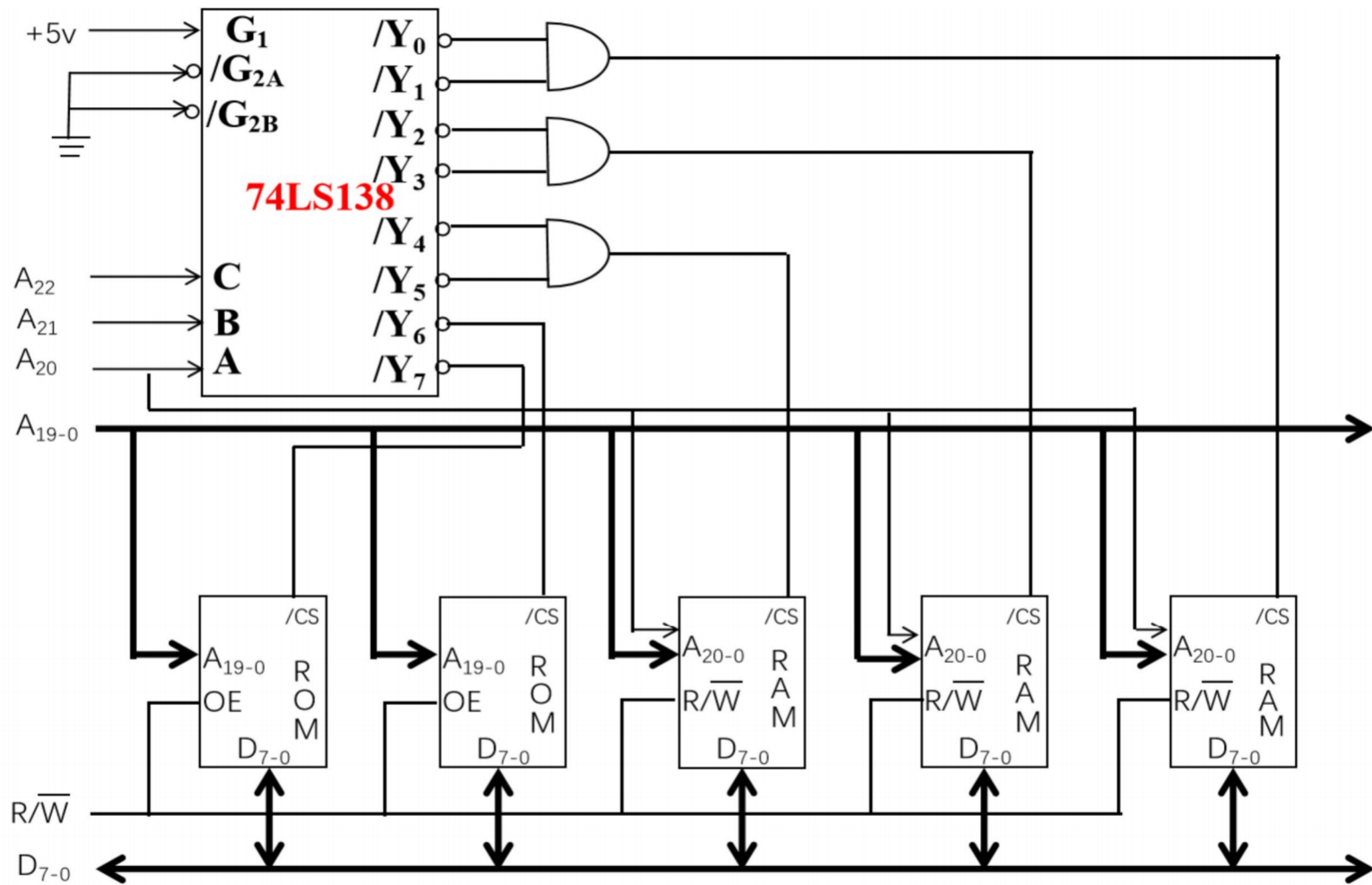
地址范围: $A_{22}A_{21}A_{20} \quad A_{19}A_{18} \quad A_{17}A_{16} \quad A_{15-12} \quad A_{11-8} \quad A_{7-4} \quad A_{3-0}$



（注：芯片译码部分方案不唯一，下面只是其中一种）

使用3-8译码器， $/Y_0$ - $/Y_1$ $/Y_2$ - $/Y_3$ $/Y_4$ - $/Y_5$ $/Y_6$ $/Y_7$

结构框图如下页所示：



假定某计算机的CACHE采用直接映射方式，和主存交换的数据块大小为4个字，按字编址，一次能存放16个字的数据。CACHE初始为空，假设CPU访问内存的地址序列为：2, 3, 11, 16, 21, 13, 64, 48, 19, 11, 3, 22, 4, 27, 6, 11。计算该地址序列的命中率为：[\[填空1\]](#)

M	字号	2	3	11	16	21	13	64	48	19	11	3	22	4	27	6	11
	块号	0	0	2	4	5	3	16	12	4	2	0	5	1	6	1	2
C A C H E 块号	0	0	0	0	4	4	4	16	12	4	4	0	0	0	0	0	0
	1					5	5	5	5	5	5	5	5	1	1	1	1
	2			2	2	2	2	2	2	2	2	2	2	2	6	6	2
	3						3	3	3	3	3	3	3	3	3	3	3
		X	V	X	X	X	X	X	X	X	V	X	V	X	X	V	X

某机的CACHE共有32块，每块大小为512B，与主存之间采用4路组相联映射，各存储器均按字节编址。

问：①Cache容量大小为多少？

②写出访问CACHE的地址格式？

③访问十进制主存地址为3580的主存单元时，则应在CACHE的哪一组中查找？

解：

①Cache容量=32*512B=214=16KB

②Cache的地址格式如下

组号（3位）	行号（2位）	字节号（9位）
--------	--------	---------

③ $3580/512=6\ldots\ldots 508$,属于第6块

映射的Cache组号=主存块号MOD CACHE组数= $6 \text{ MOD } 8 = 6$

则应在cache的第六组中查找。

某存储层次结构如下：一个高速缓存2KB，存取时间为50ns；主存储器1MB，存取时间为400ns；每个字块4个字，每个字有32位，采用四路组相联映射，命中率为 $h=0.95$ ；

①设置高速缓存基于什么原理？程序访问的局部性原理（空间、时间局部）

②计算平均存取时间？ $t_a=0.95*50+0.05*400=67.5\text{ns}$

③主存和高速缓存地址各多少位？主存20位，cache11位

④写出具体地址格式和各字段的划分？

主存：11,5,2,2

cache：5,2,2,2

⑤假设在主存第1K字开始连续存放长度为100的字数组，若循环访问10次，命中率为多少？

97.5%

主存的第1k字在主存的块号是256，长度为100的字数组在主存中的块号为256-280（假设连续存放），对应到cache的组号为0-24
第一次访问时有25次不命中，其它命中，后续循环访问均命中