

## 一、单项选择题（每题 1 分，共 10 分）

- 1、假设计算机 A 的时钟周期为 250ps，对某程序的 CPI 为 2.0；计算机 B 的时钟周期为 500ps，执行同样的程序，A 机速度是 B 机的 1.2 倍，则 B 机的 CPI 是 【A】  
A. 1.2              B. 2.0              C. 2.4              D. 1.0
- 2、设有一个具有 20 位地址和 32 位字长的存储器，则该存储器以字节为单位的存储容量是多少？ 【C】  
A. 1MB              B. 2MB              C. 4MB              D. 32MB
- 3、对奇偶校验（假设校验位在前面），正确的说法是 【A】  
A. 数据为 10100101，则校验码为 1 10100101  
B. 数据为 10100101，则校验码为 11 10100101  
C. 如果采用奇校验，接收到 110100101，则可判断为出错  
D. 添加 2 位校验位就可以检测出 2 位出错的情况
- 4、下列说法中，错误的是 【B】  
A. CACHE-主存层次的目的是提高 CPU 访存的效率  
B. CACHE-主存层次基于程序中指令执行的局部性现象  
C. CACHE-主存层次中 CACHE 容量小、速度快  
D. CACHE-主存层次写命中时会出现数据不一致问题
- 5、在总线技术标准中，用于定义总线几何尺寸、形状、引脚、排列等规范的是 【D】  
A. 时间特性              B. 电气特性  
C. 功能特性              D. 物理特性
- 6、下列 8 位机器数 0 的表示法中正确的是 【B】  
A. [0]原码= 10000000              B. [0]补码= 00000000  
C. [0]移码= 11111111              D. [0]反码= 00000000
- 7、SMP 是多处理机的常见形式，是弗林分类中的哪种结构 【D】  
A. SISD              B. SIMD              C. MISD              D. MIMD
- 8、指令寄存器 IR 存放当前正在执行的指令，下列说法正确的是 【C】  
A. 长度和 PC 相同              B. 通过指令译码器对 IR 中的内容进行译码  
C. 是 CPU 内部的专用寄存器              D. 能够自动更新为下一条指令
- 9、CPU 取出一条指令并执行所用的时间被称为 【D】  
A. 时钟周期              B. CPU 周期              C. 机器周期              D. 指令周期
- 10、下列关于组合逻辑与微程序控制，错误的是 【C】  
A. 组合逻辑控制器是依靠硬件电路方式来产生 CPU 中的各种控制信号  
B. 微程序控制器是把预存储在控制存储器中的微指令代码翻译成 CPU 中的各种控制信号  
C. 组合逻辑控制器比微程序控制器的内部设计更加规整，也更容易扩展对新指令的支持

D. 从产生控制信号的速度方面比较, 组合逻辑控制器要快于微程序控制器

## 二、判断题(每题 1 分, 共 10 分, 本题只需指出正确与错误, 不需要修改)

- 11、流水 CPU 是以时间并行性为原理构造的处理器。 (A)
- 12、在 8 位机器数的表示法中, 10000001 的真值一定是负数。 (B)
- 13、在微处理器中, 运算器和控制器已经集成在一块半导体芯片中。 (A)
- 14、RISC 的特点是指令架构简单、指令数相对较少, 寻址方式也较少。 (A)
- 15、0 地址指令, 就是指令中没有直接出现地址信息, 通常隐含指定地址。 (A)
- 16、内存的访问速度比访问虚拟存储器快, 可以永久性存放用户的程序和数据。 (B)
- 17、在 CPU 执行指令的过程中, 指令的地址由程序计数器给出。 (A)
- 18、ROM 存储器可以读数据, 但任何条件下都不能对 ROM 写入数据。 (B)
- 19、CACHE、内存、硬盘三者中存取速度最快的是 CACHE。 (A)
- 20、程序直接控制传送方式适用于主机和外设之间的大批量高速数据传送场合。 (B)

## 三、填空题(每空 1 分, 共 10 分)

- 21、SMP 是多处理机的常见形式, 按照弗林对计算机体系结构的分类方法, 属于 MIMD 结构。
- 22、已知 cache 存储周期 40ns, 主存存储周期 200ns, cache/主存系统平均访问时间为 50ns, 则 cache 的命中率是 93.75%。
- 23、某十六进制浮点数 A3D00000, 如果其对应的是补码, 字长 32 位, 最高 8 位是阶码 (含 1 位阶符), 尾数是最低 24 位 (含 1 位数符), 该浮点数十进制的真值是  $-0.375 \times 2^{-93}$ 。
- 24、I/O 接口是指 CPU、主存和外围设备之间通过 总线 进行连接的逻辑部件。考虑并行接口和串行接口的特征, 接口距离主机距离较近时, 适合使用 并行接口, 如果外围设备是串行处理数据的设备, 此时适合采用 串行接口。
- 25、总线 是构成计算机系统的互联机构, 是多个系统功能部件之间进行数据传送的 公共通道, 并在 争用资源 的基础上进行工作。

## 四、计算题(每题 6 分, 共 30 分。)

- 26、已知  $x = +11011$ ,  $y = -10011$ , 假设机器数长度为 8 位, 用定点整数补码表示, 计算  $2 \times (x - y)$

27、已知浮点数  $x=2^{-011} \times 0.100101$ ,  $y=2^{-010} \times (-0.011110)$ , 设阶码和尾数均用补码表示, 按浮点运算方法, 完成  $[x-y]$  的运算 (采用就近舍入原则)。

28、已知 CPU 的主频是 1.6GHz, 某类指令 T1 的 CPI=4, T2 的 CPI=8, 如果一段程序只 T1 指令 (占 60%) 和 T2 (占 40%) 两类指令, 则该 CPU 的时钟周期是多少? 指令的执行速度约为多少 MIPS?

29、某机的 CACHE 共有 32 块, 每块大小为 512B, 与主存之间采用 4 路组相联映射, 各存储器均按字节编址。问: ①Cache 容量大小为多少? ②写出访问 CACHE 的地址格式?

③访问十进制主存地址为 3580 的主存单元时, 则应在 CACHE 的哪一组中查找?

①Cache 容量 =  $32 \times 512\text{B} = 214 = 16\text{KB}$

②Cache

组号 (3 位)	行号 (2 位)	字节号 (9 位)
----------	----------	-----------

③  $3580/512 = 6 \dots 508$ , 属于第 6 块

映射的 Cache 组号 = 主存块号 MOD CACHE 组数 =  $6 \text{ MOD } 8 = 6$   
则应在 cache 的第六组中查找。

30、现有四级指令流水线, 分别完成取指、取数、运算、传送结果四步操作。若完成上述操作的时间依次为 9ns, 10ns, 6ns, 8ns。则流水线的操作周期应设计为多少? 如果按照单流水方式执行, 执行完 100 条指令需要的时间是多少?

答: ①流水方式周期为 10ns

②流水方式所需时间 =  $10 \times 4 + 99 \times 10 = 1030\text{ns}$

## 五、简述题 (每题 6 分, 共 30 分)

31、什么是 CISC? 什么是 RISC? 从指令格式、指令数量、寻址方式、实现方式等方面说明二者的异同?

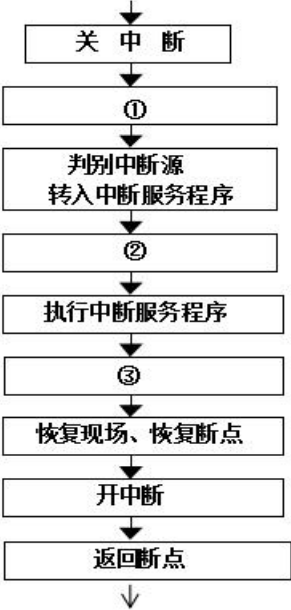
32、假定用若干个 2K×4 位芯片组成一个 8K×8 位的存储器，问：

- ①说明设计方案（也可画图表示）？
- ②地址 0B1FH 所在芯片的最小地址是？

答：①需要  $8K \times 8 / 2K \times 4 = 8$  片，其中两片一组做位扩展，将 4 位扩展为 8 位；这样的组需要 4 组，做字扩展。  
2K 的地址范围为 0~7FFH，则 0B1FH 所在芯片最小地址为 0800H

33、计算机系统主机和外设的数据传送方式有哪几种？

34、已知 CPU 对中断处理的流程如下图所示，请写出①②③处所做的操作？并说明该操作的意义？



答：①保存断点、保护现场，作用是使中断处理程序结束后能够正确返回原程序  
②开中断，开放优先级更高的中断请求  
③关中断，使后续处理不被其它中干扰，能够保证正确

35、一种二地址型指令的结构如图所示，规定使用通用寄存器做目标操作数，寻址模式和位移量均为源操作数的寻址说明，

31-26	25-22	21-19	18-0
操作码 OP	通用寄存器	寻址模式 M	偏移量 D

则：①该指令格式能定义多少种操作？②源操作数可以有多少种寻址方式？③目标操作数可以使用多少个寄存器？④若某加法指令编码如下图所示，描述该指令？

加法指令操作码	0011	变址寻址编码	111111111111110000
---------	------	--------	--------------------

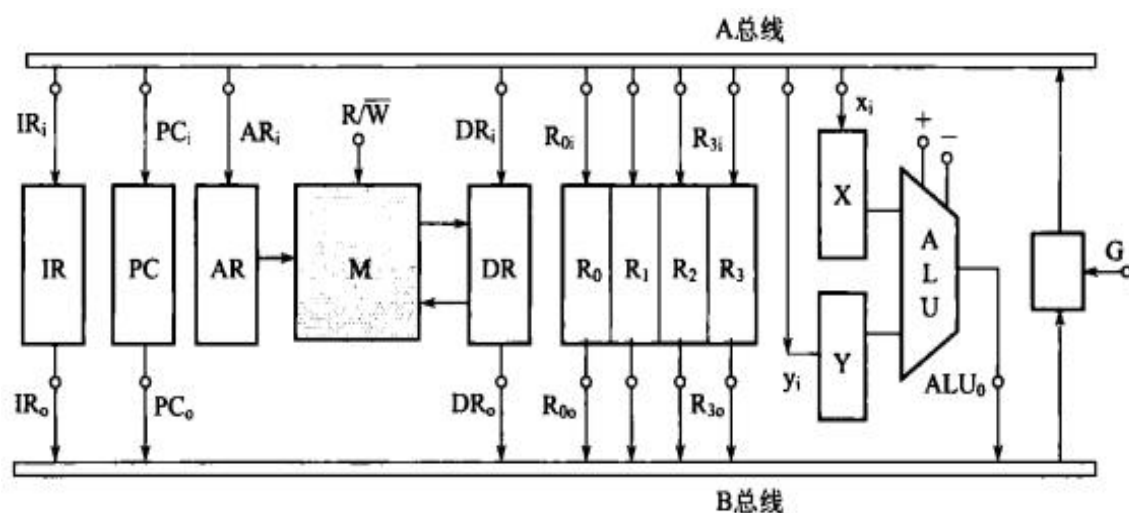
答：①该指令格式能定义 64 种操作②源操作数可以有 8 种寻址方式③目标操作数可以使用 16 个寄存器④该加法指令使用变址寻址方式，将变址寄存器的内容和补码表示的偏移量 111111111111110000 相加，即变址寄存器+（-32）计算出内存单元地址，访问该单元获得操作数和 3 号通用寄存器内容相加的结果存入 3 号通用寄存器中。

## 六、综合题（10 分）

36、数据通路如下图所示，控制信号 G 控制的门电路相当于两根总线之间的桥；小圆圈表示控制信号，下标 i 表示输入控制信号，下标 o 表示输出控制信号；没有标注的线为直通线，不受控制；

①画出取数指令“LAD(R3), R0”的指令周期流程图，其含义是将(R3)为地址的存储单元的内容取至寄存器 R0 中，并标出各微操作控制信号序列。

②假设控制器实现用微程序控制方式，控制微程序转移的条件共 4 个，微指令采用水平型格式，后继微指令地址采用断定方式，则微指令的控制字段和判断测试字段分别应为多少位？



答：①

第一步：取指令，PC→MAR→M，M 做读操作取出指令→MDR，MDR→IR

第二步：计算地址，寄存器编号 R3→MAR→M，M 做读操作，读出信息→MDR

第三步：传送数据，MDR→R0

②控制微程序转移的条件共 4 个，判断测试字段分别应为 4 位  
微指令采用水平型格式，微指令的控制字段应为 22 位（图中所有微命令）