

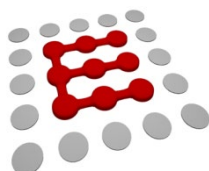


北京理工大学
Beijing Institute of Technology

本科实验报告

实验名称： 逐次逼近式模数转换器的设计

课程名称：	集成电路设计实践（II）	实 验 时 间：	9-12 周星期三下午 6-10 节
任课教师：	张蕾	实 验 地 点：	4-427
实验教师：	张蕾	实 验 类 型：	<input type="checkbox"/> 原理验证 <input checked="" type="checkbox"/> 综合设计 <input type="checkbox"/> 自主创新
学生姓名：	施念		
学号/班级：	1120161302/05011609	组 号：	
学 院：	信息与电子学院	同 组 搭 档：	
专 业：	电子信息工程	成 绩：	



信息与电子学院

SCHOOL OF INFORMATION AND ELECTRONICS

目录

逐次逼近式模数转换器的设计	3
一、实验目的	3
1. 熟悉 cadence 软件环境	3
2. 了解模拟集成电路设计的基本流程和方法	3
3. 掌握模拟电路的基本仿真和测试方法	3
4. 理解 SAR ADC 的基本原理和设计方法	3
二、实验原理	3
1. ADC 原理	3
2. 各模块原理	5
三、比较器电路设计及仿真结果	8
1. 比较器的工作原理及电路	8
2. 仿真结果	9
3. 简单分析	9
4. 比较器的封装	10
四、控制逻辑时序设计及仿真结果	10
1. 控制时序的工作原理及电路	10
2. 仿真结果	12
五、整体电路及仿真结果	13
1. DAC 逻辑电路设计与仿真（同时产生 pn 和 nn）	13
2. 整体电路	14
3. 仿真结果	14
4. 创新点	15
六、实验总结和课程心得	15

逐次逼近式模数转换器的设计

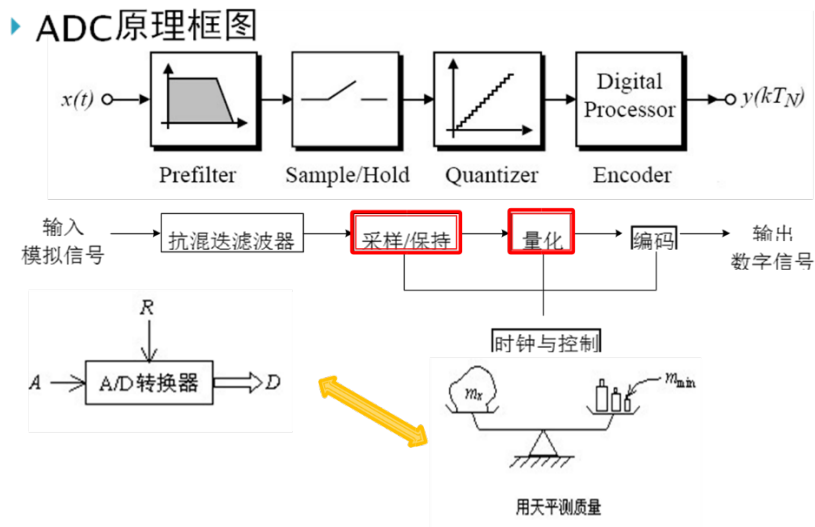
一、实验目的

1. 熟悉 cadence 软件环境
2. 了解模拟集成电路设计的基本流程和方法
3. 掌握模拟电路的基本仿真和测试方法
4. 理解 SAR ADC 的基本原理和设计方法

二、实验原理

1. ADC 原理

ADC (Analog-to-Digital Converter)模数转换器，将模拟信号转换为数字信号电子器件。数字信号易于储存、计算。数字信号处理领域已经发展出许多高效有用的算法。



ADC 的性能主要分为两类：

静态特性：精度（分辨率）、失调误差增益差、微分非线性积。

动态特性：信噪比（SNR）、总谐波失真（THD）、信号与噪声 + 失真比（SNDR）、无杂散动态范围（SFDR）、有效位数（ENOB）

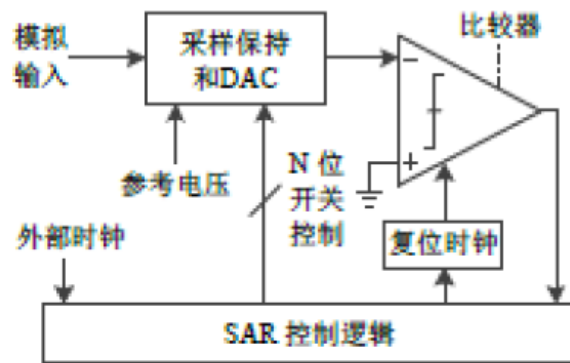
逐次逼近式 ADC 原理:本质是电路通过实现折半查找算法,多次 DA 实现 AD.

优点：

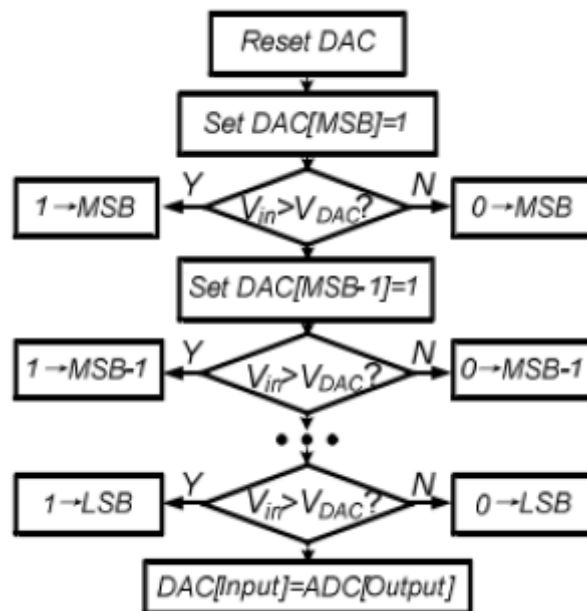
1. 低功耗
2. 中等的精度和转换速，具有较好拓展性.

缺点：

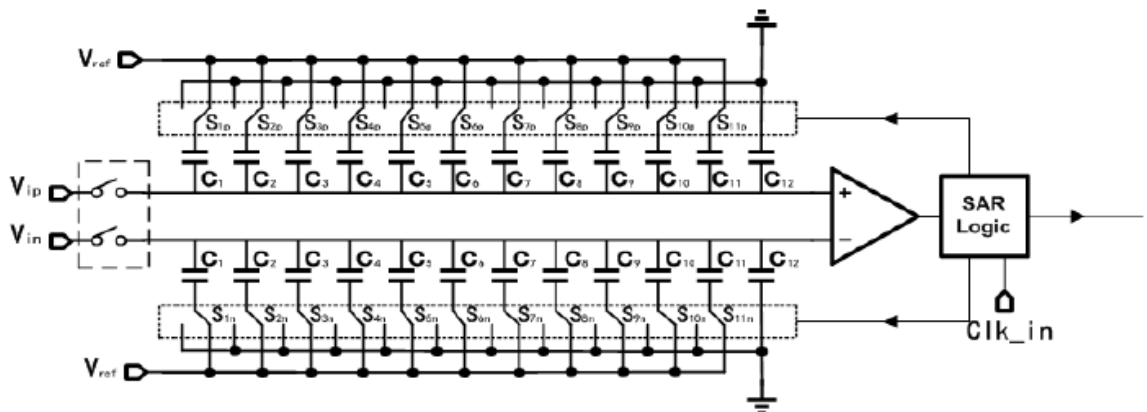
1. 需要电容构造的 DAC,较大的芯片面积
2. 量化 N 位需要 N



一个典型的 SAR ADC 流程图，先将 DAC 最高位置 1，DAC 返回信号 $V_{ref}/2$ 。将该信号与输入信号比较，如果 $V_{in} > V_{DAC}$ ，最高位为“1”，反之为“0”，之后不断重复该过程，直到最低位确定。



对于 N 位的 SAR, 量化一次需要 N 次比较，也就是 N 个外部时钟，如果考虑到采样的时间，量化一次至少 $N+1$ 个外部时钟，再来考虑到奈奎斯特采样定律时钟为信号带宽的 $2(N+1)$ 倍。



一个典型 SAR ADC 结构电路包括：采样保持电路，DAC 电路，比较器，SAR 逻辑控制。

采保电路对输入信号进行样，并在一段时间内持该信号。

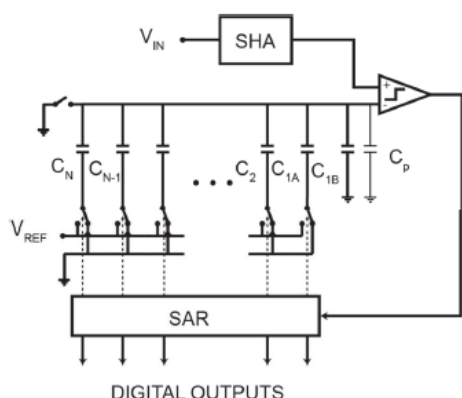
DAC 电路完成已量化编码到模拟信号的转换，将该送入比较器比较。

比较器完成功能，输入模拟信号出一位数字码。

SAR 逻辑产生时序，控制各个部分工作。

2. 各模块原理

a. 数字输出模块：



$$C_{1A} = C_{1B} = C_u$$

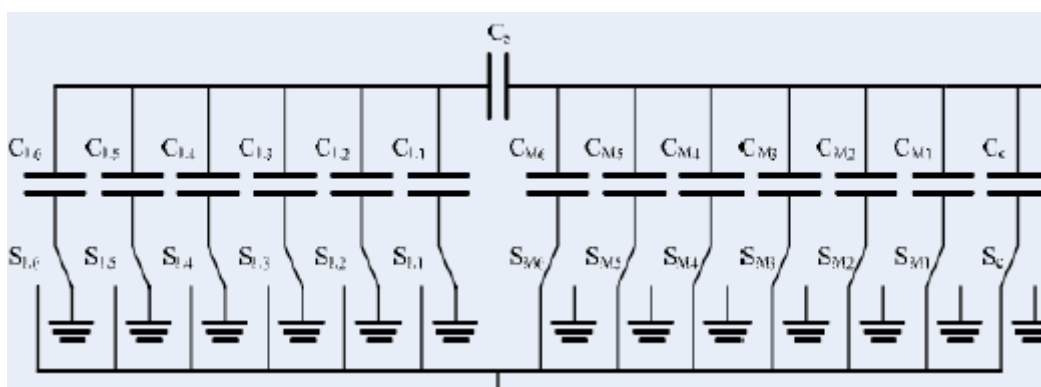
$$C_2 = 2^1 C_u$$

$$C_3 = 2^2 C_u$$

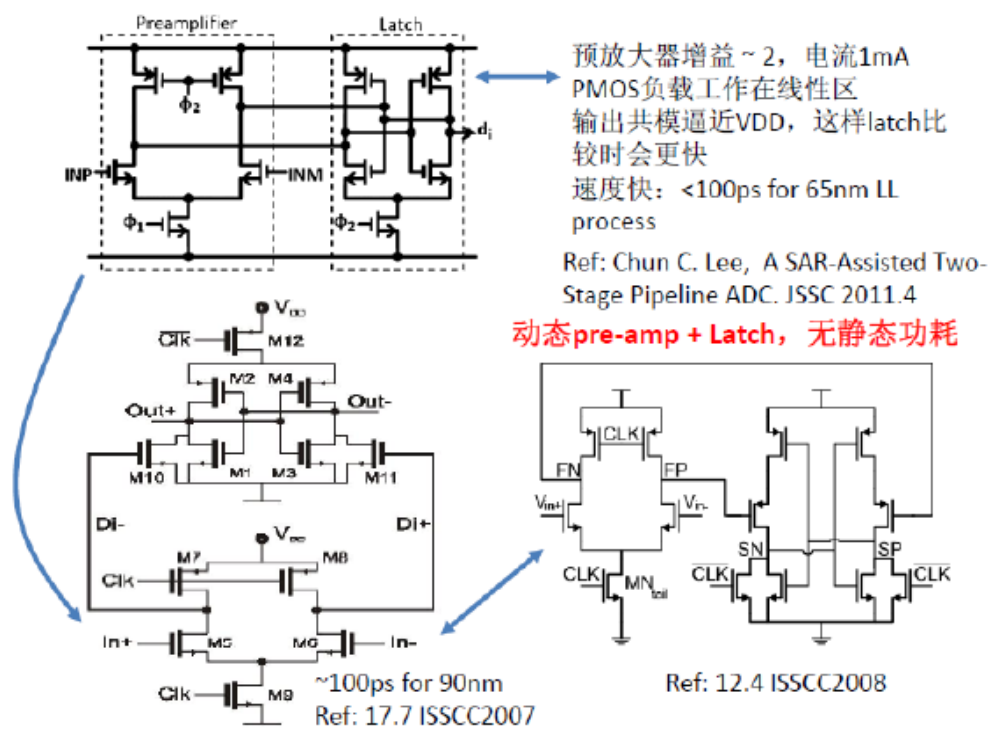
.

$$C_N = 2^{N-1} C_u$$

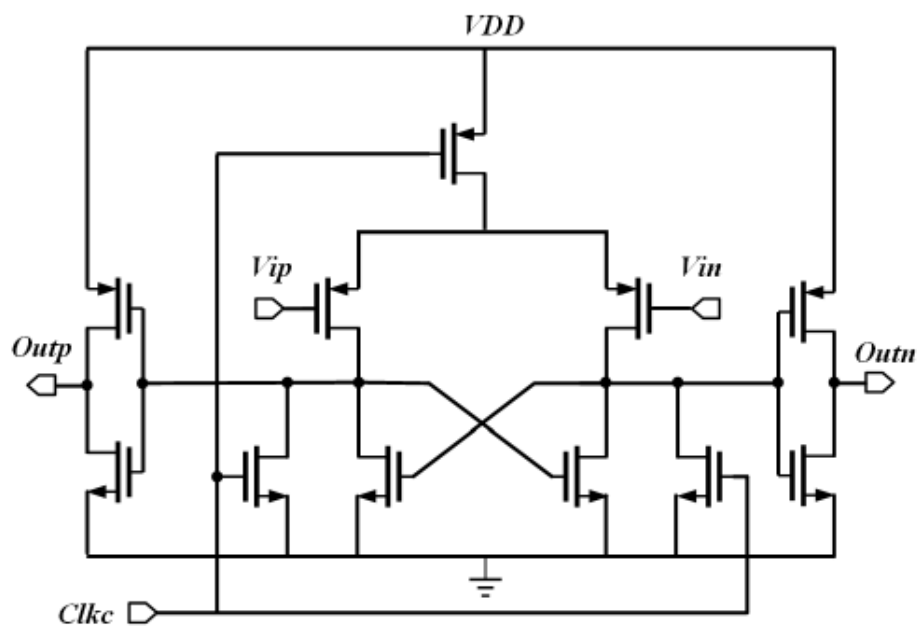
对于 12 位 DAC，如果使用并行二进制加权电容阵列结构，4096 个单位电容，但如果改用了对称的分段电容阵列结构，即高 6 位与低 6 位之间由 1 个单位电容分隔，这种结构只需要 254 个单位电容和 2 个分数电容即可实现 12 位 DAC。但分段结构会引入分段电容，分数电容的不精确极大地影响 DAC 精度。



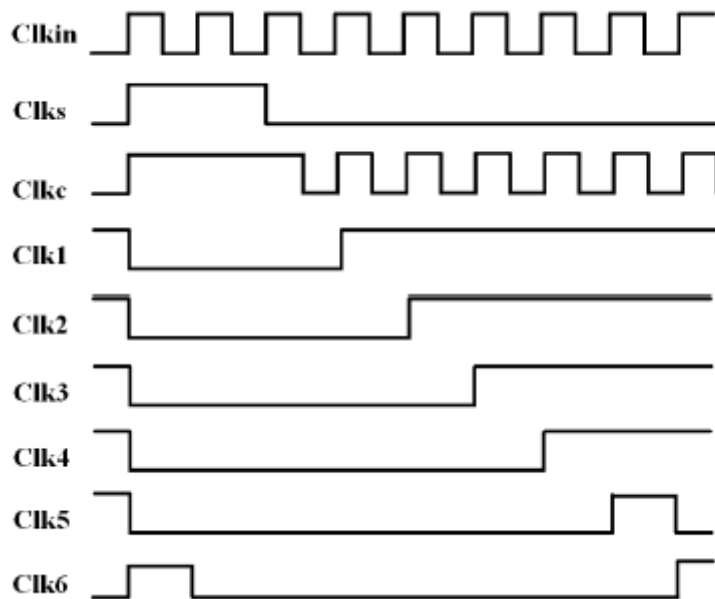
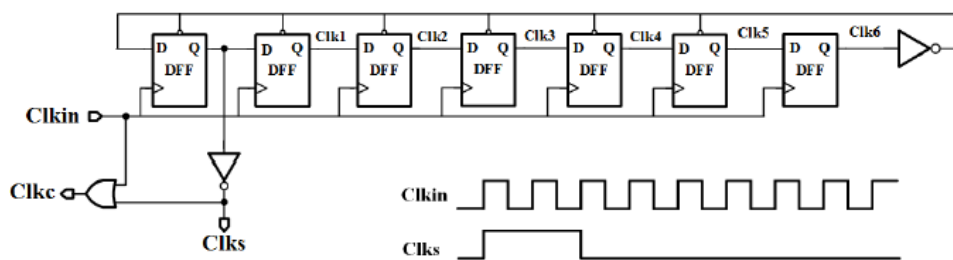
b. 低功耗动态比较器：



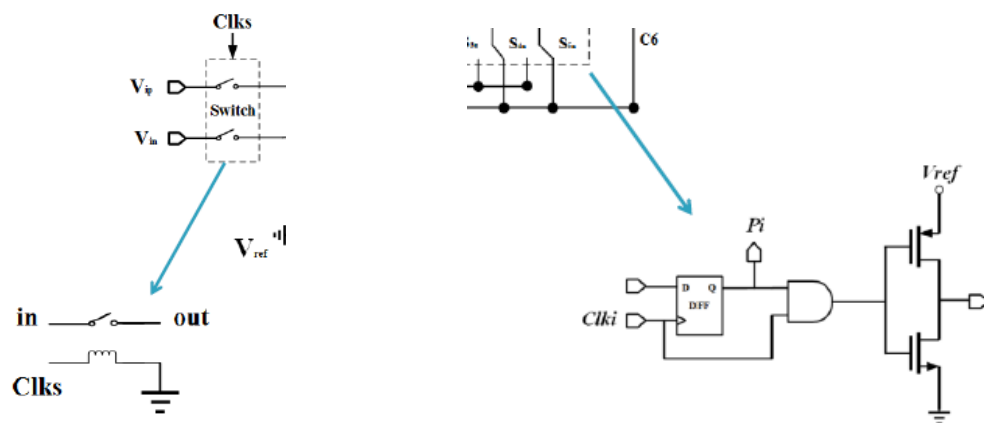
c. 比较电路



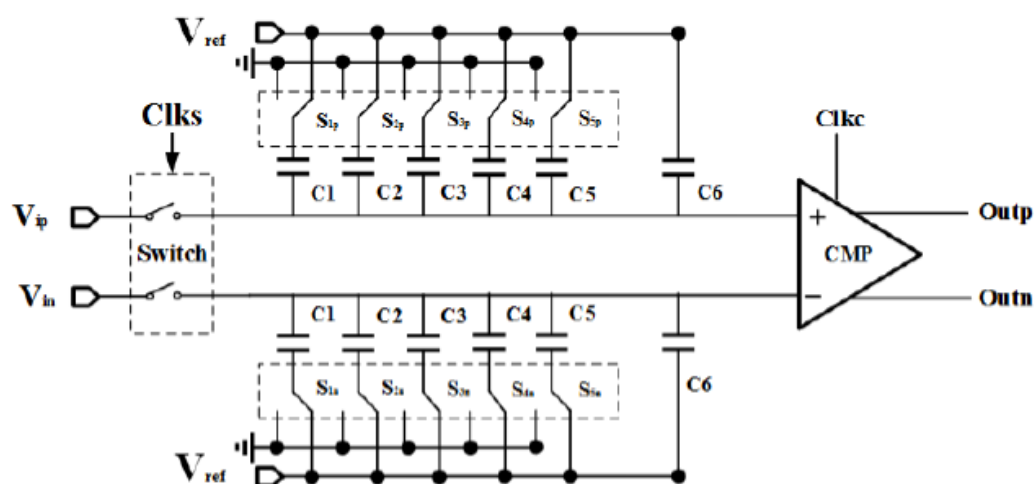
d. 时序控制电路:



e. 开关电路和 DAC 逻辑电路:



f. 整体电路:

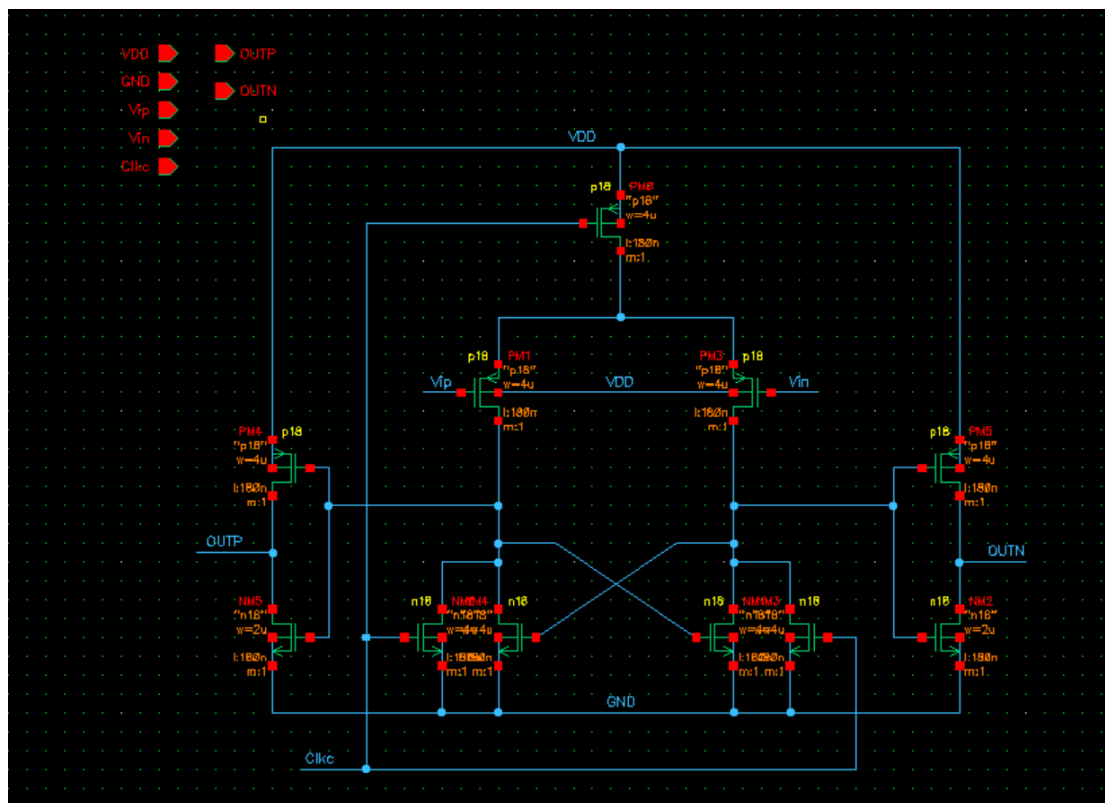


逐次逼近是一种求方程(近似)解的方法。它的步骤是**先取解的一个初始估计值**,然后**通过一系列的步骤逐步缩小估计值的误差**。它一般通过迭代来实现,因此亦称**迭代法**。利用这种方法解方程,不仅可以在理论上证明解的存在,而且还提供了具体的数值解法。仪器进行任何调整几乎都不能一蹴而就,都要依据一定的判据反复多次地调节。逐次逼近法是一种快速有效的调整方法,应用于天平调平衡、电桥调平衡、补偿法测电动势时调整补偿点等。

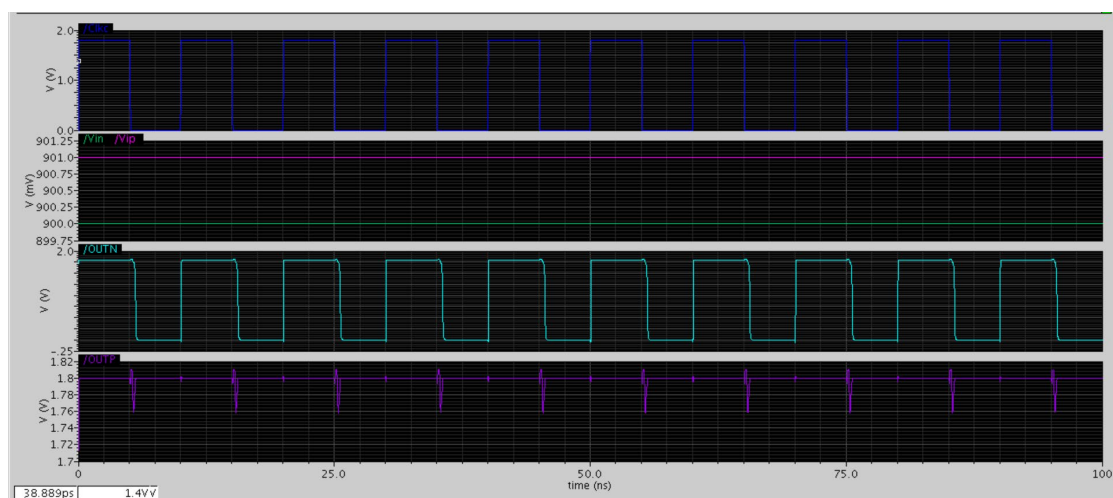
SAR ADC 的主要优点是低功耗、高分辨率、高精度、输出数据不存在响应时间问题,而且具有较小的尺寸。由于这些优势,SARADC 常常与其它更多功能的电路集成在一起。SAR 结构的主要限制是采样速率较低且需要构建模块。

三、比较器电路设计及仿真结果

1. 比较器的工作原理及电路

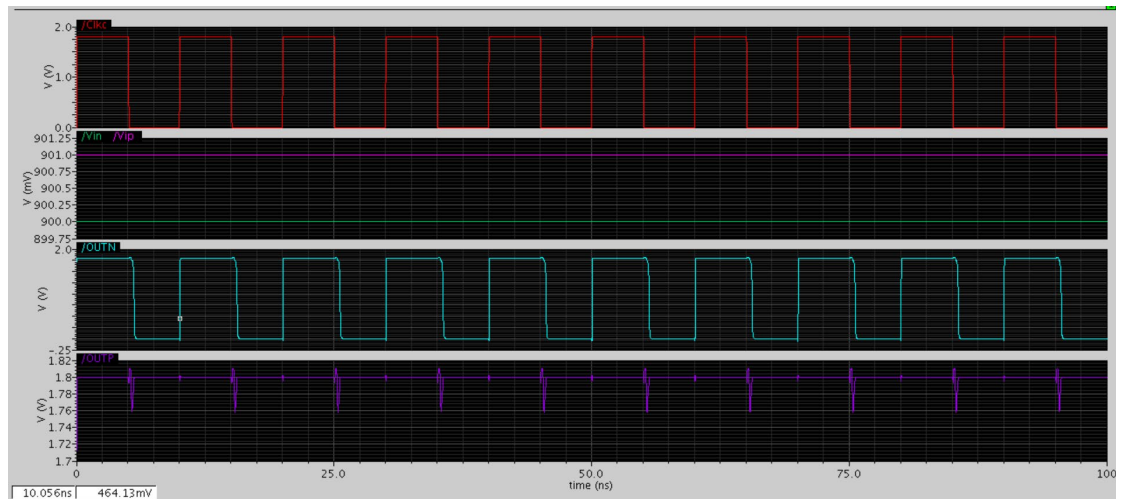


2. 仿真结果

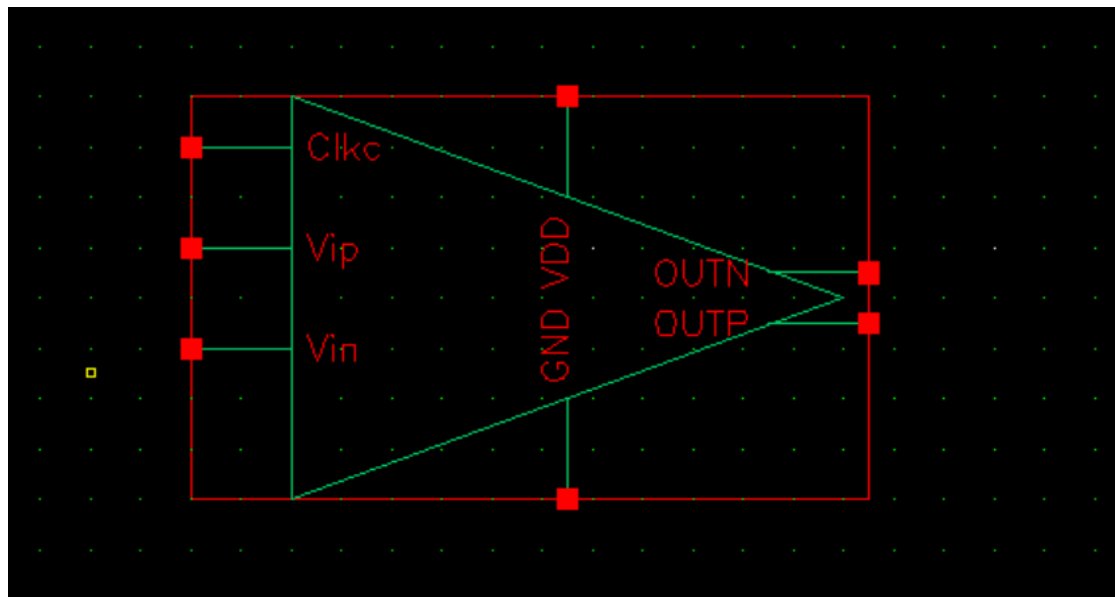


3. 简单分析

当直流电平相差 1mV 时，该比较器可以分辨出。当直流电平相差 0.5mV 时，如下图，也可以分辨出。



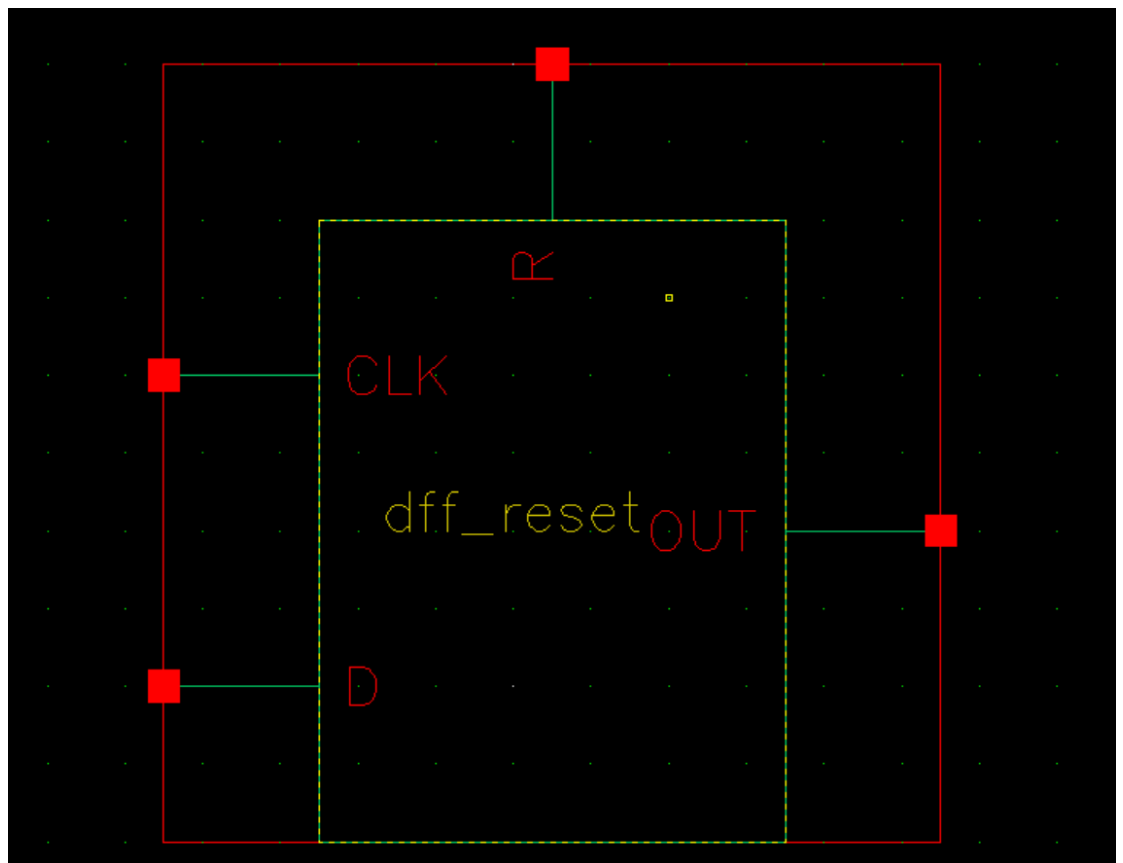
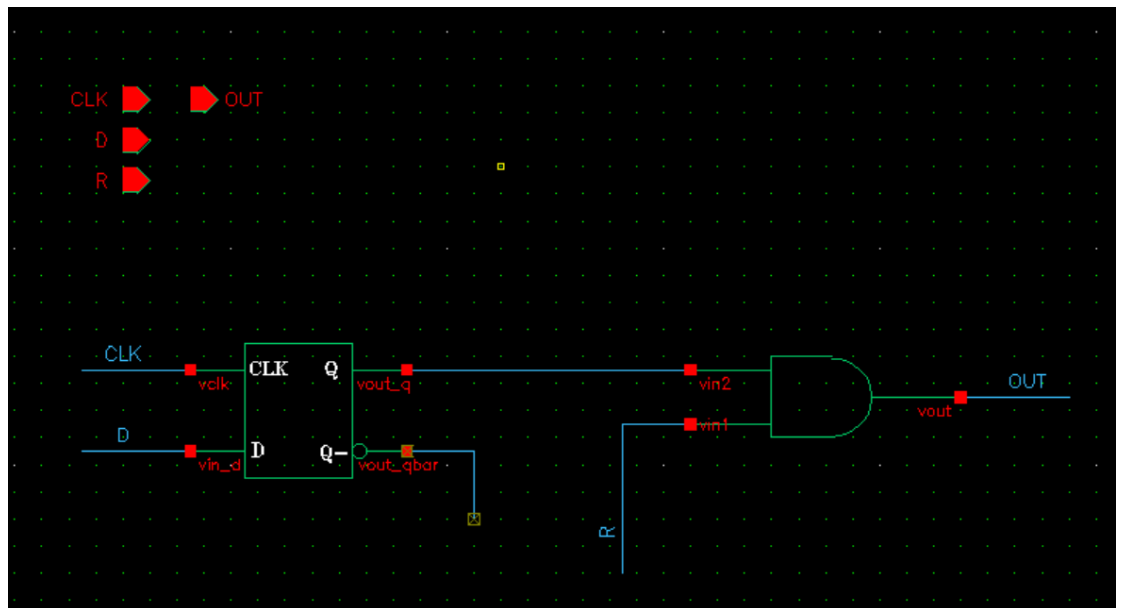
4. 比较器的封装



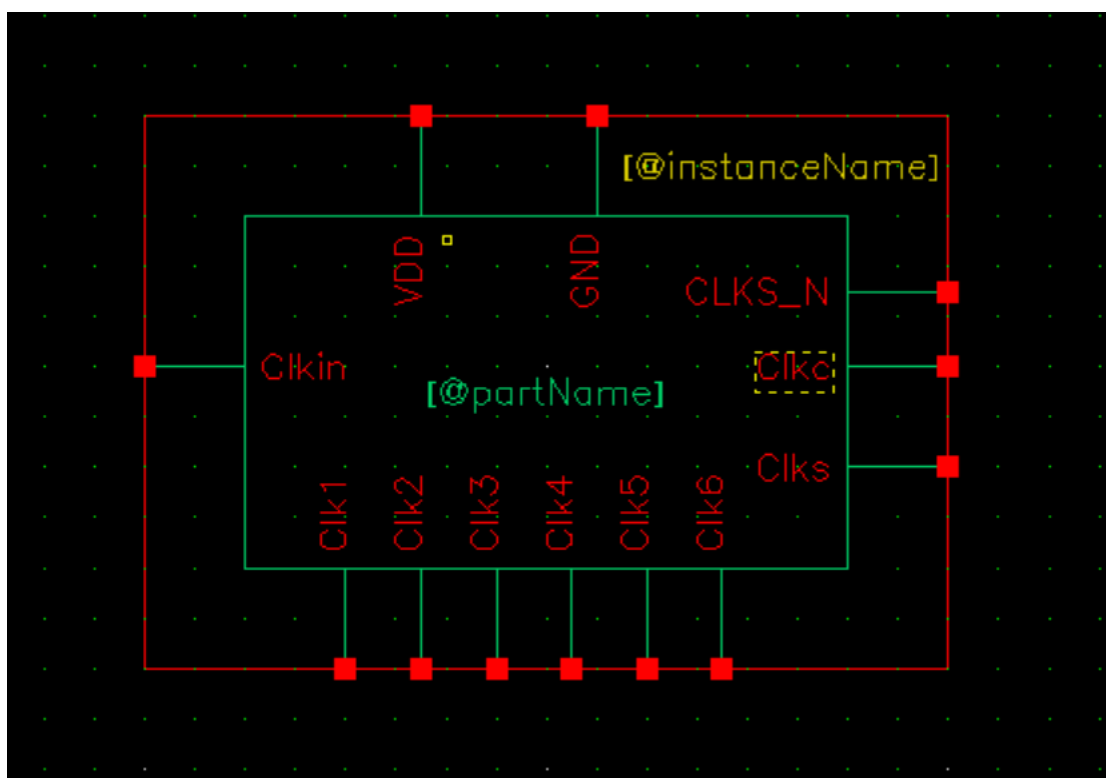
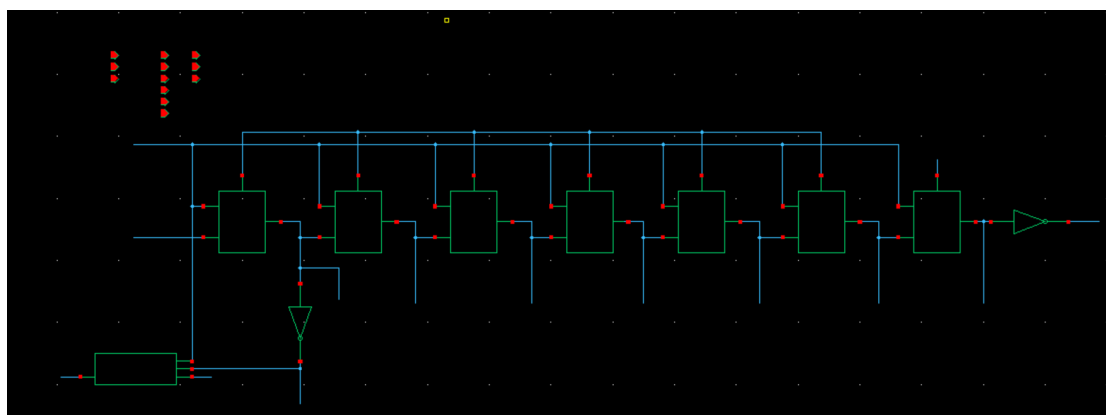
四、控制逻辑时序设计及仿真结果

1. 控制时序的工作原理及电路

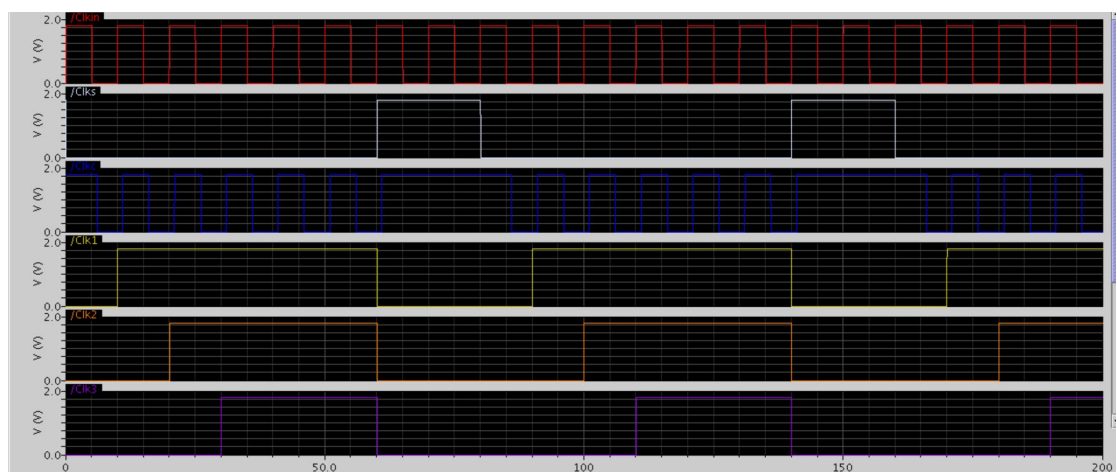
a. 带复位端的 D 触发器的设计与封装

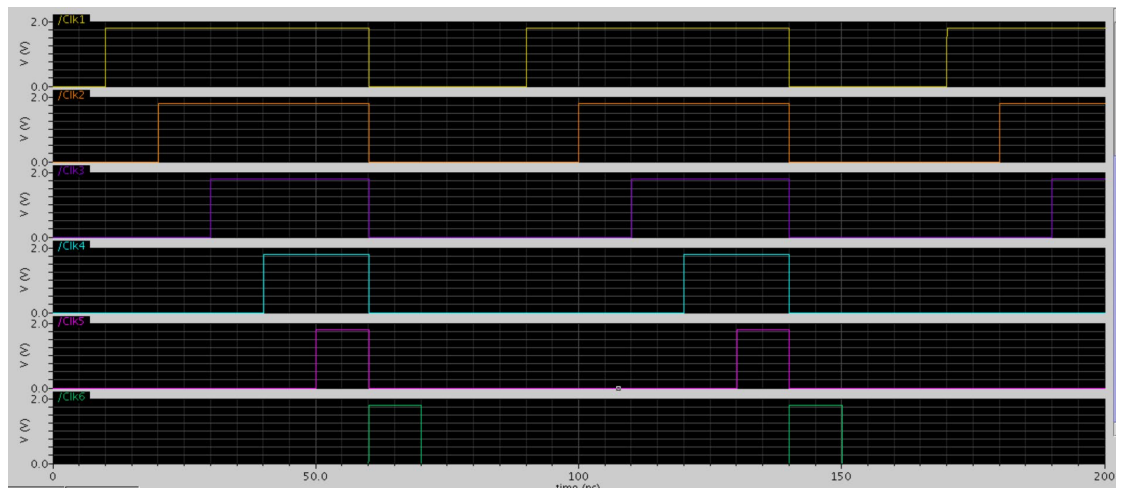


b. 时序电路电路图设计及封装



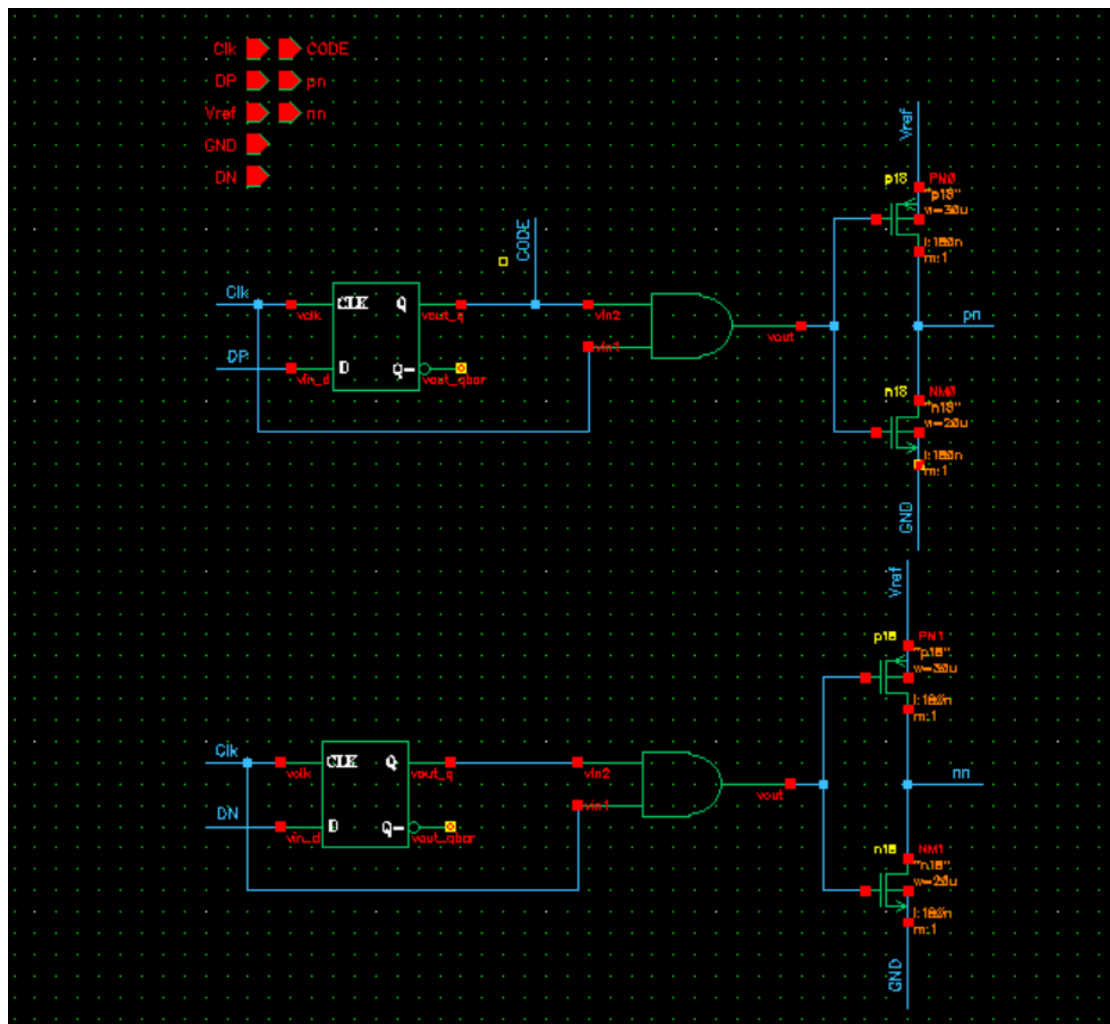
2. 仿真结果

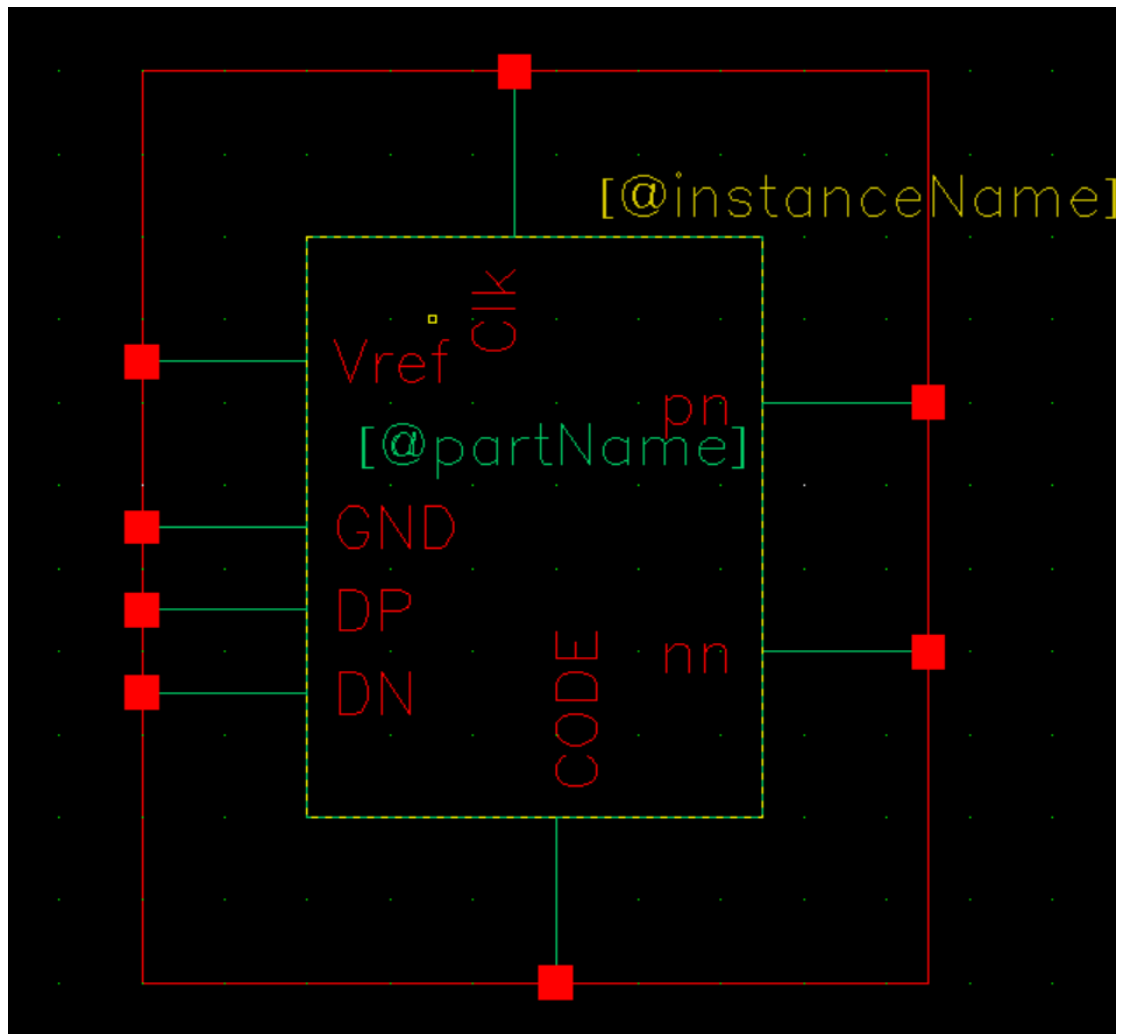




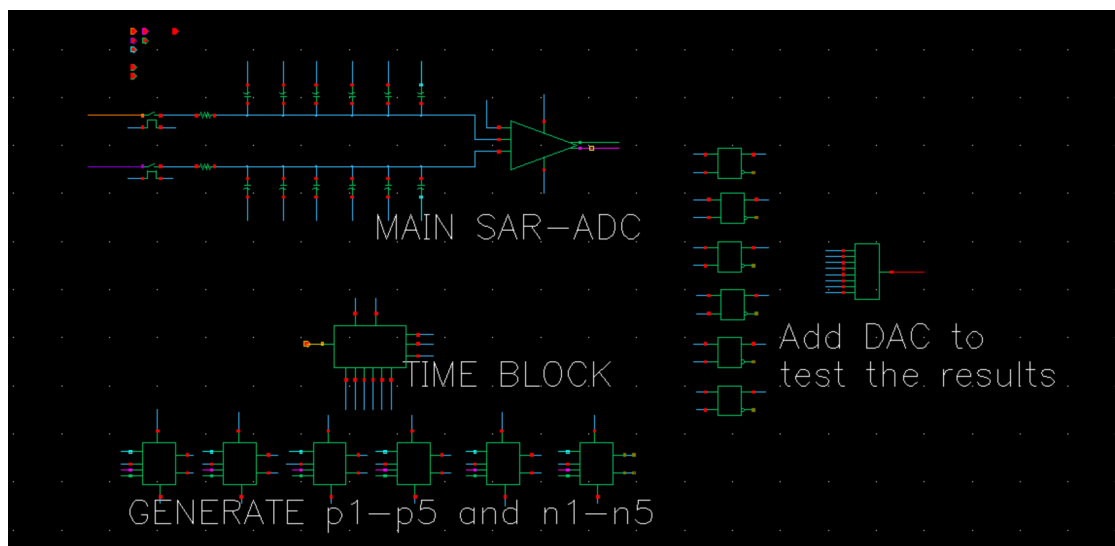
五、整体电路及仿真结果

1. DAC 逻辑电路设计与仿真（同时产生 pn 和 nn）

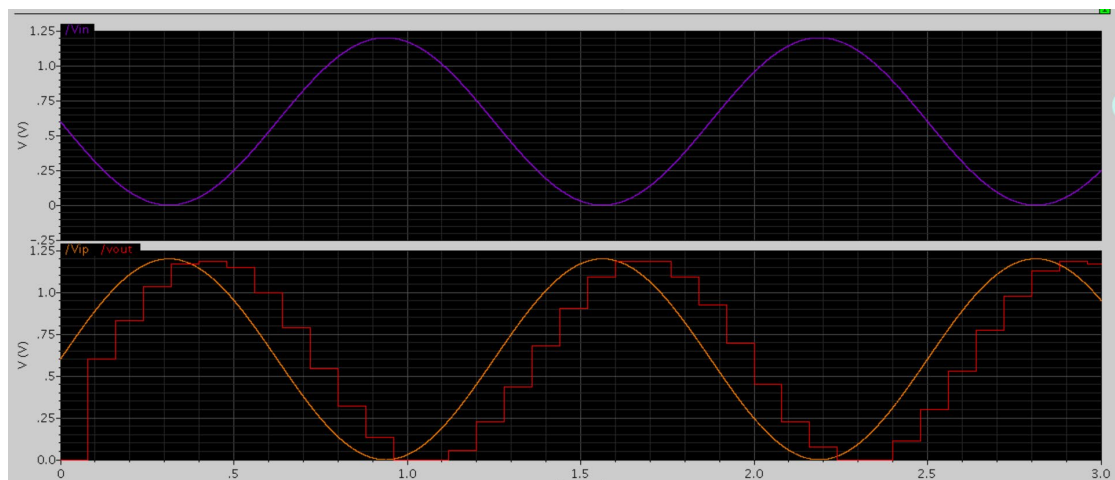




2. 整体电路



3. 仿真结果



4. 创新点

将为了简化整体电路，避免不必要的接线，将 p1-p5 和 n1-n5 的电路用一个 DAC 逻辑电路产生，只要在封装时标明 OUTP 和 OUTN 的入口为 DP 和 DN 就可以。

六、实验总结和课程心得

此次实验的收获一是学会了如何操作 cadence 软件进行电路的搭建与仿真，知道了一些快捷键和操作技巧，这对我在进行电路搭建的时候感觉很有帮助。无论是集成电路设计实践一还是实践二，我认为都能学到一些新的并且对本专业有用的软件，这也是我为什么一直选这门课的原因。

另一个收获就是知道了什么是逐次逼近式 ADC，知道了他和闪速式 ADC、流水线式 ADC 以及 Σ - Δ ADC 之间的区别。低功耗、转换速度和精度平衡并且具有较好的扩展性是逐次逼近式 ADC 的优点，但是其的缺点是需要电容构建，从电路搭建过程中我们会发现，需要多个电容，这些电容会占有较大的芯片面积。

除此之外，关于其中各个部分（时序电路，比较器以及 DAC）也让我复习了以前的知识，其中关于 p1-p5 和 n1-n5 的来源一开始给我带来了很大的困惑，后来询问老师，才知道是由不同的 DAC 在输入 OUTP 和 OUTN 时产生。尝试了老师说的方法后，结果一下子出来了，很开心。之后为了简化电路，尝试了几种方法，最后确定将给我带来困惑的部分给“简化”了——在搭建 DAC 的时候用两部分分别产生 p1-p5 和 n1-n5。最后测试发现和原本的结果并没有差异，但是主电路图看起来更简洁了。从这点我学习到在搭建电路时，我们应该借用这次实验的思路，尽量完善各个部件完成不同的功能，然后主电路图就会更加简洁易读。在画板子的时候有时候会很乱，我觉得可以借鉴这次实验改善以后的布局。

最后，很感谢老师和助教，真的是太好了，超级有耐心，我问问题的时候老师很耐心的解答，还对我说是他“没有写明白”，我就觉得很棒！总而言之，这次的实验很开心！