



北京理工大学
Beijing Institute of Technology

本科实验报告

实验名称: 4 通道分频器的设计

课程名称:	集成电路设计实践 (I)	实验时间:	2018/4/1
任课教师:	张蕾	实验地点:	综 A
实验教师:	张蕾	实验类型:	<input checked="" type="checkbox"/> 原理验证 <input type="checkbox"/> 综合设计 <input type="checkbox"/> 自主创新
学生姓名:	施念		
学号/班级:	1120161302/05011609	组 号:	
学 院:	信息与电子学院	同组搭档:	
专 业:	电子信息工程	成 绩:	

实验一：4 通道分频器的设计

一、实验目的

- (1) 熟悉 modelsim 软件环境
- (2) 理解用 VHDL 进行设计综合的流程和方法
- (3) 掌握 VHDL 的代码结构及电路描述方法
- (4) 理解并行语句和顺序语句
- (5) 用 VHDL 语言编写一个四通道分频器及其测试文件

二、实验原理

在数字电路中，常常需要对较高频率的时钟进行分频操作，得到较低频率的时钟信号，即分频器。实现分频器的方法有很多，最常用的是使用计数器分频的方式，而分频也分为偶数分频（ $2N$ ）、奇数分频（ $2N+1$ ）、半整数分频（ $N-0.5$ ）等等，对于最简单的偶数分频，只需要使用模值为 N 的计数器实现 50% 占空比的时钟信号，即每次计数满 N 时输出时钟信号翻转即可。

三、实验内容

本次的实验任务是将一个 1Mhz 的信号分频成 100khz、10khz、1khz、100hz。实验要求每相差十倍频率就有脉冲输出，推荐采用十进制计数器对信号进行分频，即判断输入信号上升沿或下降沿的个数，每计满 5 个即让输出信号电平翻转，以此实现 10 分频。

然后将 10 进制计数器做成 COMPONENT，利用元件例化语句实现调用，在测试文件（TEST-BENCH, TB）中只需要给输入 1Mhz 方波信号。

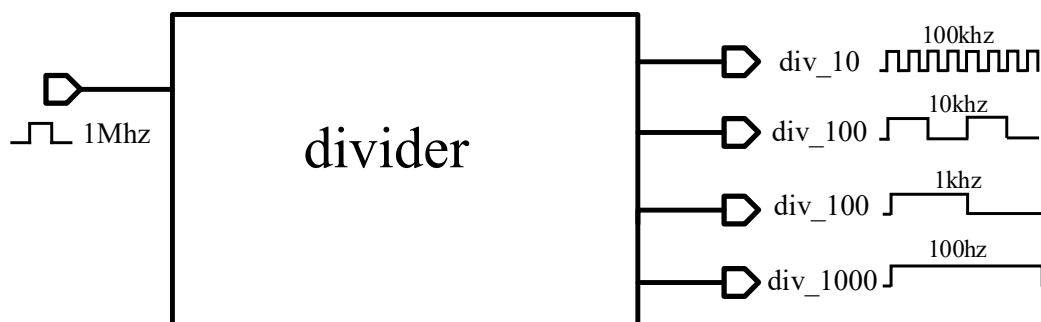


图 1 分频器示意图

四、实验代码

```

-----divider.vhd-----
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;

-----
entity DIVIDER is
    port (CLK_IN  : in Std_logic;
          OUT_1,OUT_2,OUT_3,OUT_4 :out Std_logic);
end;

-----
architecture behave of DIVIDER is
    --1,2,3,4 分别记录各个上升沿
    signal Cnt_1,Cnt_2,Cnt_3,Cnt_4: Integer:=0;
begin
    -----
    DIVIDE:process (CLK_IN)
    begin
        if(CLK_IN'event and CLK_IN ='1') then
            if(Cnt_1 < 9) then  --10
                Cnt_1 <=Cnt_1 +1;
            else
                Cnt_1 <= 0;
                if(Cnt_2 < 9) then  --100
                    Cnt_2 <=Cnt_2 +1;
                else
                    Cnt_2 <= 0;
                    if(Cnt_3 < 9) then  --1000
                        Cnt_3 <=Cnt_3 +1;
                    else

```

```

        Cnt_3 <= 0;
        if(Cnt_4 < 9) then    --10000
            Cnt_4 <=Cnt_4 +1;
        else
            Cnt_4 <= 0;
        end if;
    end if;
end if;
end if;
end if;
end process;

```

```

OUT_101:process(Cnt_1)
begin
    if(Cnt_1<5) then
        OUT_1 <= '0';
    else
        OUT_1 <= '1';
    end if;
end process;

```

```

OUT_102:process(Cnt_2)
begin
    if(Cnt_2<5) then
        OUT_2 <= '0';
    else
        OUT_2 <= '1';
    end if;
end process;

```

```

OUT_103:process(Cnt_3)
begin
    if(Cnt_3<5) then
        OUT_3 <= '0';
    else
        OUT_3 <= '1';
    end if;
end process;

```

```

OUT_104:process(Cnt_4)
begin
    if(Cnt_4<5) then
        OUT_4 <= '0';
    else

```

```

        OUT_4 <= '1';
    end if;
end process;
end behave;
-----

```

```

-----divider_tb.vhd-----
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.Std_logic_arith.all;
-----

entity Stimulus is
end Stimulus;
-----

architecture test_bench of Stimulus is
    component DIVIDER
        port(
            CLK_IN : in Std_logic;
            OUT_1,OUT_2,OUT_3,OUT_4 :out Std_logic);
    end component;

    SIGNAL CLK_IN : Std_logic;
    SIGNAL OUT_1,OUT_2,OUT_3,OUT_4 : Std_logic;
    constant clk_period :time :=1 us;          --时钟周期的定义

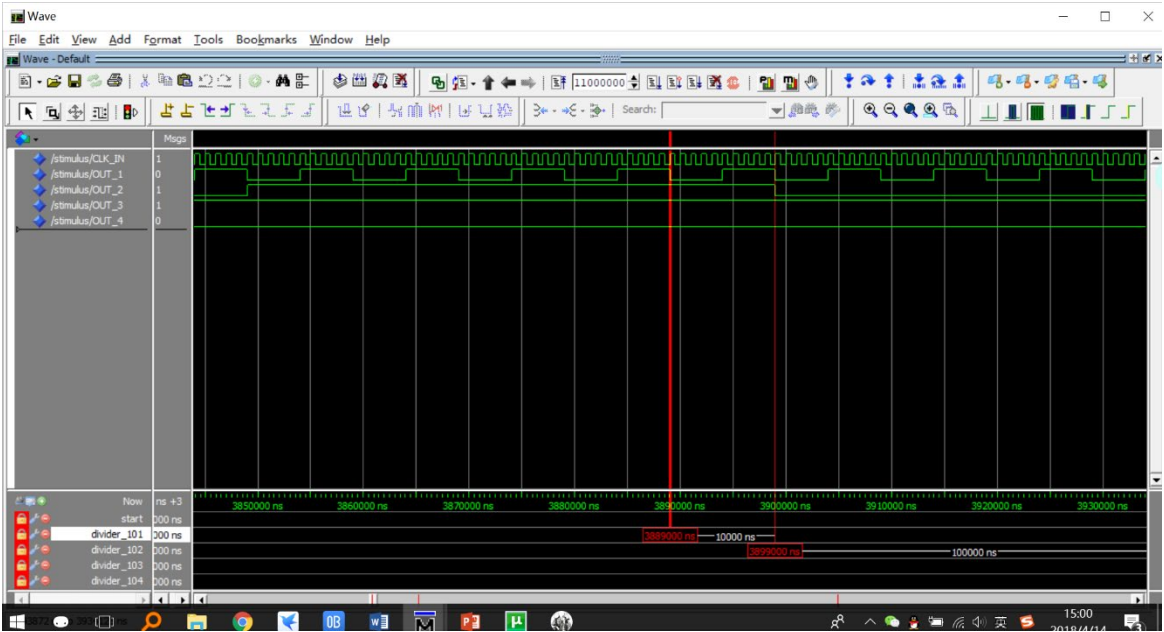
begin
    dut : DIVIDER port
map(CLK_IN=>CLK_IN,OUT_1=>OUT_1,OUT_2=>OUT_2,OUT_3=>OUT_3,OUT_4=>O
UT_4);

    --CLK_IN
    CLK_GEN:process
    begin
        CLK_IN <='0';
        WHILE TRUE LOOP
            CLK_IN <= '1';
            WAIT FOR clk_period/2;
            CLK_IN <= '0';
            WAIT FOR clk_period/2;
        END LOOP;
    end process;
end test_bench;

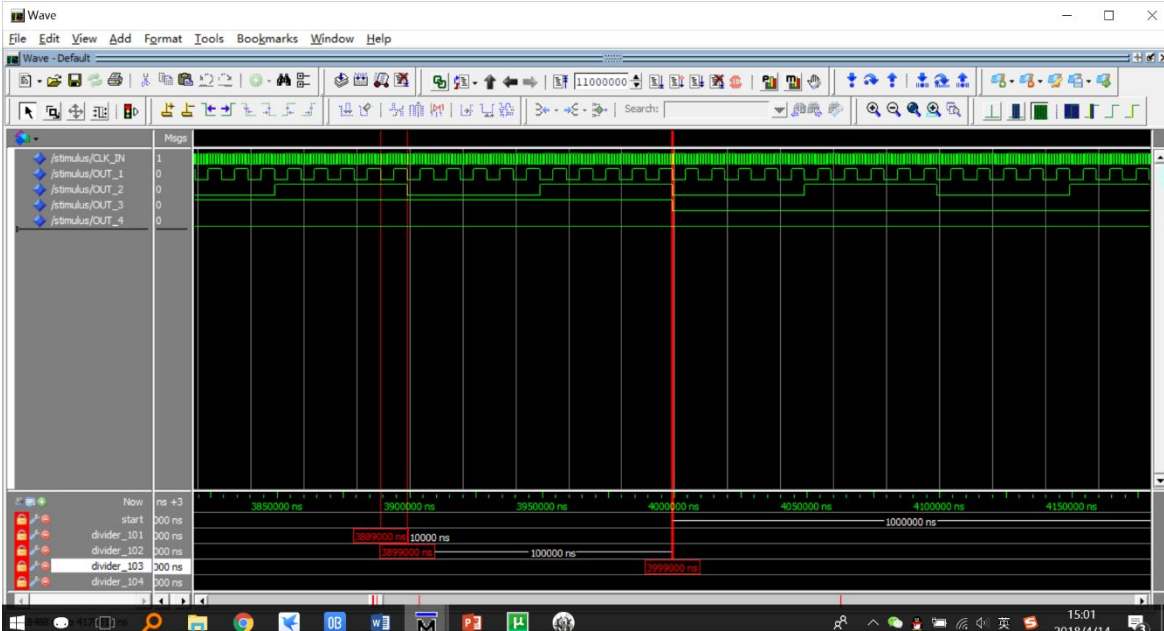
```

```
end process CLK_GEN;  
end test_bench;
```

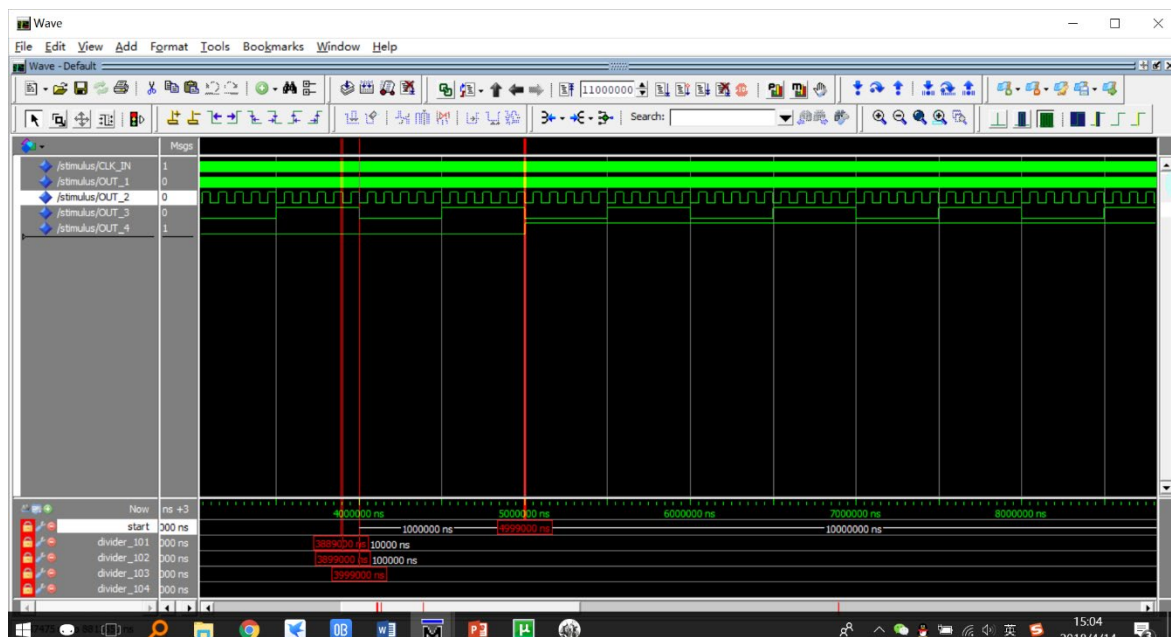
五、仿真结果



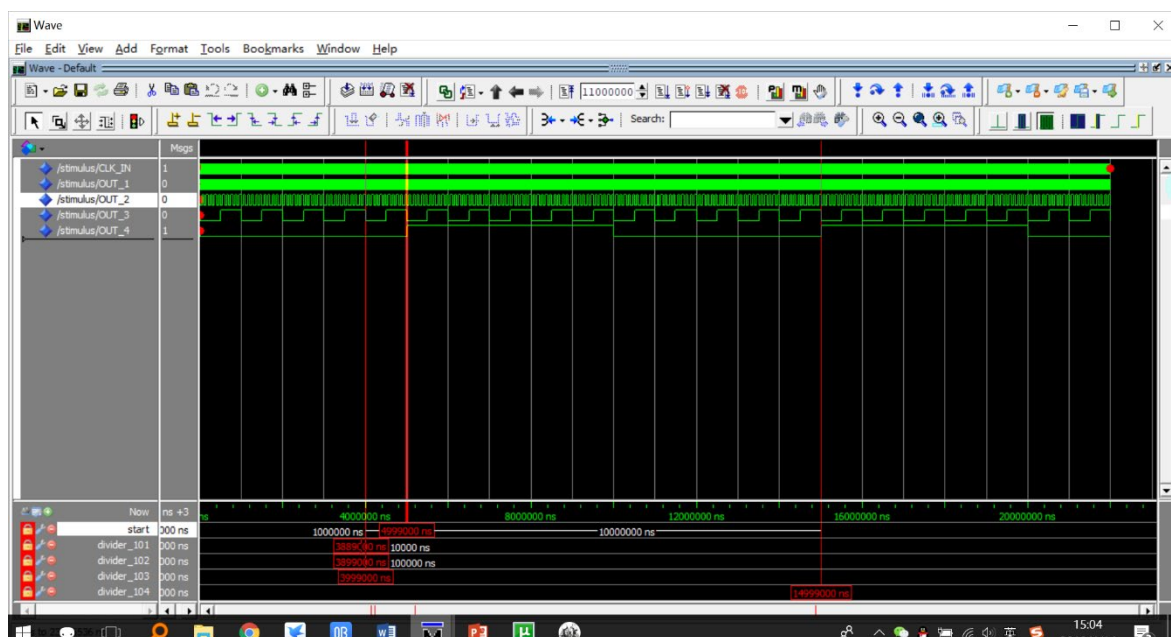
(图 1 10 倍)



(图 2 100 倍)



(图 3 1000 倍)



(图 4 10000 倍)

六、分析与总结

从结果我们可以看出，原始波形为 1Mhz，图 1 实现了 10 分频，图 2 实现了 100 分频，图 3 实现了 1000 分频，图 4 实现了 10000 分频。

总的来说，此次实验，通过计数加循环，设计了一个 1 输入，4 输出的多倍分频器。。