**本科实验报告**

**实验名称： 4通道分频器的设计**

|  |  |  |  |
| --- | --- | --- | --- |
| 课程名称： | 集成电路设计实践（Ⅰ） | 实验时间： | 2018/4/1 |
| 任课教师： | 张蕾 | 实验地点： | 综A |
| 实验教师： | 张蕾 | 实验类型： | ■ 原理验证  □ 综合设计  □ 自主创新 |
| 学生姓名： | 施念 |
| 学号/班级： | 1120161302/05011609 | 组 号： |  |
| 学 院： | 信息与电子学院 | 同组搭档： |  |
| 专 业： | 电子信息工程 | 成 绩： |  |

# 实验一：4通道分频器的设计

## 一、实验目的

（1）熟悉modelsim软件环境

（2）理解用VHDL进行设计综合的流程和方法

（3）掌握VHDL的代码结构及电路描述方法

（4）理解并行语句和顺序语句

（5）用VHDL语言编写一个四通道分频器及其测试文件

## 二、实验原理

在数字电路中，常常需要对较高频率的时钟进行分频操作，得到较低频率的时钟信号，即分频器。实现分频器的方法有很多，最常用的是使用计数器分频的方式，而分频也分为偶数分频（2N）、奇数分频（2N+1）、半整数分频（N-0.5）等等，对于最简单的偶数分频，只需要使用模值为N的计数器实现50%占空比的时钟信号，即每次计数满N时输出时钟信号翻转即可。

## 三、实验内容

本次的实验任务是将一个1Mhz的信号分频成100khz、10khz、1khz、100hz。实验要求每相差十倍频率就有脉冲输出，推荐采用十进制计数器对信号进行分频，即判断输入信号上升沿或下降沿的个数，每计满5个即让输出信号电平翻转，以此实现10分频。

然后将10进制计数器做成COMPENENT，利用元件例化语句实现调用，在测试文件（TEST-BENCH，TB）中只需要给输入1Mhz方波信号。



图1 分频器示意图

## 四、实验代码

-----------------------------divider.vhd--------------------------------

library IEEE;

use IEEE.std\_logic\_1164.all;

use IEEE.std\_logic\_arith.all;

use IEEE.std\_logic\_unsigned.all;

-------------------------------------------------------------

entity DIVIDER is

port (CLK\_IN : in Std\_logic;

OUT\_1,OUT\_2,OUT\_3,OUT\_4 :out Std\_logic);

end;

-------------------------------------------------------------

architecture behave of DIVIDER is

--1,2,3,4分别记录各个上升沿

signal Cnt\_1,Cnt\_2,Cnt\_3,Cnt\_4: Integer:=0;

begin

-------------------------------------------------------------

DIVIDE:process (CLK\_IN)

begin

if(CLK\_IN'event and CLK\_IN ='1') then

if(Cnt\_1 < 9) then --10

Cnt\_1 <=Cnt\_1 +1;

else

Cnt\_1 <= 0;

if(Cnt\_2 < 9) then --100

Cnt\_2 <=Cnt\_2 +1;

else

Cnt\_2 <= 0;

if(Cnt\_3 < 9) then --1000

Cnt\_3 <=Cnt\_3 +1;

else

Cnt\_3 <= 0;

if(Cnt\_4 < 9) then --10000

Cnt\_4 <=Cnt\_4 +1;

else

Cnt\_4 <= 0;

end if;

end if;

end if;

end if;

end if;

end process;

-------------------------------------------------------------

OUT\_101:process(Cnt\_1)

begin

if(Cnt\_1<5) then

OUT\_1 <= '0';

else

OUT\_1 <= '1';

end if;

end process;

-------------------------------------------------------------

OUT\_102:process(Cnt\_2)

begin

if(Cnt\_2<5) then

OUT\_2 <= '0';

else

OUT\_2 <= '1';

end if;

end process;

-------------------------------------------------------------

OUT\_103:process(Cnt\_3)

begin

if(Cnt\_3<5) then

OUT\_3 <= '0';

else

OUT\_3 <= '1';

end if;

end process;

-------------------------------------------------------------

OUT\_104:process(Cnt\_4)

begin

if(Cnt\_4<5) then

OUT\_4 <= '0';

else

OUT\_4 <= '1';

end if;

end process;

end behave;

-------------------------------------------------------------

-------------------------**divider\_tb.vhd**------------------------------------

library IEEE;

use IEEE.std\_logic\_1164.all;

use IEEE.Std\_logic\_arith.all;

-------------------------------------------------------------

entity Stimulus is

end Stimulus;

-------------------------------------------------------------

architecture test\_bench of Stimulus is

component DIVIDER

port(

CLK\_IN : in Std\_logic;

OUT\_1,OUT\_2,OUT\_3,OUT\_4 :out Std\_logic);

end component;

SIGNAL CLK\_IN : Std\_logic;

SIGNAL OUT\_1,OUT\_2,OUT\_3,OUT\_4 : Std\_logic;

constant clk\_period :time :=1 us; --时钟周期的定义

begin

dut : DIVIDER port map(CLK\_IN=>CLK\_IN,OUT\_1=>OUT\_1,OUT\_2=>OUT\_2,OUT\_3=>OUT\_3,OUT\_4=>OUT\_4);

--CLK\_IN

CLK\_GEN:process

begin

CLK\_IN <='0';

WHILE TRUE LOOP

CLK\_IN <= '1';

WAIT FOR clk\_period/2;

CLK\_IN <= '0';

WAIT FOR clk\_period/2;

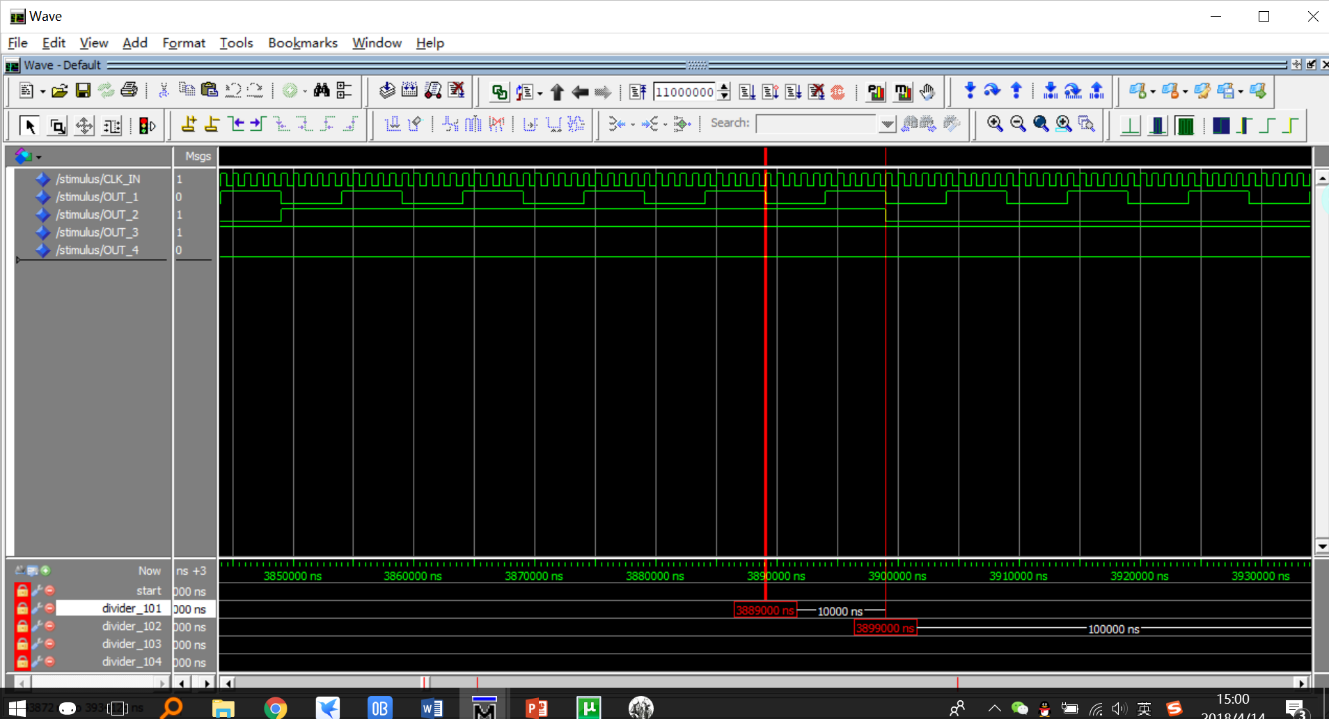
END LOOP;

end process CLK\_GEN;

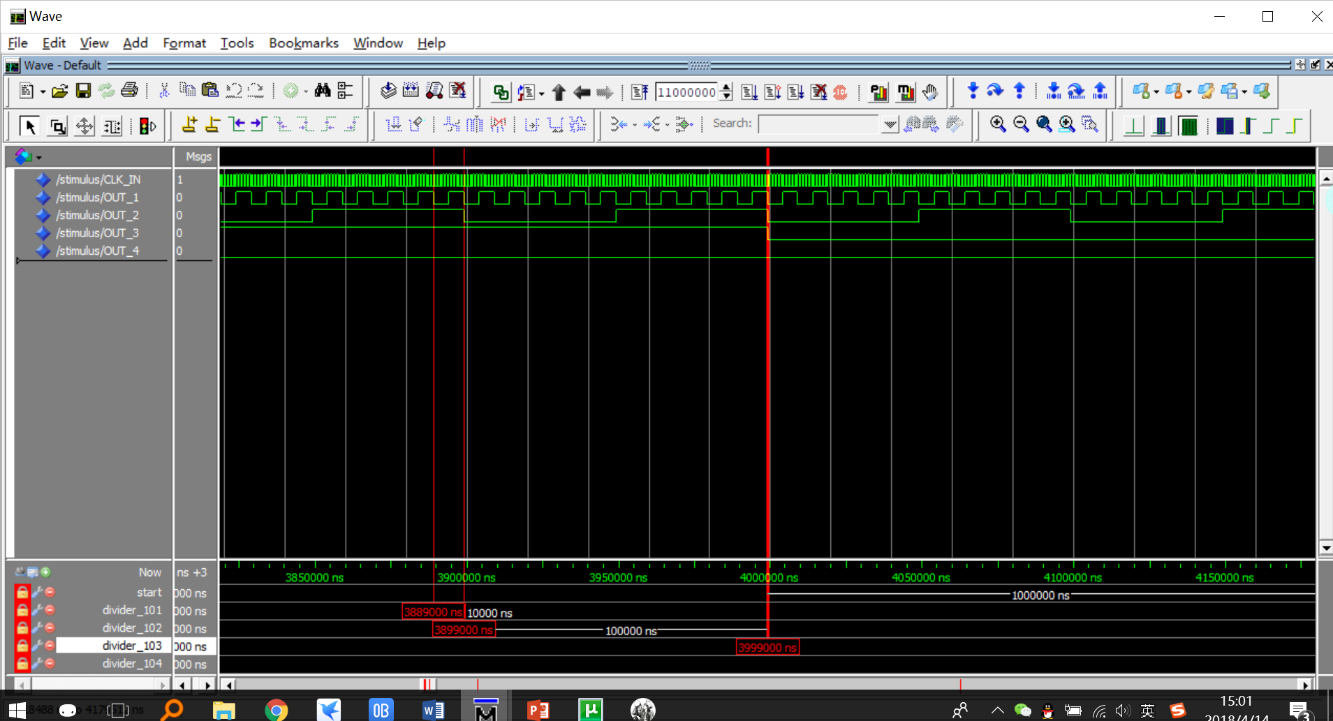
end test\_bench;

-------------------------------------------------------------

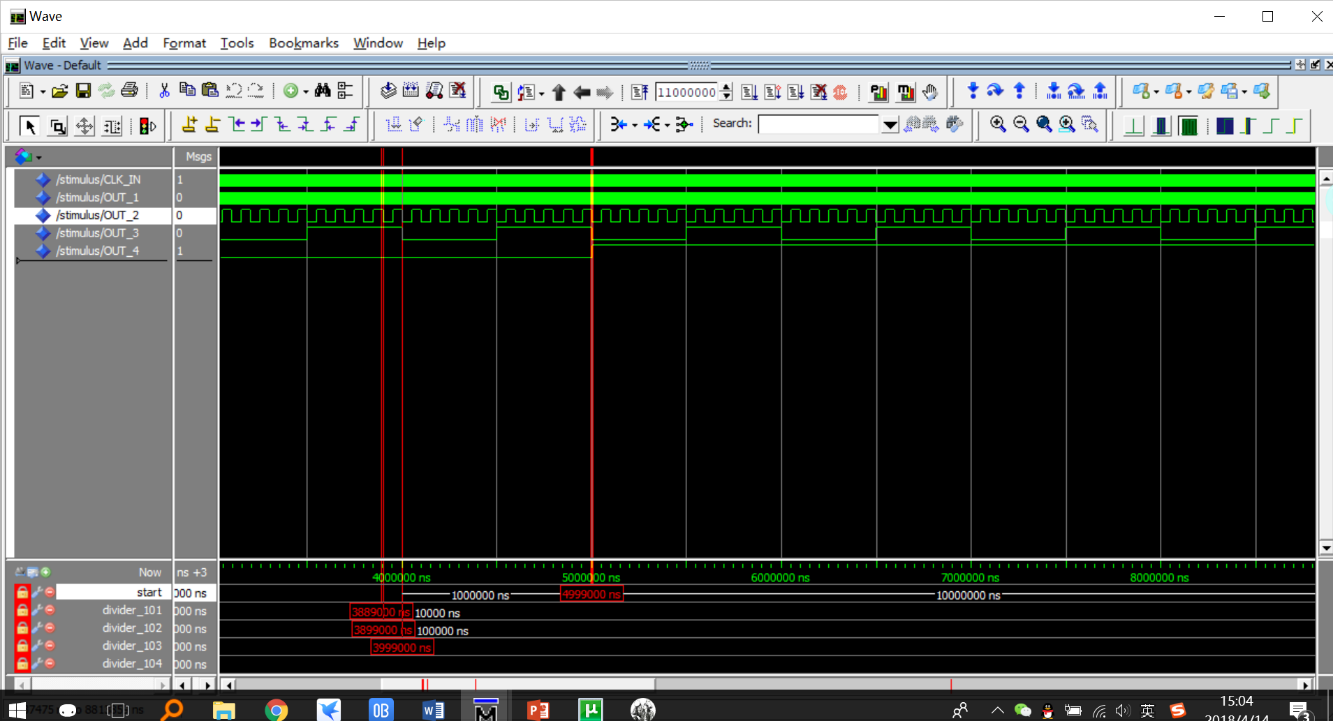
## 五、仿真结果



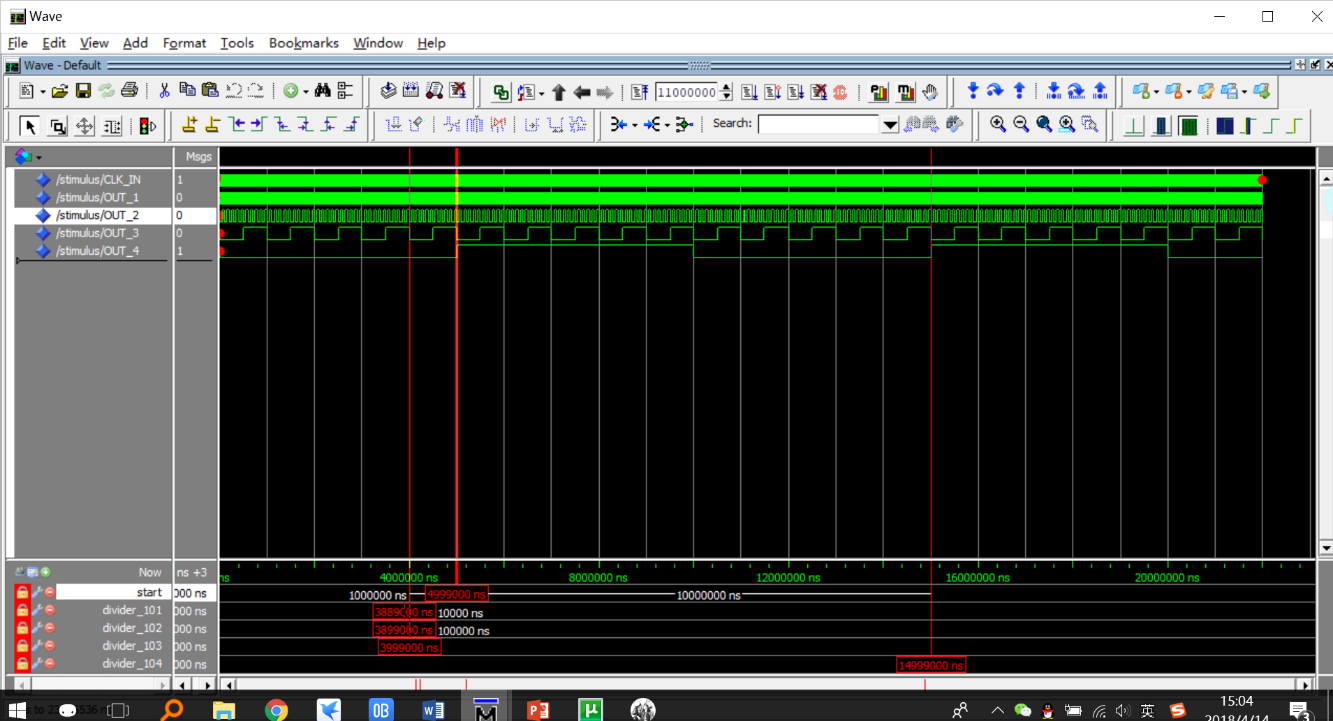
(图1 10倍)



（图2 100倍）



（图3 1000倍）



（图4 10000倍）

## 六、分析与总结

从结果我们可以看出，原始波形为1Mhz，图1实现了10分频，图2实现了100分频，图3实现了1000分频，图4实现了10000分频。

总的来说，此次实验，通过计数加循环，设计了一个1输入，4输出的多倍分频器。。