

先進計算機構成論 06

東京大学大学院 情報理工学系研究科 創造情報学専攻

塩谷 亮太

shioya@ci.i.u-tokyo.ac.jp

- BTBを用いた分岐命令予測について「ある命令が分岐命令であるか否かの予測は、それがBTBにキャッシュされているか否かで判断する」と理解したのですが、そもそも最初に命令をBTBキャッシュするとき、それを分岐命令としてキャッシュすべきか否かはどのように判断しているのでしょうか？つまり、BTBのハッシュ表はそもそもどうやって作成されるのでしょうか？という質問です。

- BTBは物理的にはどこに置かれるのでしょうか？
- 予測分岐において成立すると予測する場合にBTBによるコストが無視できないという話ですが、例えば常に成立すると予測するような構造では具体的にどれくらいのコストになるのでしょうか（もちろんケースバイケースだと思いますが、大体のオーダーがどのくらいなのか気になります）。

- ・マイクロコードによってCPUの動作を制御できるようになっているということでしたが、ユーザーが書いた普通のプログラムと、ワイヤードのロジックの間でマイクロコードがどのように作用しているのかいまいち掴めません。
- ・ZenやPen4のパイプライン段数の話がありましたが、この手の商用のCPUのアーキテクチャに関する情報はどのような資料をあたれば得られるのでしょうか。

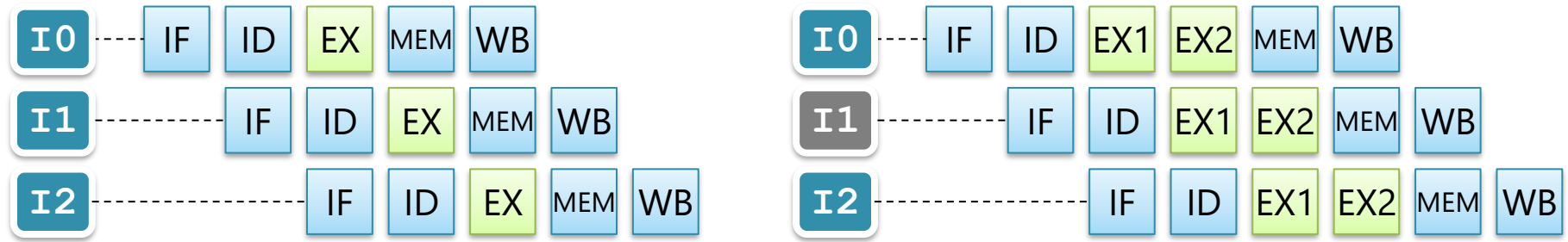
感想や質問

- cellのパイプライン構成ではEXの処理が最低でもEX1・EX2と二つに分けられていましたが、この部分に分ける意味はあるのでしょうか。考えられることとして、ほかのステージに奇数個の分割(ID1-ID3など)があり、そのステージの分解能が上がるからメリットが出てくる可能性はあるとは思いますが、認識はあっているのでしょうか。
- その場合、全ステージの分割が偶数個だった場合、それぞれの分割数を1/2にした方がDフリップフロップの必要個数が少なくなり効率が良くなると把握しています。
- また別の質問として、先生のCPU作製の授業のgithubを参考に実際に組み立ててみたいと思ったのですが、FPGAはどの程度の性能のものを用意するとよい、などあれば教えていただきたいです。(特に価格などがピンキリなので。。。)

- 質問ですが、BTBは更新されるものなののでしょうか？更新も高速で行われるのでしょうか？
- 本題とは逸れるのですが、ある処理を実行するのにかかったCPU cycle数を正確に計測したいということがよくあります。いまのところはRDTSC命令を使う方法が一番精度が良い気がするのですが、何か他にできる工夫はありますか？

- 今セメスターの授業は全てオンラインで実施する予定でしょうか？
- スライド37（38かもしれません）の「乗除算はあきらめてパイプライン化」がいまいちつかめませんでした。

演算器をパイプライン化した場合の問題

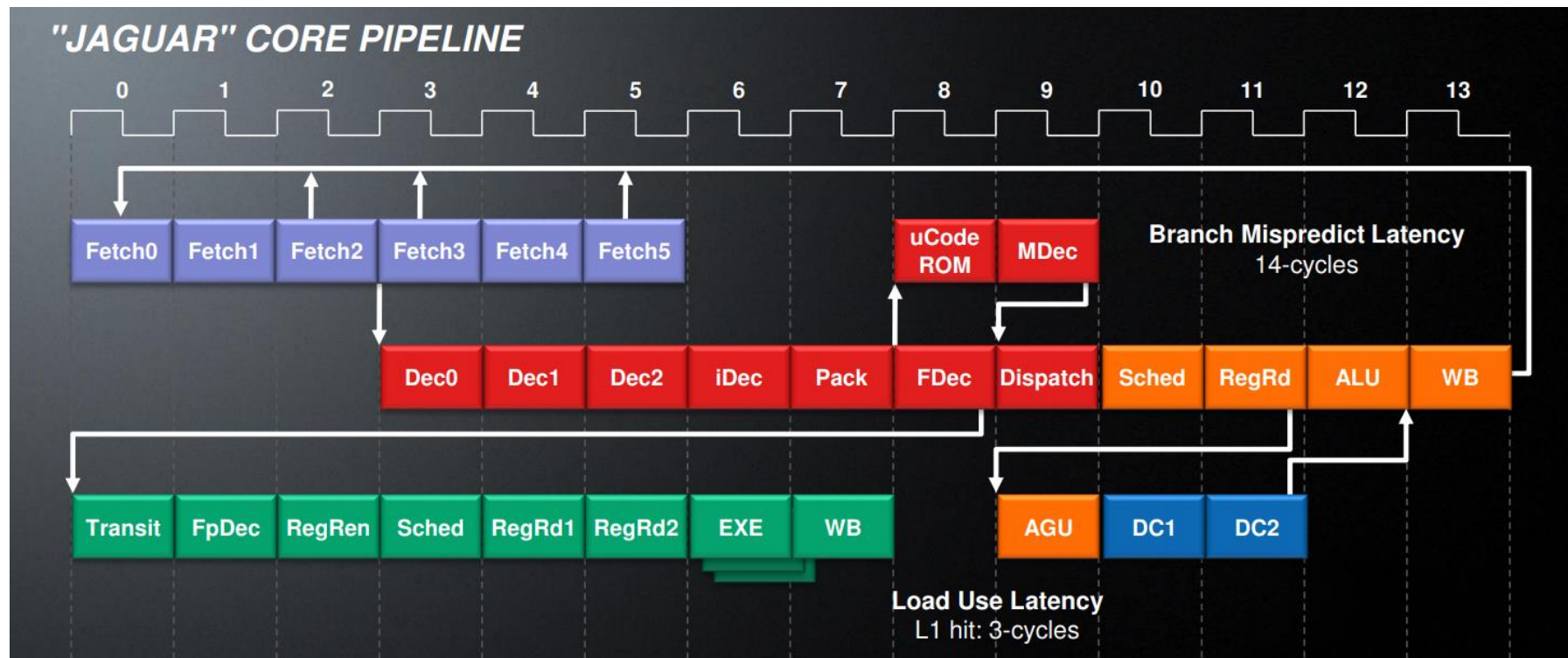


- 依存関係にある命令を連続して実行できなくなる
 - ◇ I0 の EX2 が終わる前に, I1 の EX1 が始まる
 - ◇ もし, 他に実行すべき命令がおけなければ, 遊ばせとくしかない
- 場合によっては性能が返って下がる
 - ◇ 周波数が上がったが, 2 サイクルに 1 回しか命令が実行できない
- 基本的な整数演算はパイプライン化せず 1 ステージを死守するのが普通
 - ◇ 乗除算や, 浮動小数点演算はあきらめてパイプライン化

- AMD Jaguarのパイプライン構造（矢印とか）がよく分からなかった
ので、教えていただけるとありがたいです。

AMD JAGUAR

"JAGUAR" AMD's Next Generation Low Power x86 Core より



- パイプラインの段数には色々ある(現在は15~20段、のところ)とのことですが、理論的に最適な段数というのは分かっていないということなのでしょうか。それともCPUごとに構造などが違うため、CPUに応じて最適な段数が変わるということでしょうか。
- どうしてsonyはPS3以降、独自CPUを搭載しなくなったのか気になりました。Cellとか独自CPUの方がカッコいいと思います

- もし最新の分岐予測技術を使っても分岐予測をほとんど外してしまうようなプログラムをわざと書くとしたら、どのような感じのプログラムになりますか？ "

前回のおさらい

1. 命令パイプラインと性能
2. 分岐予測（前編）
 1. 分岐命令かどうか予測（分岐種別の予測）
 2. 分岐先ターゲット予測
 3. 分岐方向予測
 1. 静的予測（前回はこちらまで）
 2. 動的予測

用語の定義（1）

■ 方向分岐

- ◇ if 文のように，2 方向に分岐する分岐命令

■ 間接分岐

- ◇ レジスタに格納されている値のアドレスに飛ぶ分岐命令
- ◇ 任意の場所に飛ぶことができる

用語の定義（２）

■ 分岐の成立/不成立

- ◇ 条件が成立（taken）： 指定されたアドレスへジャンプ
- ◇ 条件が不成立（untaken）： 次の命令（PC+ 4）に移る

■ 例： bne x1, x2, TARGET

- ◇ 成立： x1 と x2 の値が異なった場合は、TARGET にジャンプ
- ◇ 不成立： x1 と x2 の値が同じ場合は、次の PC に

用語の定義（3）

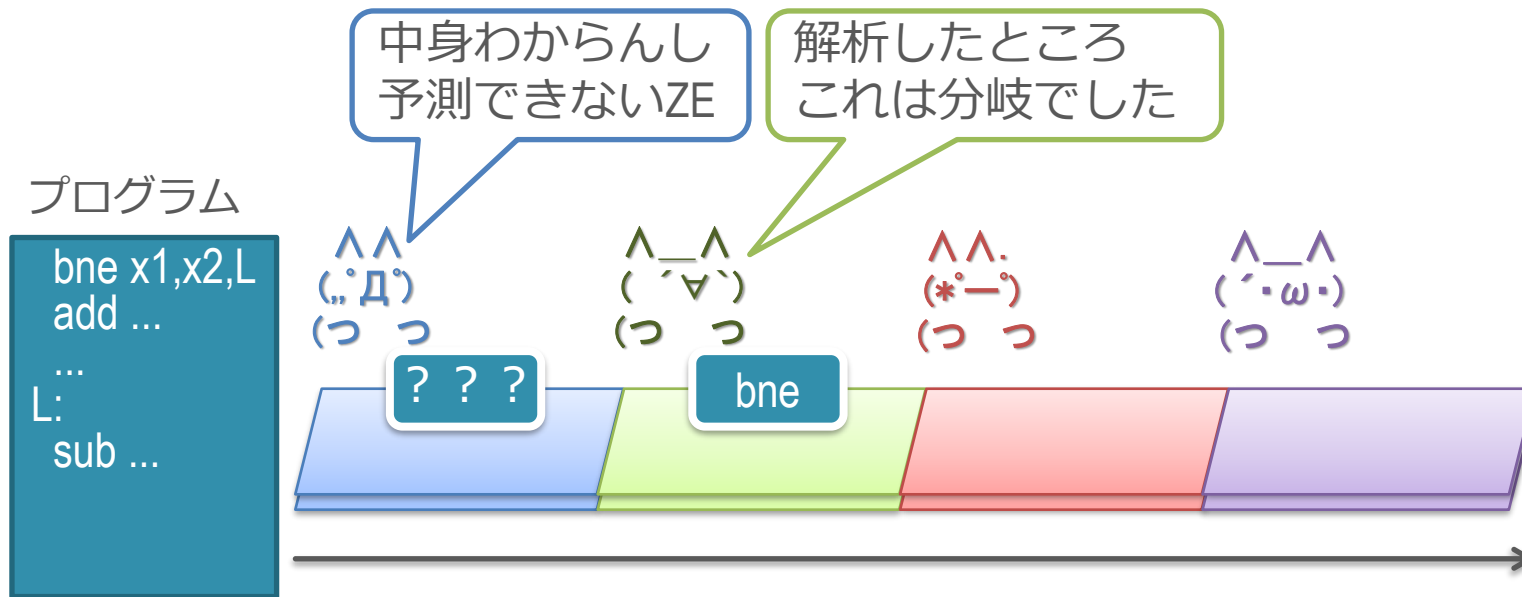
- 分岐先 アドレス or ターゲット
 - ◇ 分岐が成立した際の飛び先のアドレスのこと
- 前方分岐：
 - ◇ 分岐先ターゲットが分岐自身のアドレスよりも大きい分岐のこと
 - ◇ プログラムの進行方向に対して前方に飛ぶことから
- 後方分岐：
 - ◇ 分岐先ターゲットが分岐自身のアドレスよりも小さい分岐のこと
 - ◇ 後方に飛ぶ = ループを作る



分岐予測

- 分岐予測では、以下の3つを全て行う必要がある
 1. 分岐命令かどうか予測（分岐種別の予測）
 2. 分岐先ターゲット予測
 3. 分岐方向予測
- if-then-else の方向だけを予測していれば良いわけではない
- （今は方向分岐のみを扱い、間接分岐は考えない

1. 分岐かどうか予測の必要性



- メモリから命令が取れるまでは、それが分岐かどうかはわからない
 - ◇ 命令フェッチは複数段にパイプライン化されていることが多い
 - ◇ 以降のターゲットや方向の予測をすべきかどうか、わからない
- 一方パイプライン先頭では即座に次のアドレスを予測しないといけない
 - ◇ 分岐かどうかわかるまでまっ待ちは、バブルができる

2. 分岐先ターゲットの予測の必要性

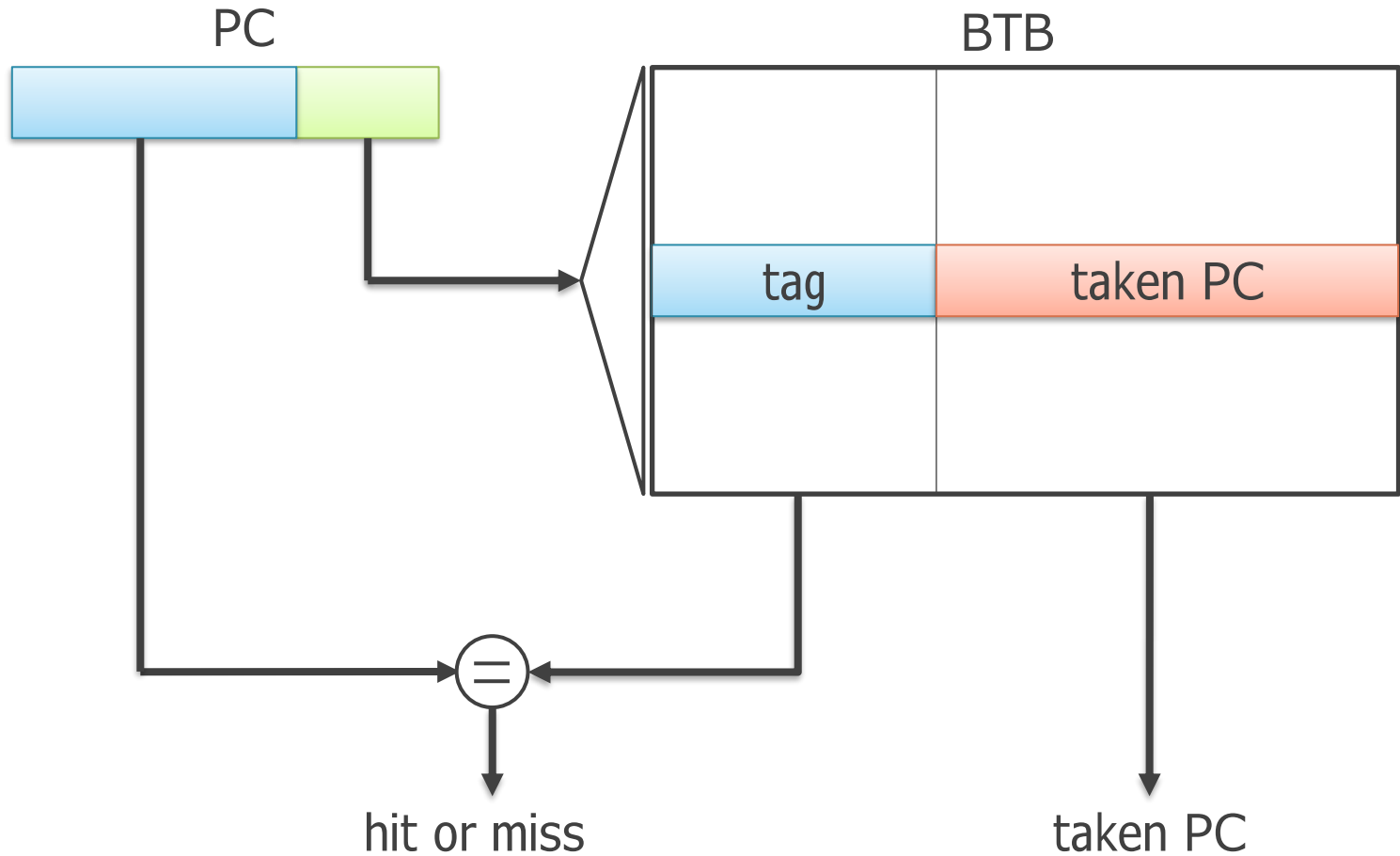


- メモリから命令が取れるまでは、分岐成立時の飛び先の場所もわからない
 - ◇ いくつ先 or いくつ前に飛ぶのか？

BTB（Branch Target Buffer）による予測

- BTB と呼ぶ表を使って以下を予測
 1. 分岐命令かどうか予測
 2. 分岐先ターゲット予測
- BTB
 - ◇ 入力：PC
 - ◇ 出力：
 - hit or miss
 - ターゲットのアドレス
- 分岐命令の実行時に、この表にターゲットを登録しておく
 - ◇ 次回からは、表をひくとターゲットがとれる

BTB (Branch Target Buffer) による予測



- 分岐かどうかと、分岐先ターゲットを同時に予測

分岐方向予測

- 以下の2つに大きく分けられる

- 1. 静的分岐予測

- 静的分岐に対する予測
 - プログラム開始時に予測結果は決まっており, 実行中に予測結果は変化しない

- 2. 動的分岐予測

- 動的分岐に対する予測
 - プログラムの実行中に予測結果が変化する

分岐方向予測

■ 分岐予測

1. 静的分岐予測

1. 常に不成立と予測
2. 前方分岐を不成立/後方分岐を成立と予測
3. プロファイルによる予測

2. 動的分岐予測

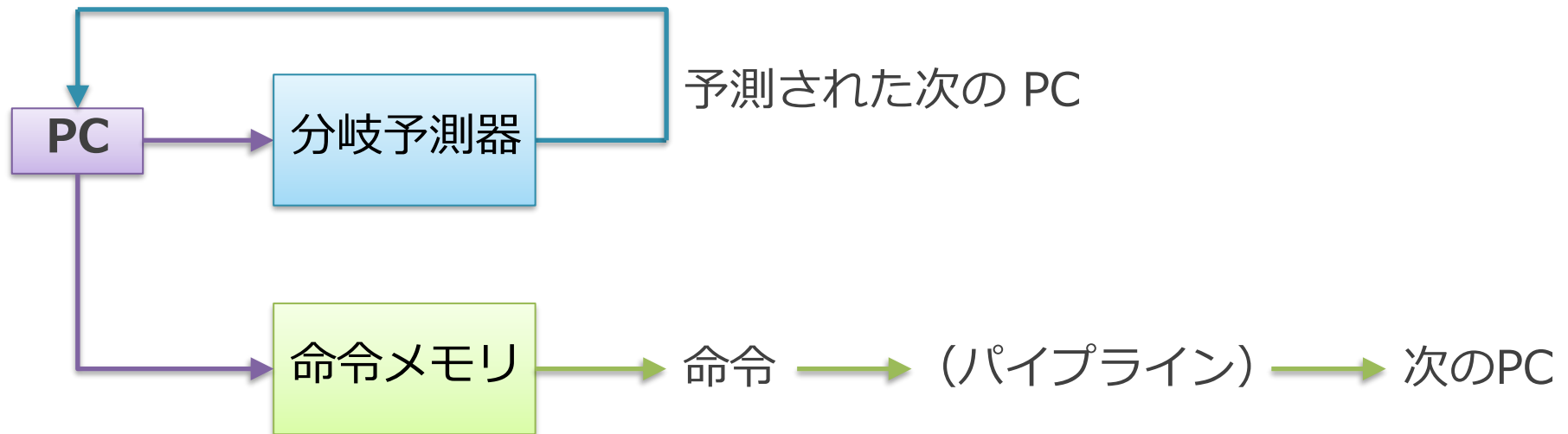
分岐予測の補足

1. 分岐予測器の全体構造
2. パイプラインとしての動作

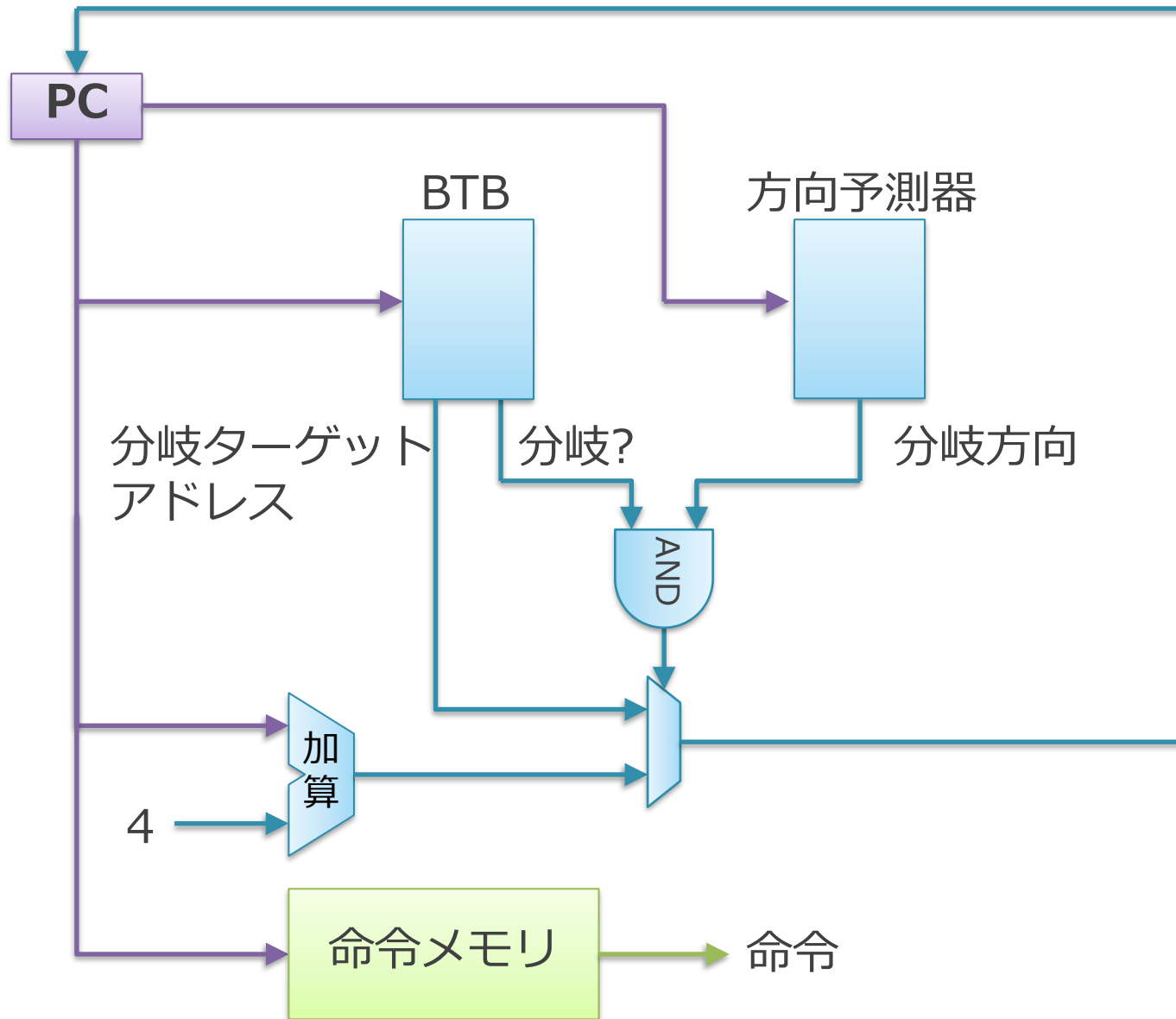
分岐予測器の全体構造

■ 分岐予測器全体の仕事：

- ◇ 現在の PC から次の PC を予測する
- ◇ 読み出された命令が実行されて次の PC が確定するのを待たずに次の PC を予測で決定する

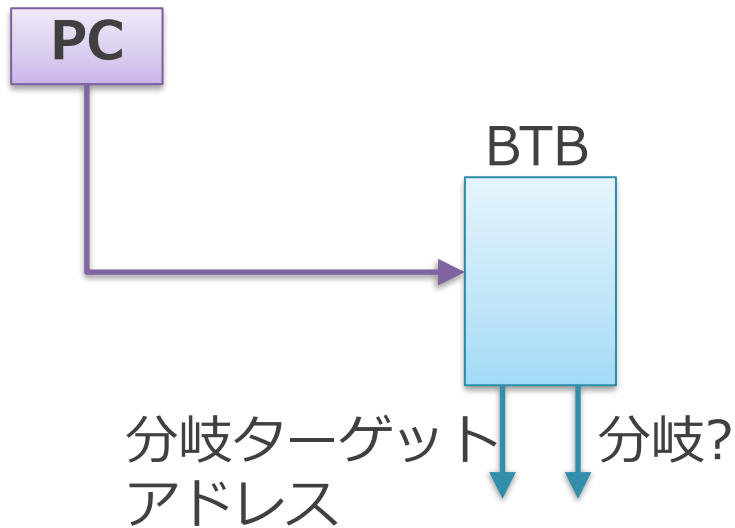


分岐予測器の全体構造



分岐予測器の動作（１）

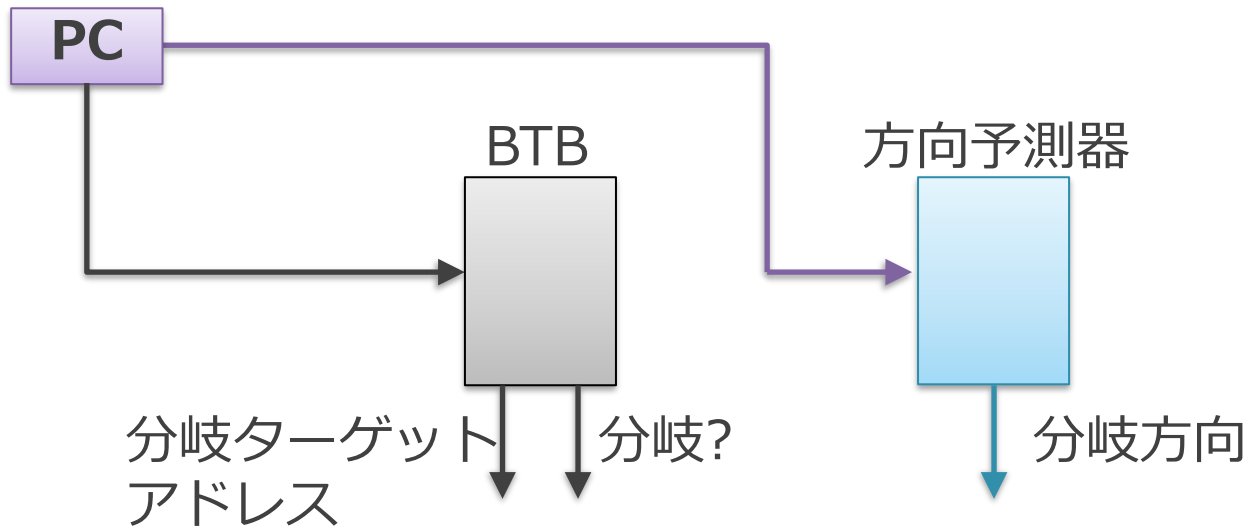
BTB による分岐ターゲットと分岐かどうかの予測



- BTB により以下を予測
 - ◇ 分岐の飛び先（ターゲット・アドレス）
 - ◇ 分岐かどうか

分岐予測器の動作（２）

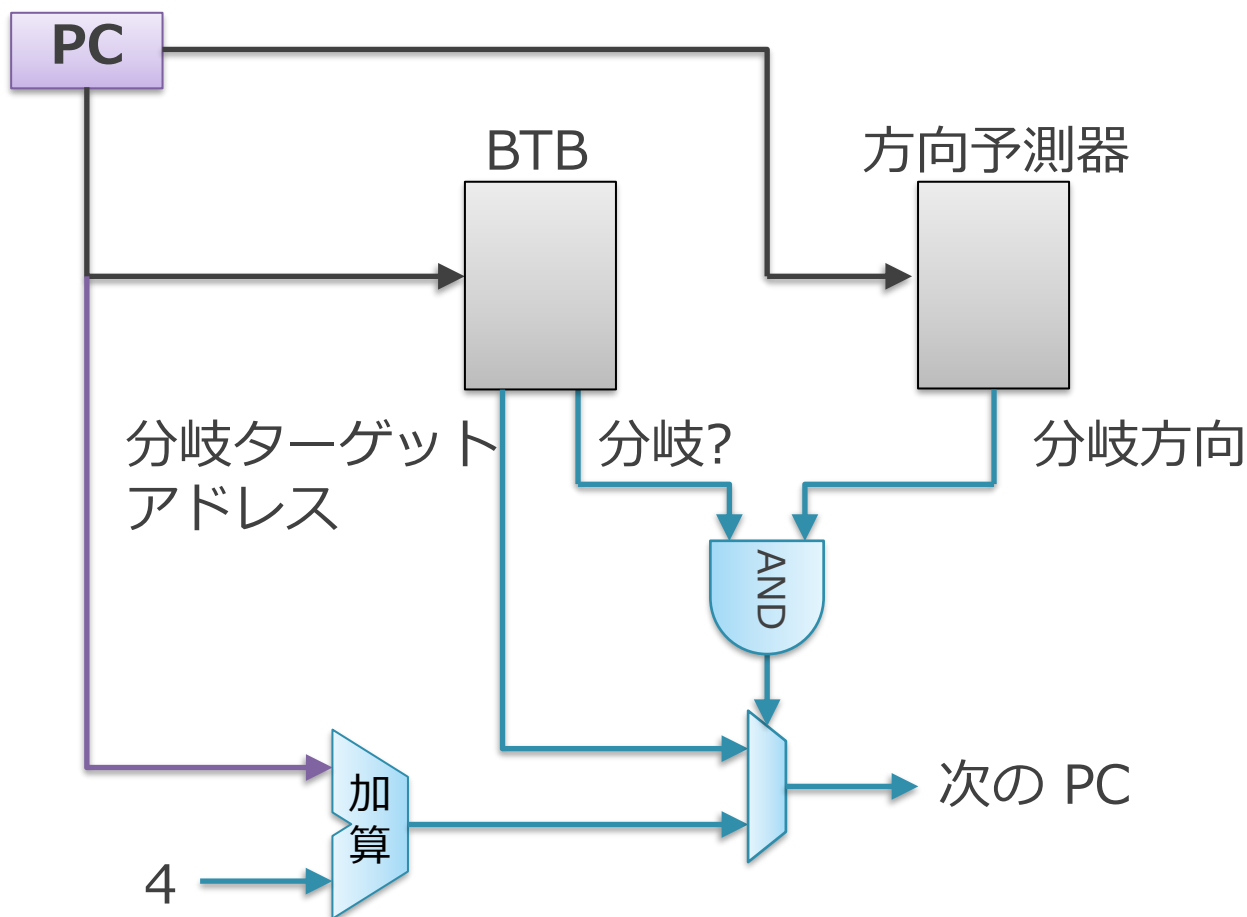
方向予測器による分岐方向の予測



- 方向予測器により，分岐の方向を予測

分岐予測器の動作 (3)

次の PC の予測

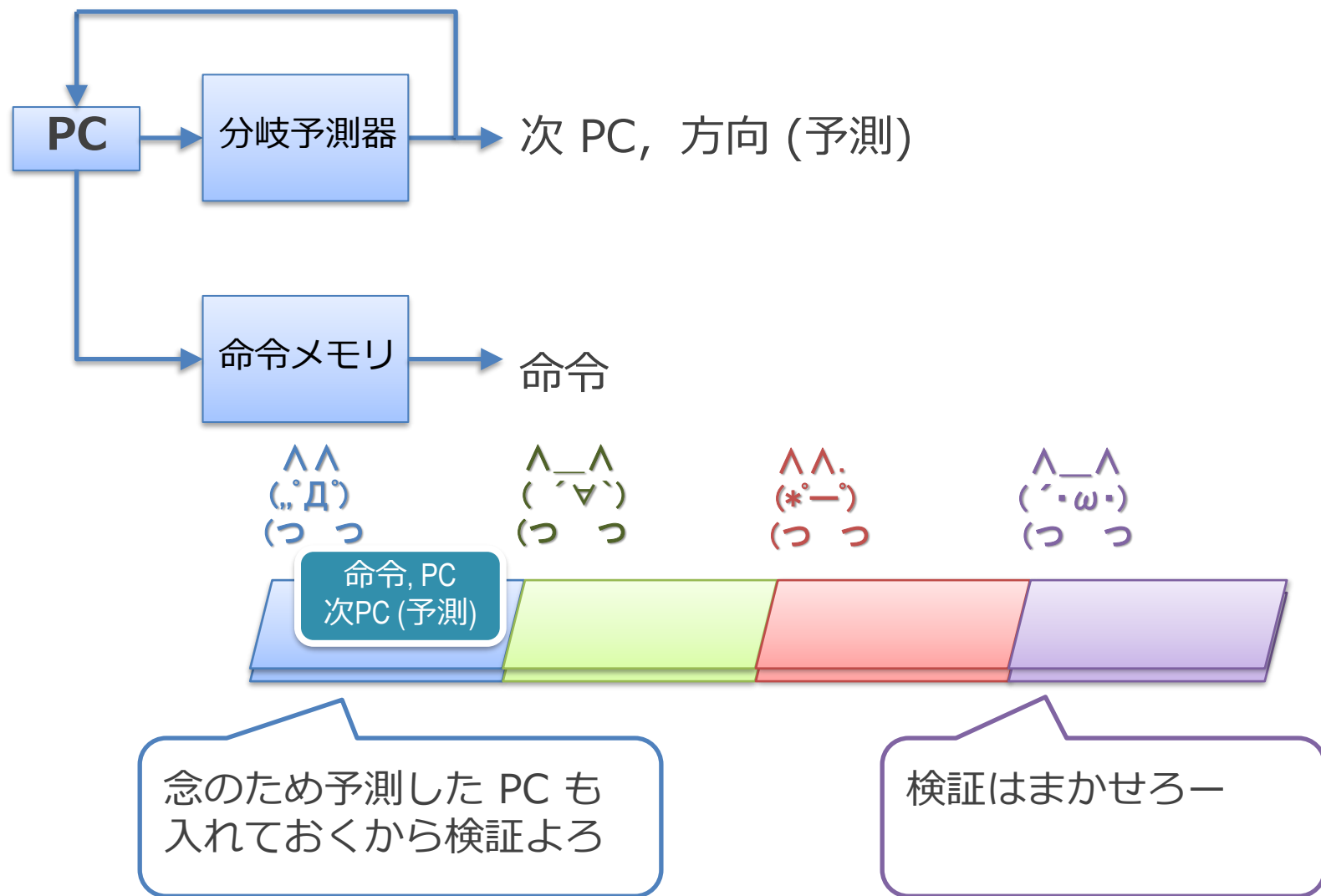


- 次の PC をマルチプレクサにより選択
 - ◇ 分岐命令かつ分岐が成立なら, ターゲット・アドレスを選択
 - ◇ そうでなければ $PC + 4$ を選択

分岐予測の続き

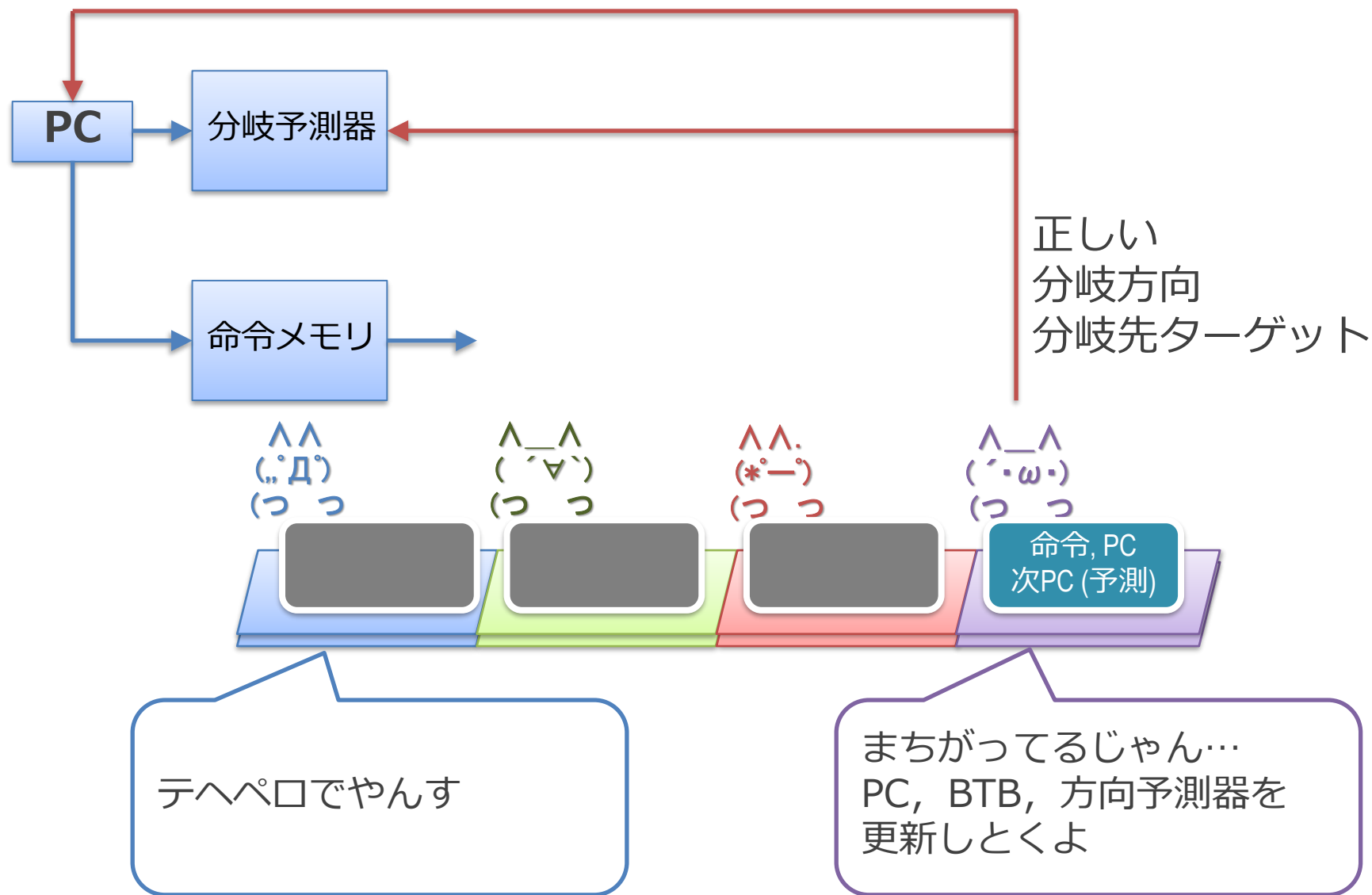
1. 分岐予測器の全体構造
2. パイプラインとしての動作
3. 間接分岐予測

パイプラインとしての動作（１） 予測結果の PC や方向をパイプラインに流す



パイプラインとしての動作 (2)

予測ミス判明時に予測器や PC を学習



今日の内容

1. 分岐予測（後編）
 1. 動的分岐予測

動的分岐予測

■ さまざまな予測手法を紹介

1. n ビット・カウンタ

1. 1ビット・カウンタ予測器
2. 2ビット・カウンタ予測器

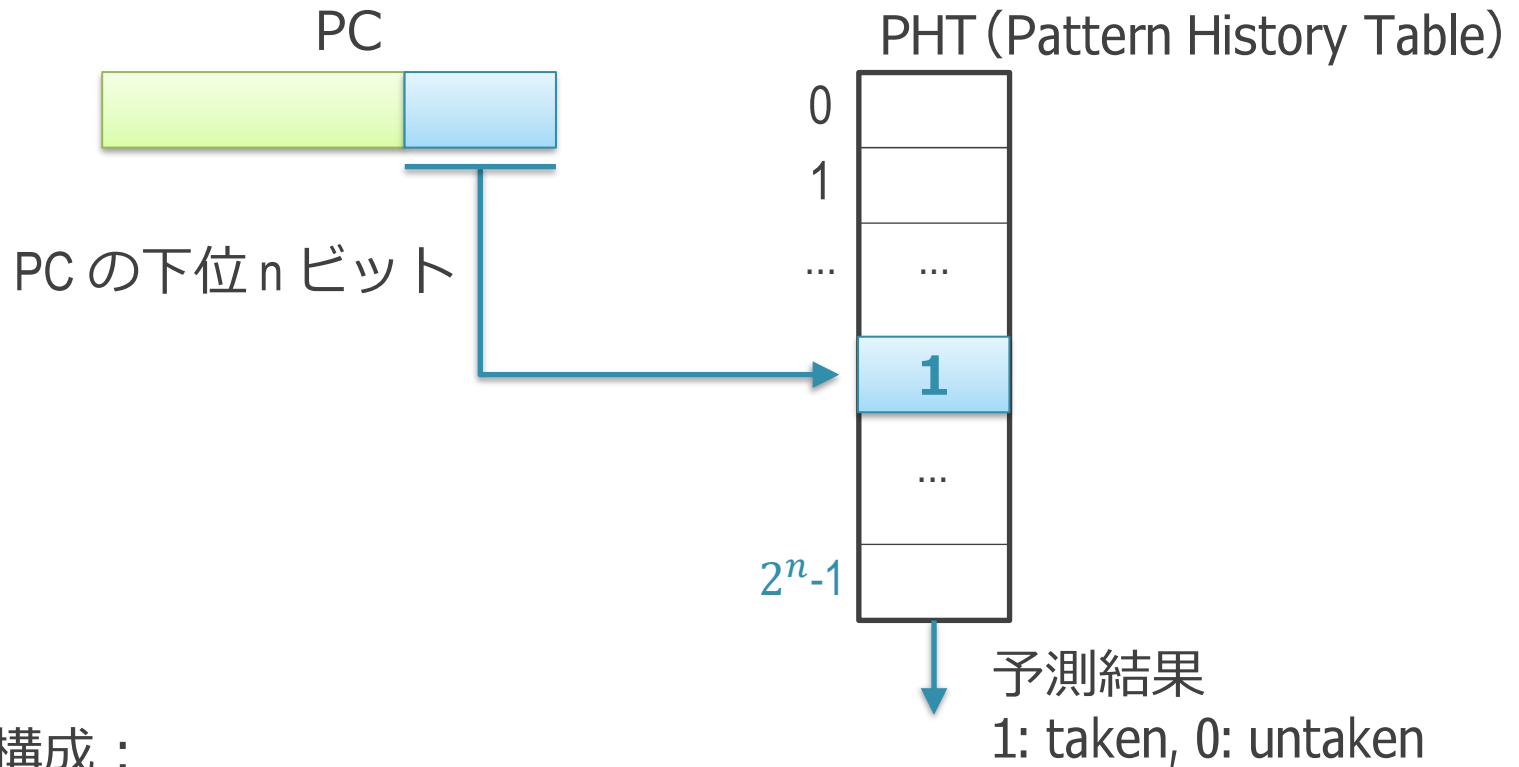
2. 履歴を用いたもの

1. ローカル履歴予測器
2. グローバル履歴予測器
3. より高度な予測器

■ 下に行くほど先進的

◇ それぞれ上にあるものを下敷きとしているので, 順に説明

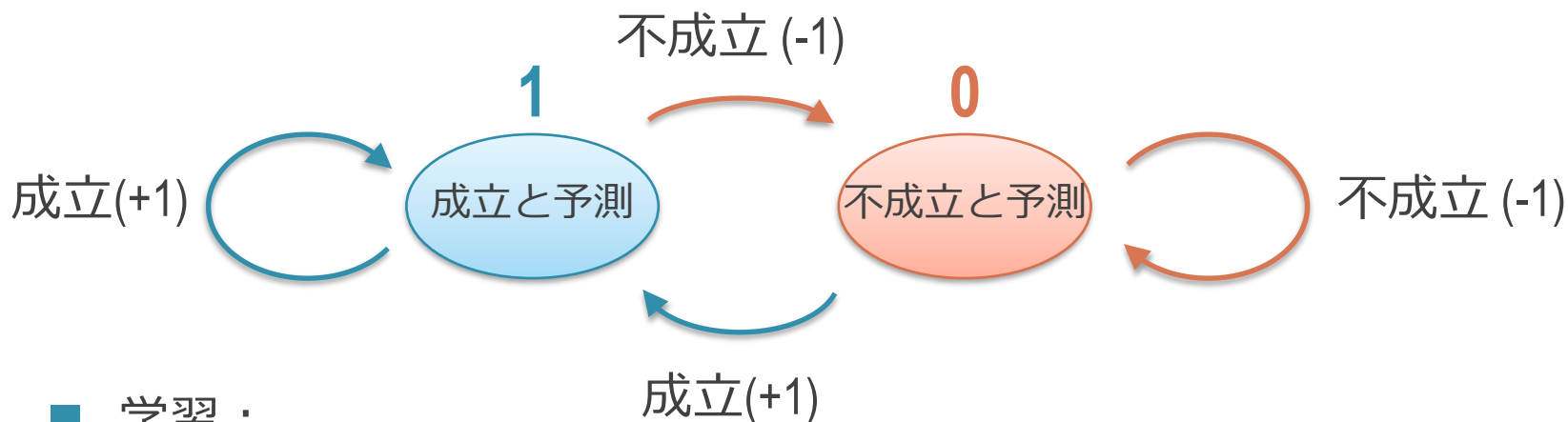
1ビット・カウンタ予測器



■ 構成 :

- ◇ PC の下位 n ビットをインデクスとしてアクセス
 - エントリ数は $2^n - 1$ エントリ
- ◇ 各エントリは 1 ビットの飽和型カウンタ

1ビットの飽和型カウンタの状態遷移図



■ 学習 :

- ◇ 分岐が成立したら +1, 不成立なら -1
- ◇ 1 を超えたら1, 0を下回ったら0

■ 予測 :

- ◇ 1 なら成立, 0 なら不成立

1ビット・カウンタ予測器の意味

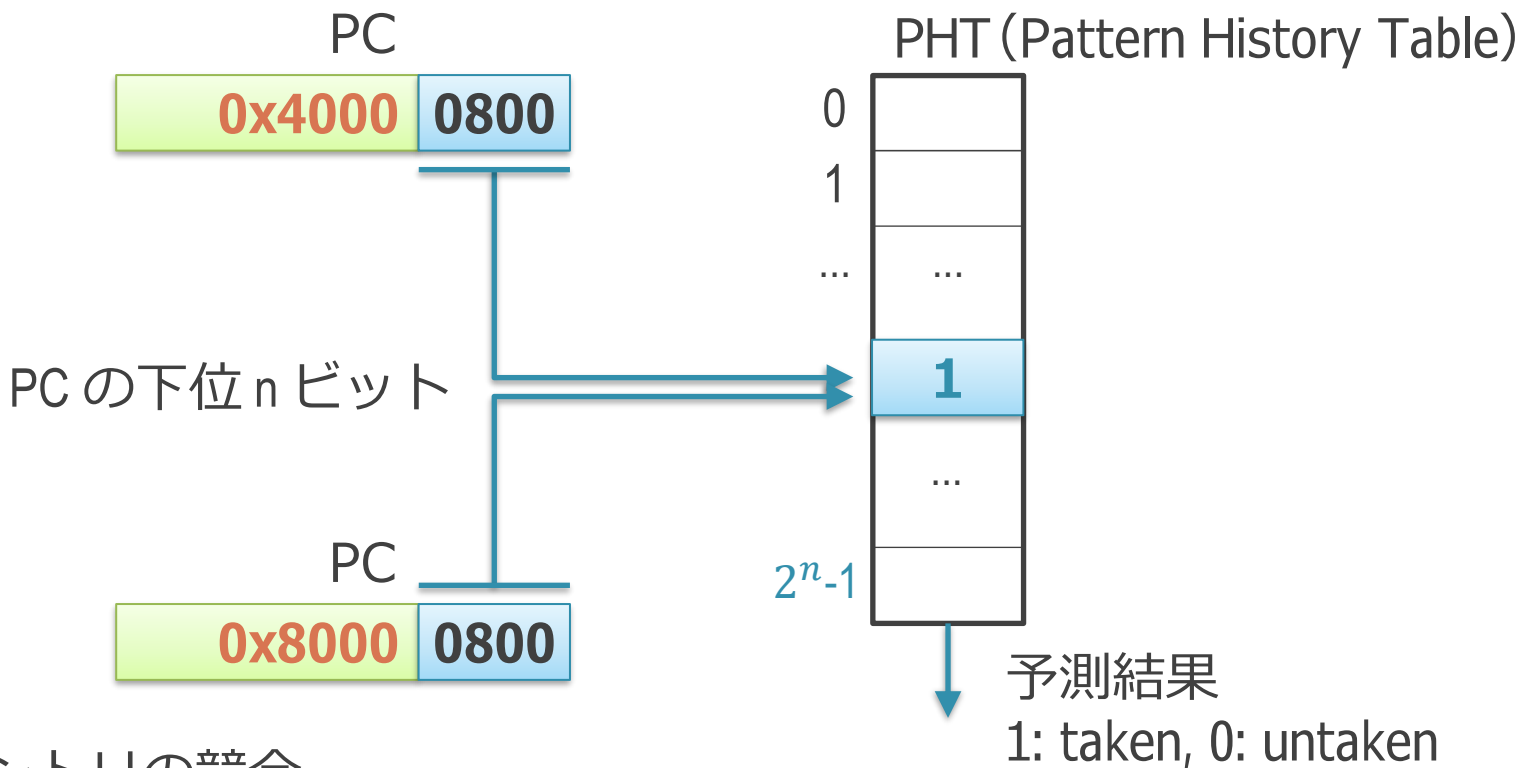
■ 動作：

- ◇ 静的分岐のPCごとに、前回の動的分岐の結果を再現
 - 分岐が成立 → カウンタが1に → 次回は成立と予測
 - 分岐が不成立 → カウンタが0に → 次回は不成立と予測

1ビット・カウンタ予測器の利点

- 静的な分岐命令の分岐方向に偏りがある場合に有効に働く
 - ◇ 例：ソースコード～行目の if は大体こっちに行く
- 静的分岐予測では対応不能な場合にも対応出来る
 - ◇ 偏りはあっても、コンパイル時には決定できない場合
 - ◇ 例：コマンドライン・オプションによる分岐
 - -hoge の時はこの分岐は常に不成立
 - -fuga の時は常に成立

エントリの競合



■ エントリの競合

- ◇ 下位ビットがかぶると、異なるアドレスの分岐が同じエントリを使ってしまう
- ◇ 偏りが逆方向だと、予測精度を落とす
- ◇ エントリ数を増やす事で解消可能

分岐方向予測

1. 静的分岐予測
2. 動的分岐予測
 1. n ビット・カウンタ
 1. 1ビット・カウンタ予測器
 2. 2ビット・カウンタ予測器
 2. 履歴を用いたもの
 1. ローカル履歴予測器
 2. グローバル履歴予測器
 3. より高度な予測器

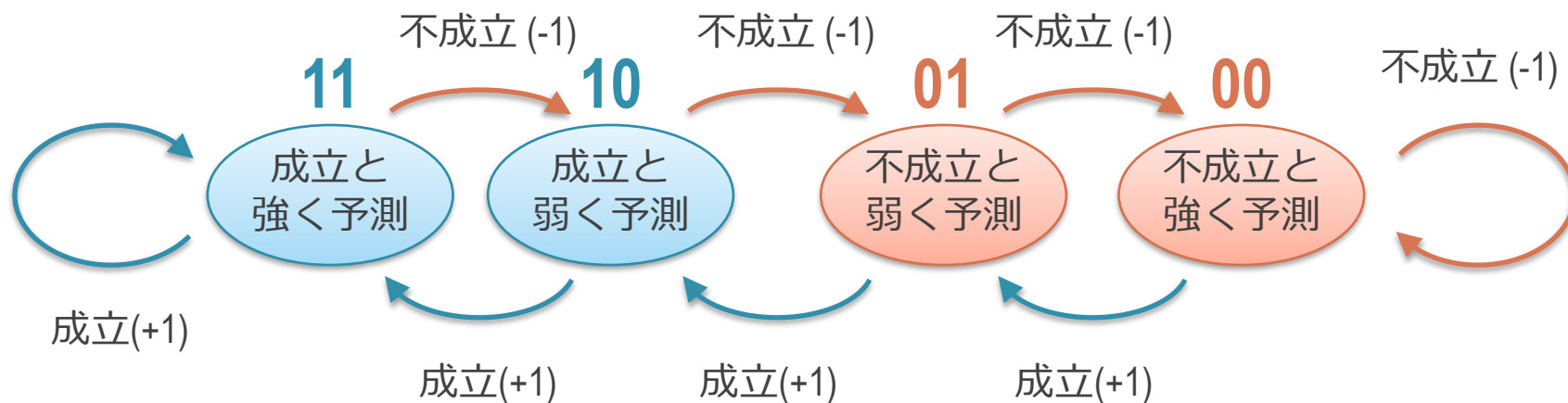
1ビット・カウンタ予測器の問題点：無駄な遷移

- 偏りがある場合に，無駄な状態遷移を起こす
 - ◇ たまに偏りと逆の方向に行った時に，戻ってくる時も必ず外す
 - ◇ 静的分岐予測で正しく偏りが拾えている場合，これは起きない
- 例： 成立：T，不成立：F とした場合，
 - ◇ カウンタ : 1 1 1 1 0 1 1 1 1 1 0 1 1 1 1
 - ◇ 予測 : T T T T F T T T T T F T T T T
 - ◇ 実際の方向 : T T T F T T T T T F T T T T T
 - ◇ （不成立は2回だが，予測は4回はずしている

2ビット・カウンタ予測器

- 1ビット・カウンタ予測器のカウンタを2ビットにする
 - ◇ 1回反対方向に行っても，次回も元の方角を予測することができる

2ビットの飽和型カウンタの状態遷移図



■ 学習 :

- ◇ 分岐が成立したら +1, 不成立なら -1
- ◇ 11(2進)を超えたら11, 0を下回ったら0

■ 予測 :

- ◇ 1なら成立, 0なら不成立

2ビット・カウンタ予測器の動作

- カウンタが 2 以上なら成立と予測, そうでなければ不成立と予測

- 例: 成立: T, 不成立: F とした場合,

◇ カウンタ : 11 11 11 10 11 11 11

(10進表記 : 3 3 3 2 3 3 3

◇ 予測 : T T T T T T T

◇ 実際の方向 : T T T F T T T

◇ 不成立は 1 回であり, 予測ミスも 1 回

予測精度とカウンタの幅

- 一般に, 1 ビット・カウンタ予測器より性能が高いと言われる
 - ◇ 実際に Intel Pentium, MIPS R10000 などの CPU に搭載
- カウンタのビット数を 3 ビット以上にすることは通常ない
 - ◇ 特に性能が向上しないことが知られている
 - ◇ 場合によっては, 精度が落ちる
 - 分岐の傾向が変わった時に, 学習結果の反映が遅れると言われている

分岐方向予測

1. 静的分岐予測
2. 動的分岐予測
 1. n ビット・カウンタ
 1. 1ビット・カウンタ予測器
 2. 2ビット・カウンタ予測器
 2. 履歴を用いたもの
 1. ローカル履歴予測器
 2. グローバル履歴予測器
 3. TAGE 予測器

n ビット・カウンタ予測器の問題

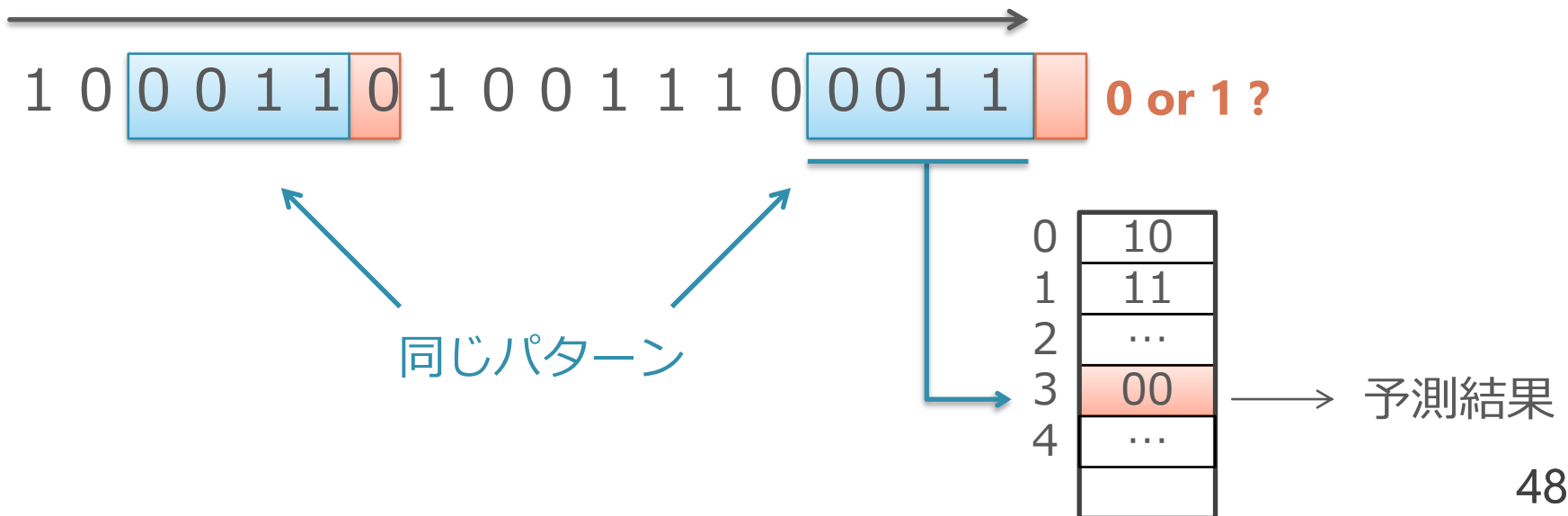
```
for (i = 0; i < 4; i++) {  
    ...  
}
```

- 動的に分岐の方向が頻繁に変わるものに対応できない
- 例：4回まわる for ループ
 - ◇ 4 回のうち 3 回は成立，1 回が不成立となる
 - ◇ TTTFTTTFTTTFTTT...
 - ◇ 2 ビット・カウンタ予測器の精度は $3/4 = 75\%$ に
- モチベーション：
 - ◇ しかし明らかに規則性があるので，なんとか予測できないか

「履歴（history）」を用いた予測器

- 基本的なアイデア：分岐方向の履歴をビット列で表す
 - ◇ 履歴のビット列をインデクスとしてテーブルにアクセス
 - テーブル自体は、2 ビットカウンタ
 - ◇ 直前の履歴でテーブルをひく
 - 直前に同じパターンがくると、同じエントリにアクセス
 - 二進数で 0011 = 表の3番目のエントリ

履歴 成立：1 不成立：0



履歴とエントリの対応

PHT (2ビット・カウンタ)

直前の履歴	0000	00
	0001	11
	0010	11

	1010	00
		...

- 直前の履歴ごとに、異なる PHT のエントリが割り当てられる
 - ◇ 0001 : カウンタが 11 なので、このパターンは次は 1
 - ◇ 1010 : カウンタが 00 なので、このパターンは次は 0

PHT アクセス時のインデクスの生成は、履歴と PC を混ぜる

- 全てのアドレスの分岐でエントリが共有されてしまう
 - ◇ たとえば直前の履歴が同じ 1010 場合、PC が 0x4000 の分岐も 0x8044 の分岐も同じエントリを使ってしまう
 - (0x4000 とかは適当で、意味はない)
- 対策の例：PC と履歴をビット結合する
 - ◇ 0x4000 と 0xa (2進で1010=0xa) を結合 → 0x4000a をインデクスに
 - ◇ 0x8044 と 0xa (2進で1010=0xa) を結合 → 0x8044a をインデクスに

履歴を用いた予測器

- この履歴の保持方法/作り方の違いで、いくつかの方法がある

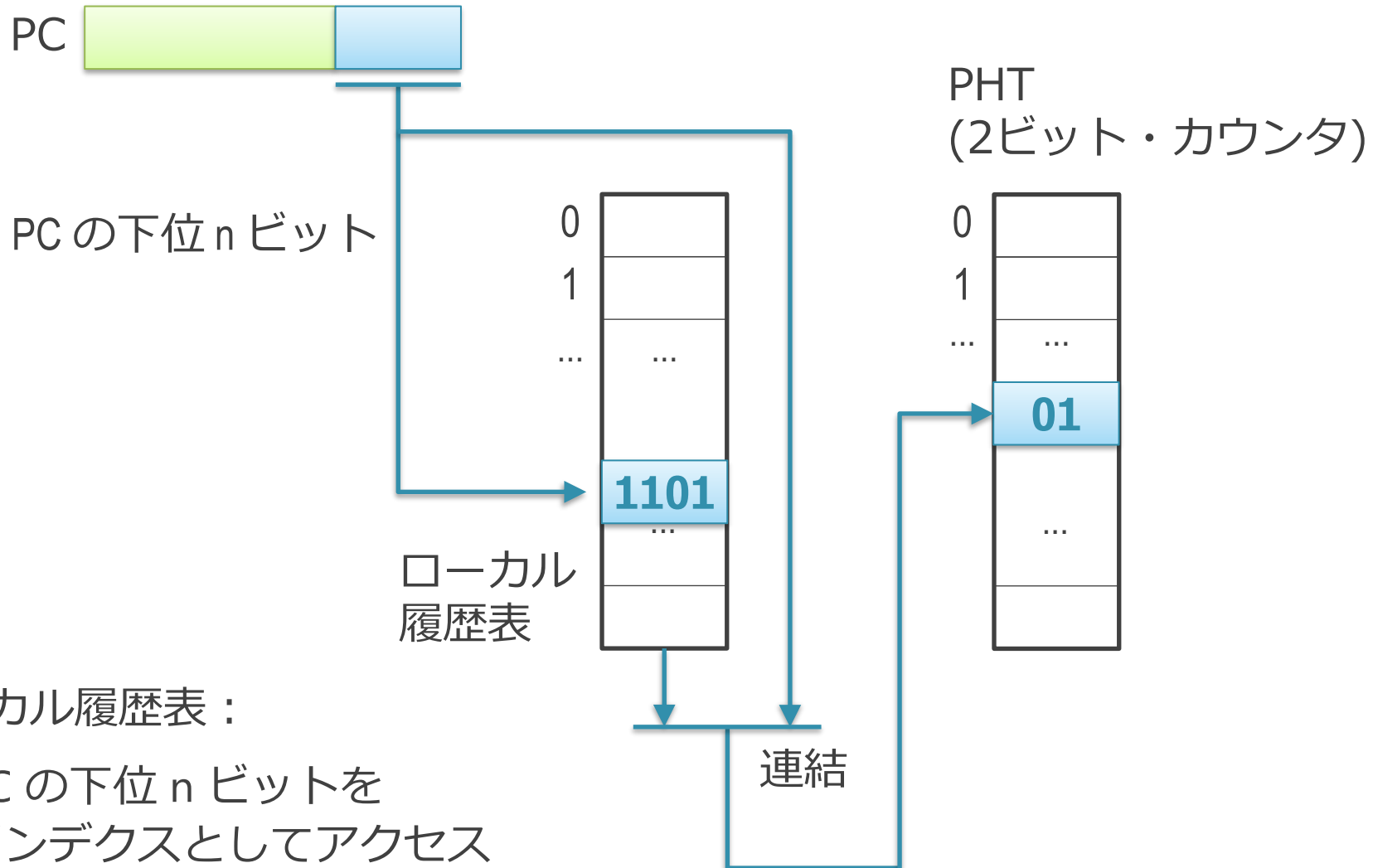
1. ローカル履歴予測器

- PC ごとに履歴を保持

2. グローバル履歴予測器

- PC を区別せず履歴を保持

ローカル履歴予測器

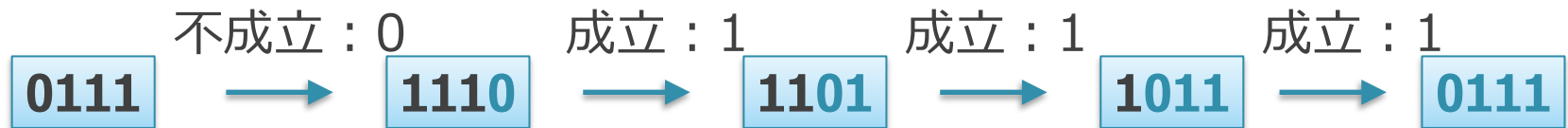


■ ローカル履歴表：

- ◇ PC の下位 n ビットをインデクスとしてアクセス
- ◇ 各エントリは複数ビットのシフト・レジスタ

ローカル履歴表

- その PC の分岐の, 過去に分岐方向のパターンを表す
- 分岐が実行されるごとに,
 - ◇ 全体を左にシフトし
 - ◇ 右側から新しい結果を挿入
- 下の図の場合は 4 回に 1 回, 不成立 0 が挿入されている
 - ◇ 4 回だけ回る for ループのパターン



ローカル履歴予測器の動作例（１）

```
for (i = 0; i < 4; i++) {  
    ...  
}
```

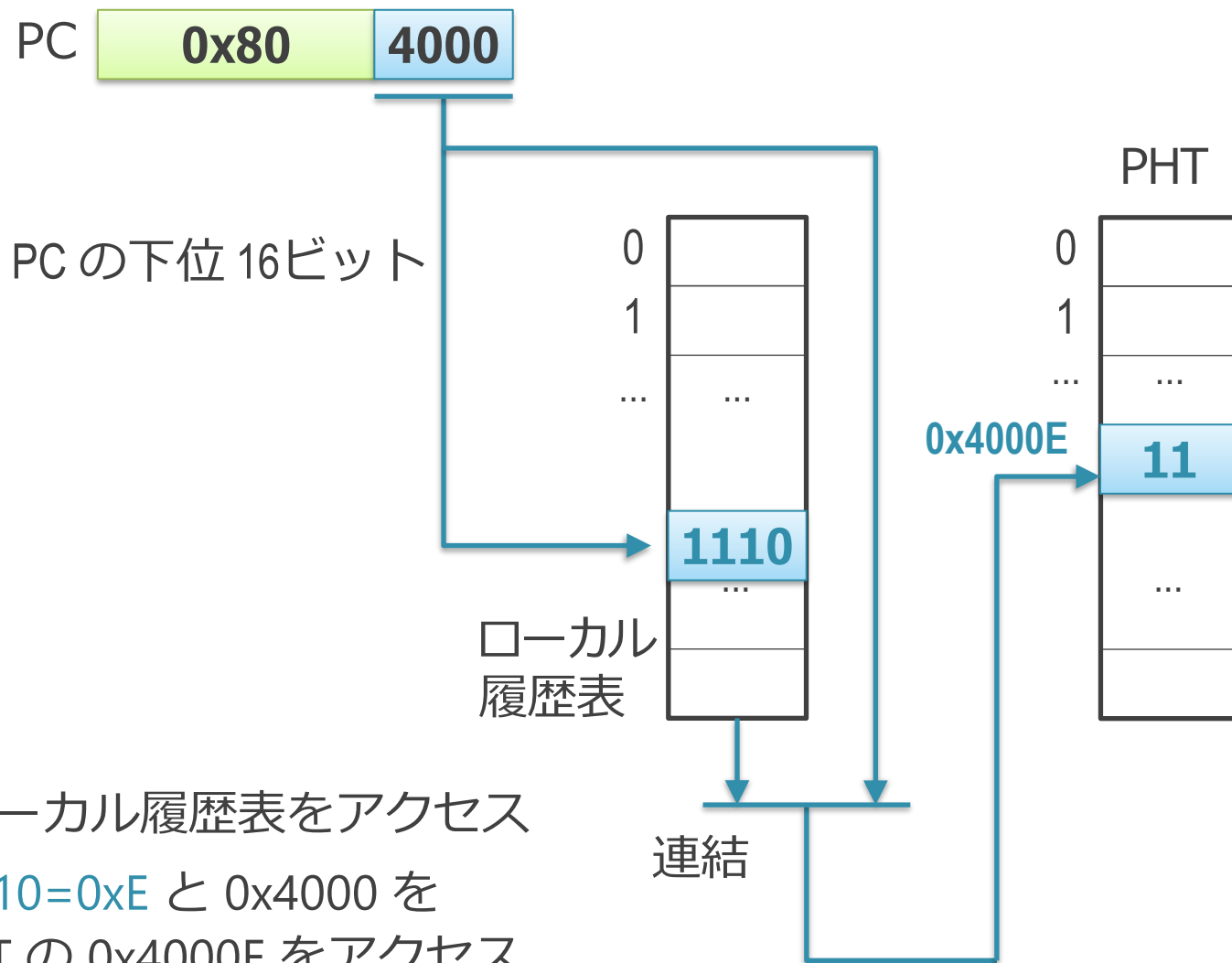
// 4回まわるループ

```
0x803ff8:      li    x1 ← 0           // x1 を 0 に初期化  
      L:  
0x803ffc:      add   x1 ← x1 + 1      // x1 をインクリメント  
0x804000:      bne   x1 != 4, L      // x1 が 4 でなければ L に飛ぶ
```

■ 例：4回まわるループ

- ◇ 4回のうち3回は成立，1回が不成立
- ◇ このループの後方分岐が 0x804000 にあったとする

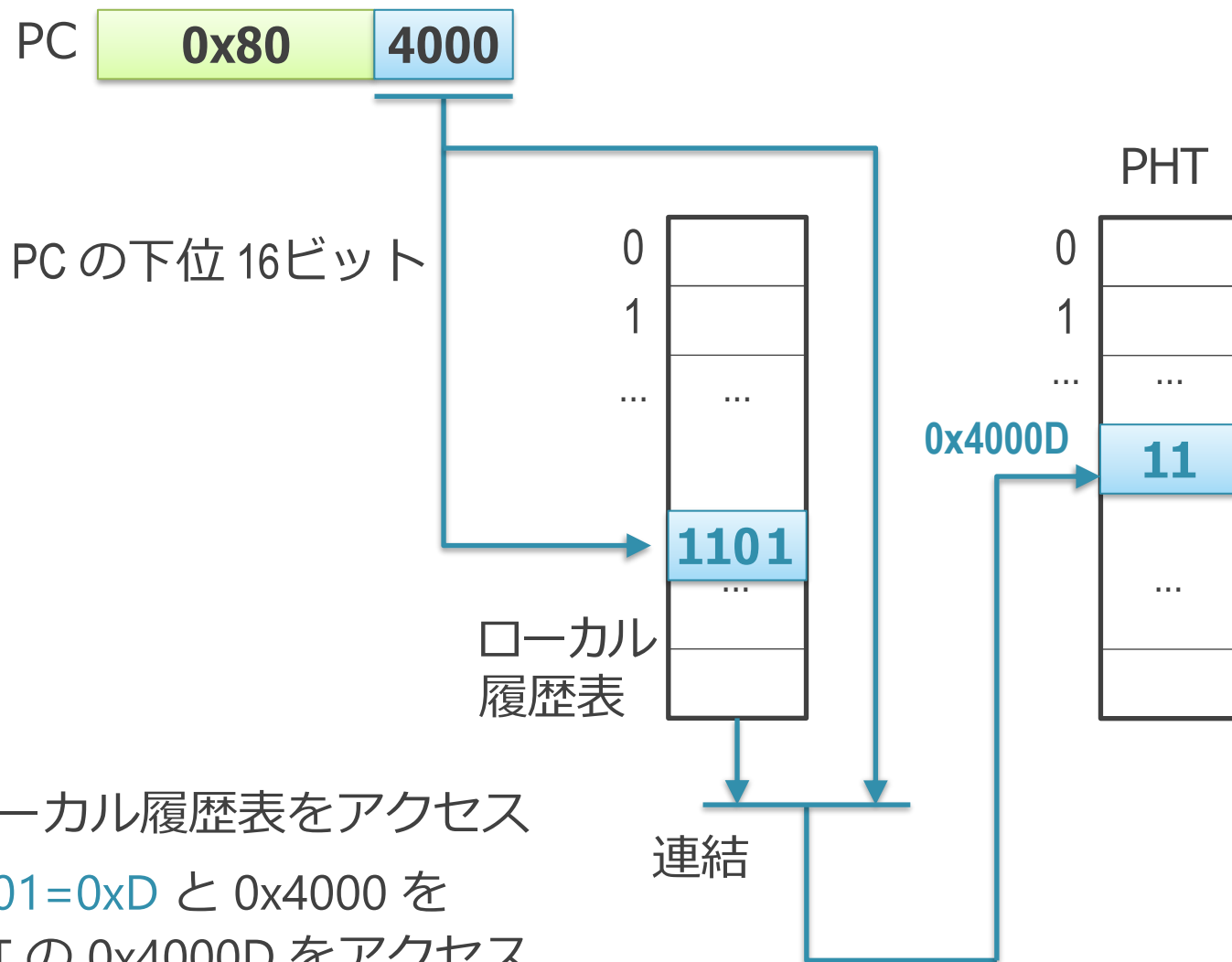
ローカル履歴予測器の動作例（２）



■ 動作：

1. 0x4000 でローカル履歴表をアクセス
2. 得られた **1110=0xE** と 0x4000 を結合し, PHT の 0x4000E をアクセス
3. カウンタの中身が 11 なので成立と予測

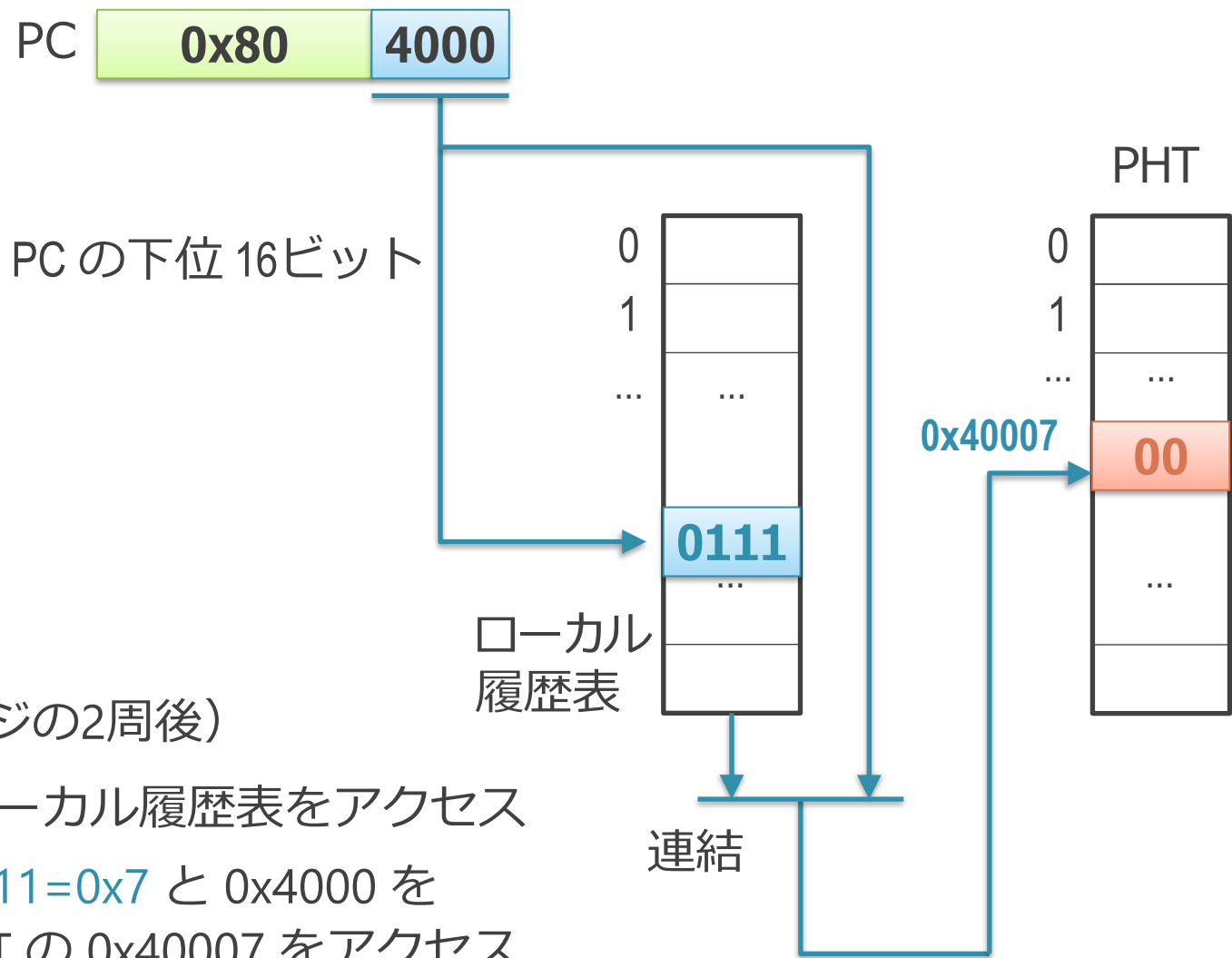
ローカル履歴予測器の動作例（3）



動作：

1. 0x4000 でローカル履歴表をアクセス
2. 得られた 1101=0xD と 0x4000 を結合し, PHT の 0x4000D をアクセス
3. カウンタの中身が 11 なので成立と予測

ローカル履歴予測器の動作例（3）



■ 動作：（前ページの2周後）

1. 0x4000 でローカル履歴表をアクセス
2. 得られた **0111=0x7** と 0x4000 を結合し, PHT の 0x40007 をアクセス
3. カウンタの中身が 00 なので不成立と予測

ローカル履歴予測器のメリット

- 特定の PC の分岐方向にパターンがある場合, 有効に働く
- たとえば,
 - ◇ 成立と不成立を交互に繰り返す
 - ◇ 短い for ループ

履歴を用いた予測器

- この履歴の保持方法/作り方の違いで、いくつかの方法がある

1. ローカル履歴予測器

- PC ごとに履歴を保持

2. グローバル履歴予測器

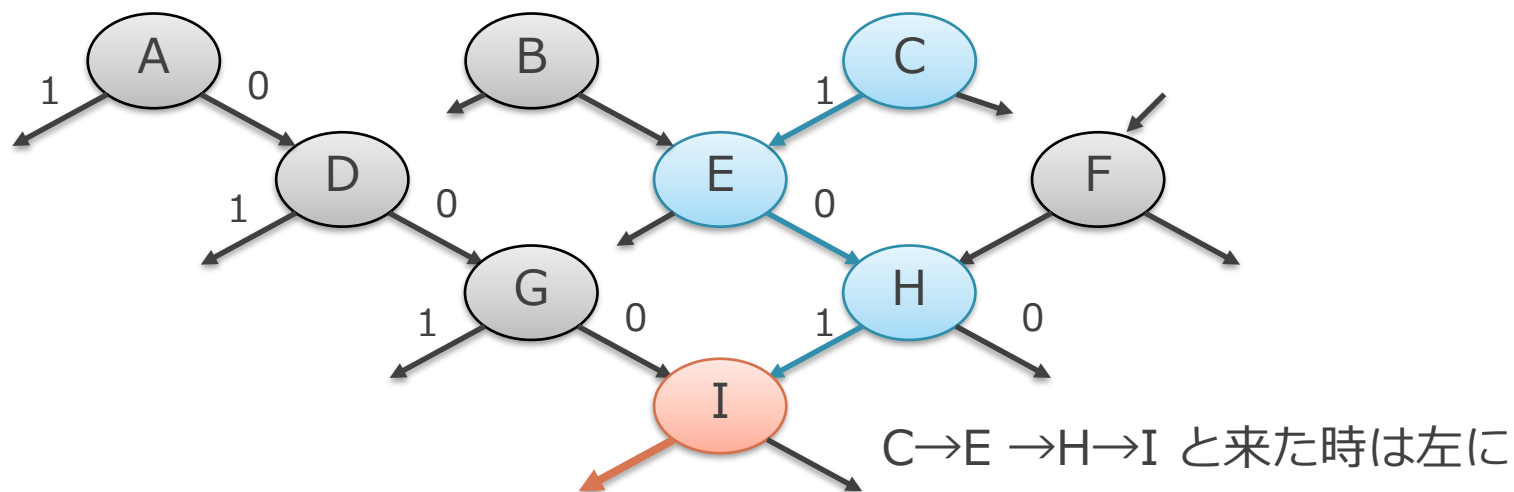
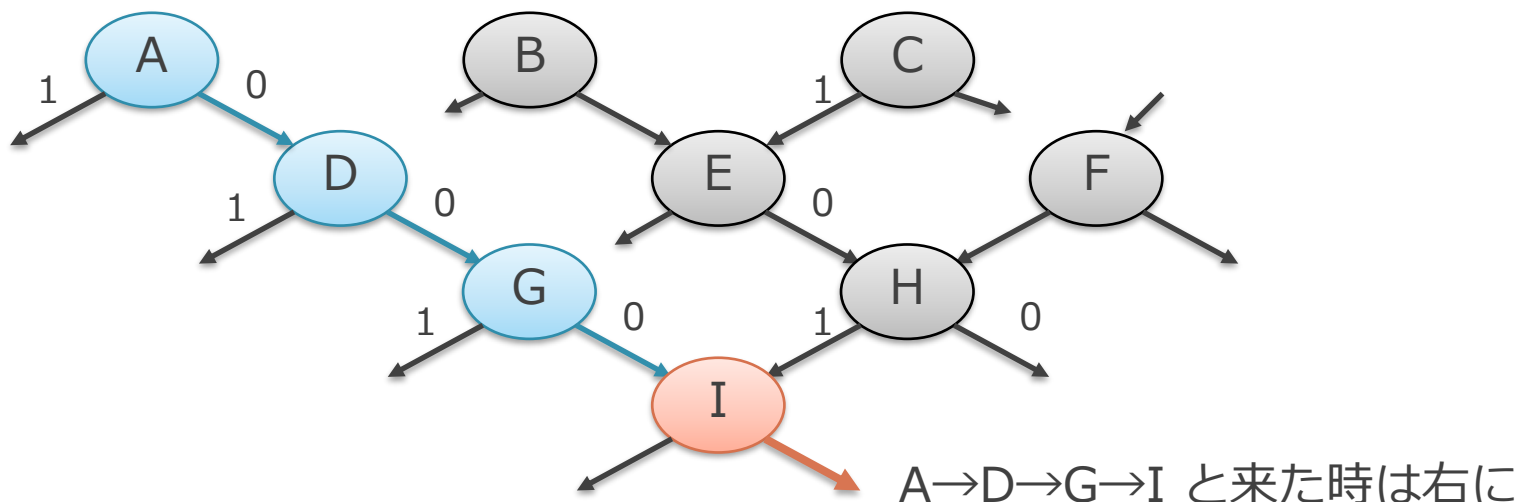
- PC を区別せず履歴を保持

グローバル履歴予測器のモチベーション

```
if (option == 1) {  
    ...  
}  
  
...  
if (option != 1) { // 上の if と必ず反対になる  
    ...  
}
```

- 複数の分岐間に相関があることが結構多い
 - ◇ ある分岐が成立したら、その後ろにある別の分岐は不成立... など
- こう言う相関を拾いたい

グローバル履歴予測器のイメージ



- 「こういうパスを通ってきたときは、成立 or 不成立になりやすい」をうまく予測したい

ローカル履歴予測器とグローバル履歴予測器

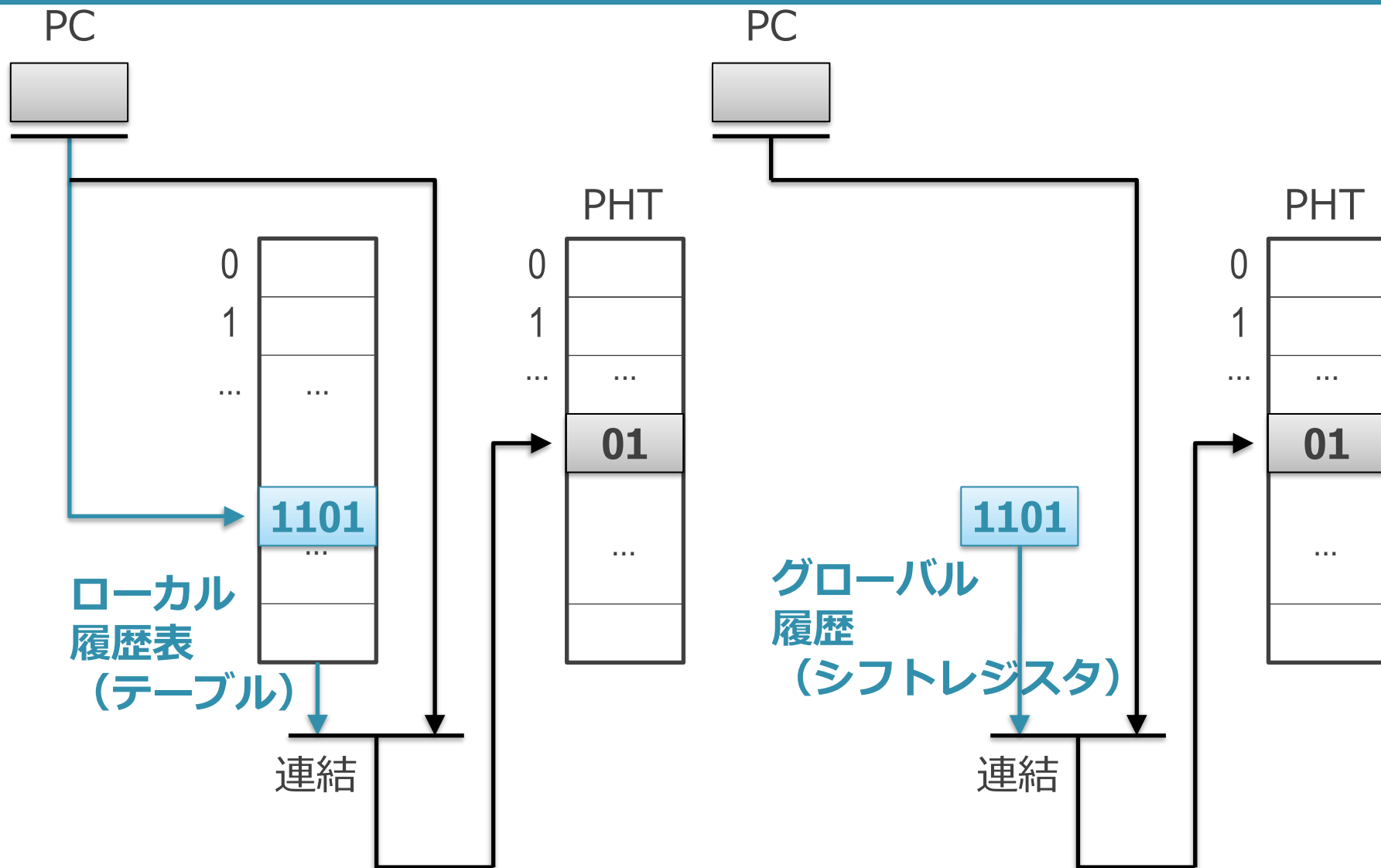
■ ローカル履歴予測器

- ◇ 各静的分岐のアドレスごと（ローカル）に，分岐方向の履歴を保持

■ グローバル履歴予測器

- ◇ 各静的分岐を区別せず（グローバル）に，分岐方向の履歴を保持
- ◇ 直前に実行した分岐の方向をどんどん保存していく
- ◇ あとはローカル履歴予測器と同じ

ローカル履歴予測器とグローバル履歴予測器



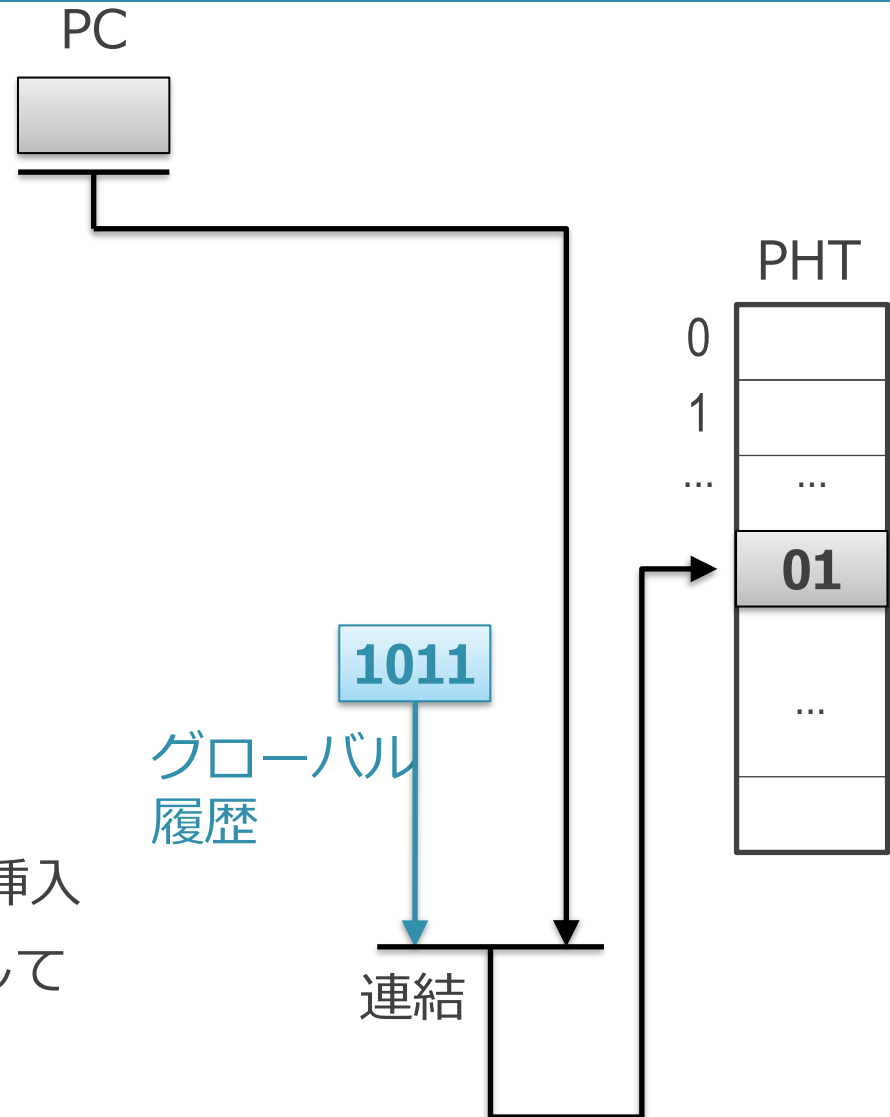
- 1 エントリのローカル履歴表を全員で共有しているイメージ

グローバル履歴予測器

```
if (option == 1) {} // 1
if (option != 1) {} // 0
if (...) {} // 1
if (...) {} // 1
if (...) {} // ???
```

■ 動作：

- ◇ 分岐命令が実行されるたびに、分岐方向をグローバル履歴に挿入
- ◇ グローバル履歴と PC を連結して PHT にアクセスし、予測



グローバル予測器の利点

■ 利点：

1. 異なる静的分岐の間にある相関を拾える
 - 例：～行目の if と ～ 行目の if は常に同じ方向
 - ローカル履歴予測器では拾えない
2. ローカル履歴に対応する相関も拾える
 - 直前に実行された動的分岐の方向を区別なく使用
 - なのでループのような同じアドレスの分岐も内包している

履歴長と予測精度

- 一般に、グローバル履歴長を長くするほど精度はあがる
 - ◇ より遠い分岐の相関が拾えるようになる
 - ◇ 履歴長が1000以上のところに相関がある場合もある
 - ある関数で分岐した後、色んな所にいったてまた来るとか
- 実際にはハードウェア（特に PHT の大きさ）の制約がある
 - ◇ 1 サイクル内にアクセス可能な大きさに限られる
 - 最大数K エントリ程度
 - （最近はもうちょっと大きいかも）
 - ◇ 履歴長に対し、2 の累乗のオーダーでエントリ数が増加

g-share 予測器

■ グローバル履歴予測器の一種

- ◇ より長い履歴長でも, エントリ数が大きくならないようにしたもの

■ モチベーション: グローバル履歴のパターン自体に偏りがある

- ◇ たとえば履歴長が16ビットだとして, 2の16乗の全てのパターンは通常現れない

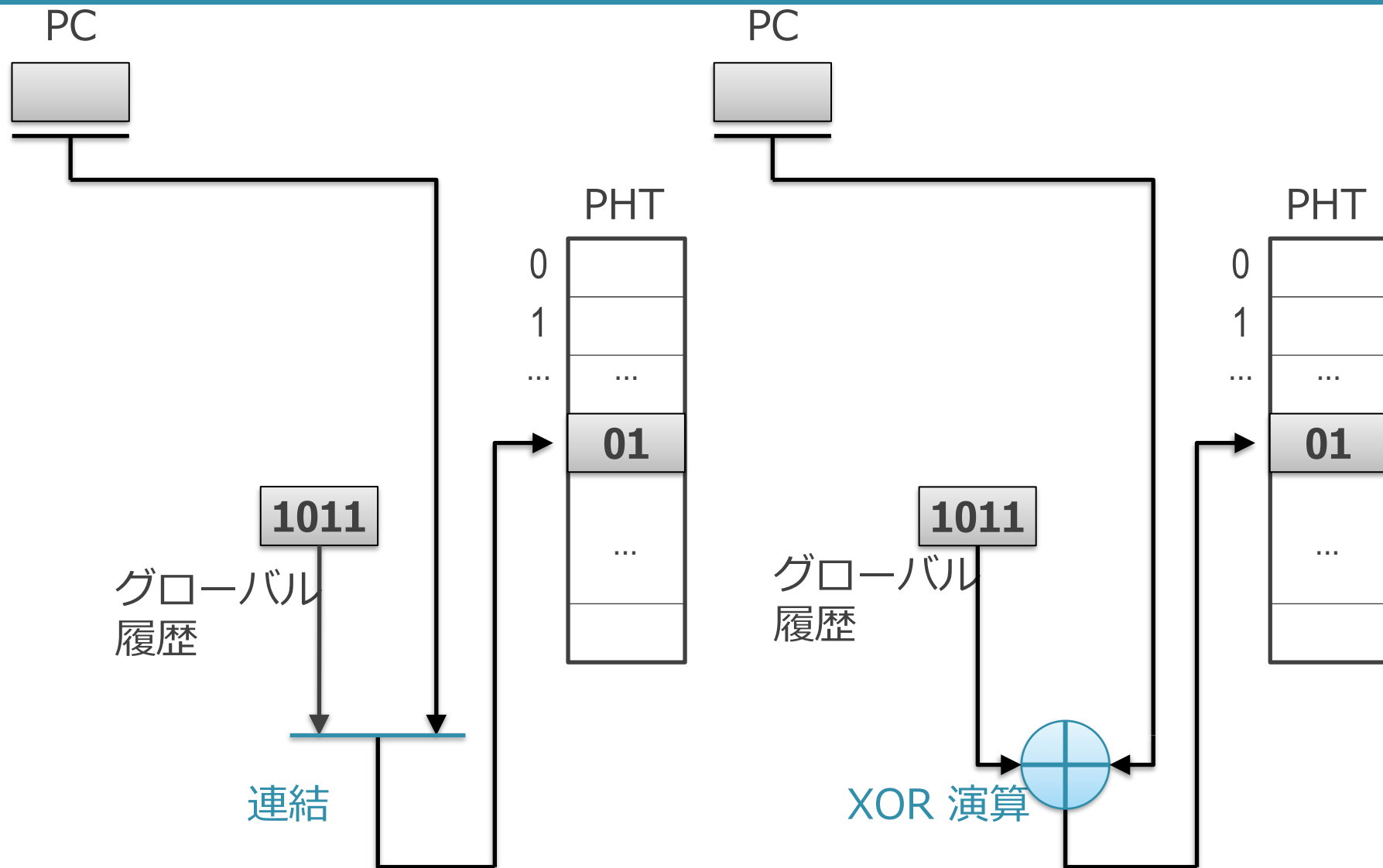
- ◇ 単純に PC と連結すると, 使われないエントリの方が圧倒的に多い

■ ビット連結ではなく, XOR 演算により結合

- ◇ ビット連結: PC 下位16ビット + 履歴16ビット → 32ビット

- ◇ XOR 演算: PC 下位16ビット + 履歴16ビット → 16ビット

g-share 予測器



- ビットを単純に連結するかわりに, XOR 演算して結合

なぜ XOR 演算なのか？

AND

<i>a</i>	<i>b</i>	<i>z</i>
0	0	0
0	1	0
1	0	0
1	1	1

OR

<i>a</i>	<i>b</i>	<i>z</i>
0	0	0
0	1	1
1	0	1
1	1	1

XOR

<i>a</i>	<i>b</i>	<i>z</i>
0	0	0
0	1	1
1	0	1
1	1	0

■ 要求：

- ◇ 軽量の演算であること → 論理演算が良い
- ◇ 2つの値がよく混じってくれること
(0と1が均等に現れること)

■ 要求を満たす論理演算は、XOR か XNOR しかない

- ◇ AND や OR では、結果が0か1に偏る
- ◇ それ以外は、*a* か *b* そのものか、それらの反転になってしまう₆₉

分岐方向予測

1. 静的分岐予測
2. 動的分岐予測
 1. n ビット・カウンタ
 1. 1ビット・カウンタ予測器
 2. 2ビット・カウンタ予測器
 2. 履歴を用いたもの
 1. ローカル履歴予測器
 2. グローバル履歴予測器
 3. より高度な予測器

より高度な予測器

1. ローカル・グローバルのハイブリッド予測器
2. パーセプトロン予測器
3. TAGE 予測器

- パーセプトロンと TAGE は基本的にはグローバル予測器が下敷き
 - ◇ XOR 演算は要素としてよく出てくる

予測器の精度

- 左上が g-share, 右下が TAGE の最新型

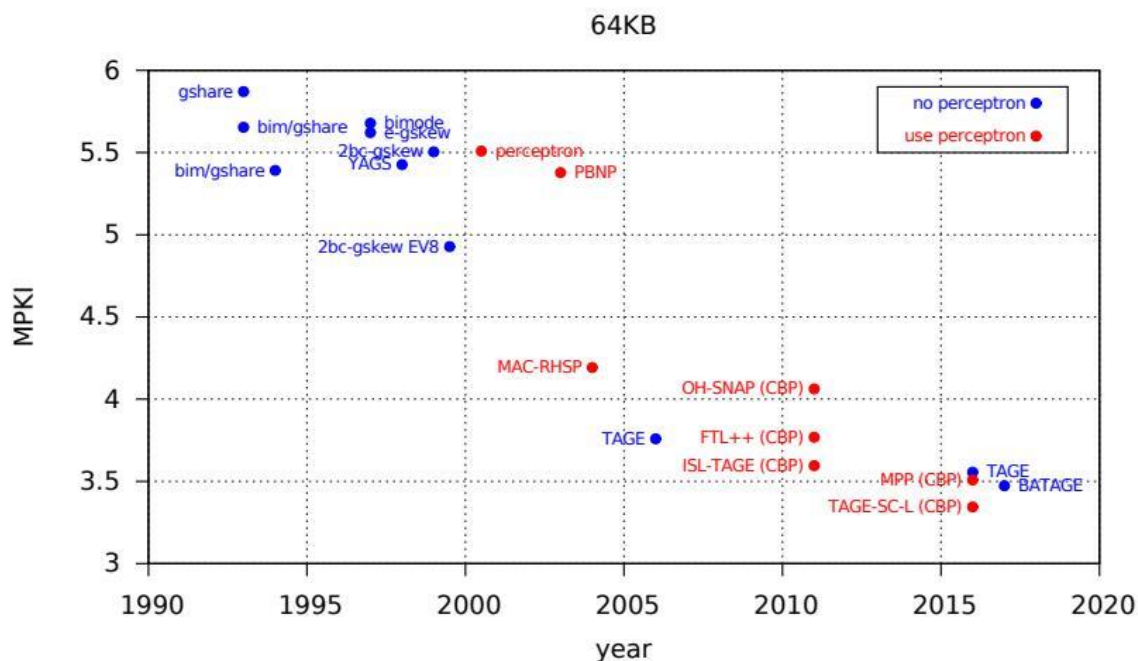


Figure 1: Average number of mispredictions per 1000 instructions (MPKI) for various conditional branch predictors on the CBP 2016 traces for 8KB, 32KB and 64KB storage budgets (see Appendix A).

ローカル・グローバル・ハイブリッド予測器

- ローカル予測器とグローバル予測器のそれぞれが得意な分岐がある
 - ◇ 基本的にはグローバルの方が強い
 - グローバル予測機はローカルなパターンもうまく予測できる
 - ◇ ローカルが得意な分岐の例：間隔が長い場合
 - ある関数内の if 文は成立と不成立を交互に繰り返す
 - その関数はかなり時間をあけて呼ばれる
 - グローバル予測器では相当長い履歴が必要
- アプローチ
 - ◇ ローカル予測器とグローバル予測器を両方積んで、使い分ける

ローカル・グローバル・ハイブリッド予測器

■ 要素

1. ローカル予測器
2. グローバル予測器
3. セレクタ

- PC をインデクスとしてアクセスされるカウンタのテーブル

■ 学習の動作

- ◇ 1. ローカル予測器と 2. グローバル予測器で並列に予測

- ◇ セレクタの更新

- 1. が当たってたらセレクタの対応エントリをデクリメント
- 2. が当たってたらセレクタの対応エントリをインクリメント

■ 予測時の動作

- ◇ セレクタの対応エントリと閾値を比較してどちらを使うか決定

ローカル・グローバル・ハイブリッド予測器

- 問題点：容量効率が悪い
 - ◇ ローカルとグローバルが二重に存在
 - ◇ セレクタが追加される
- それほど予測精度は改善しない
 - ◇ しかし機構が割と単純なので結構いろんな CPU に乗っていた

パーセプトロン予測器

■ モチベーション：

- ◇ グローバル履歴のうち、本当に相関があるのは一部のビットのみ
- ◇ ある特定の if 文同士で相関がある場合、間の履歴は無駄

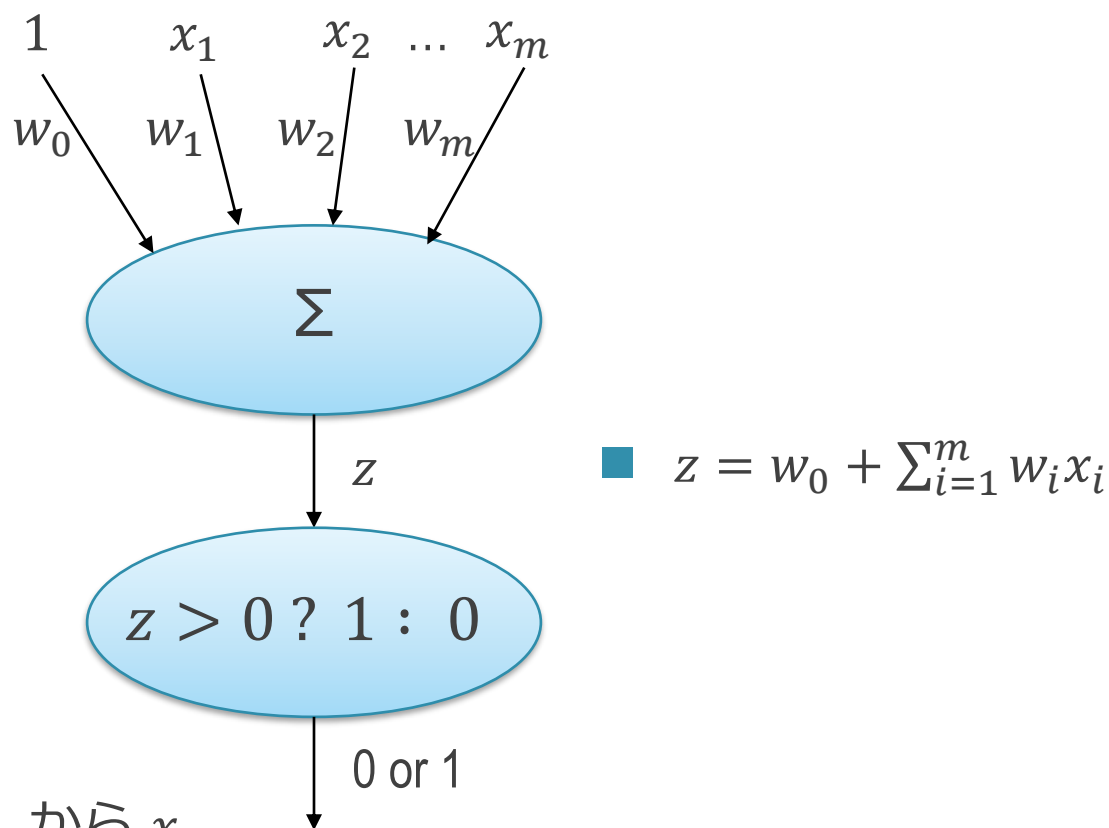
■ パーセプトロン予測器：

- ◇ 1 層パーセプトロンを使って予測
- ◇ 高速に予測を行う必要があるため、ややこしいことは無理
 - 1 層限定で、重みは 8 ビット固定小数点とか

■ 塩谷が学生の頃は半分ネタだと思われていたが、今は実用化されている

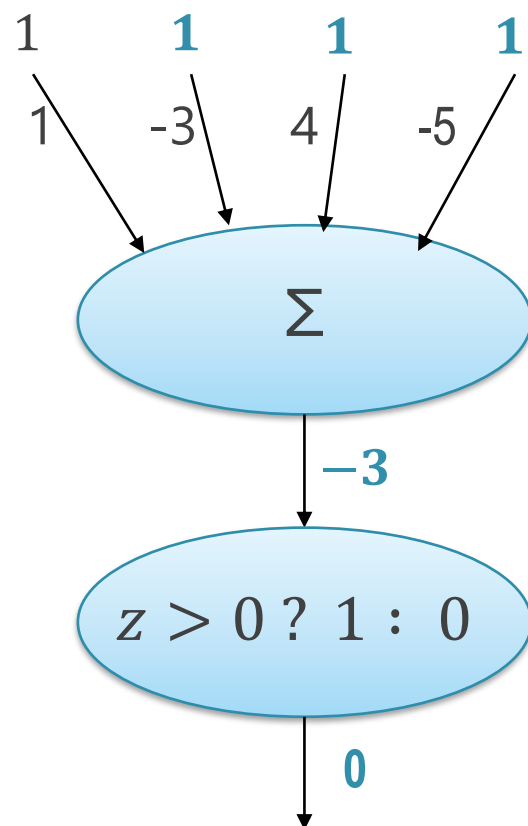
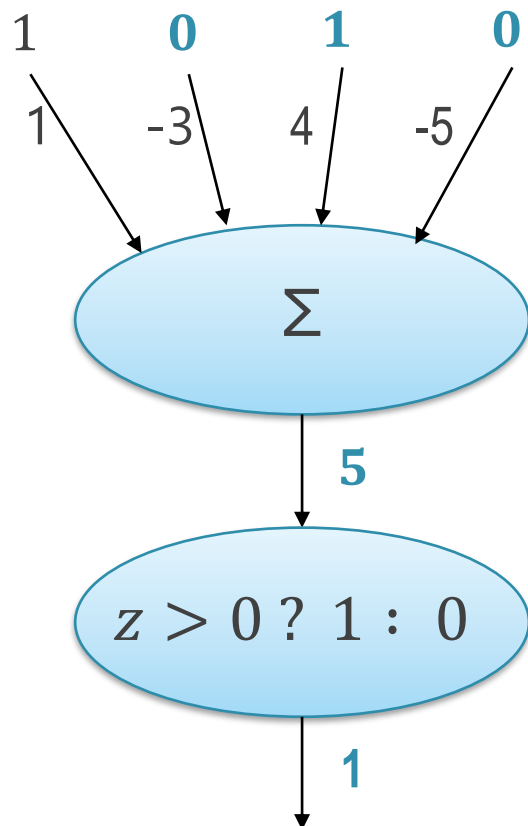
- ◇ AMD Zen はこれを使っている

パーセプトロン



- ◇ 入力 (0 or 1) : x_1 から x_m
- ◇ 重み (アナログ値) : w_0 から w_m (w_0 はバイアス)
- ◇ 学習 :
 - z が 1 の時, x_i が 1 だったなら w_i を大きく
0 だったなら w_i を小さくする

「010 なら 1」を学習させた場合

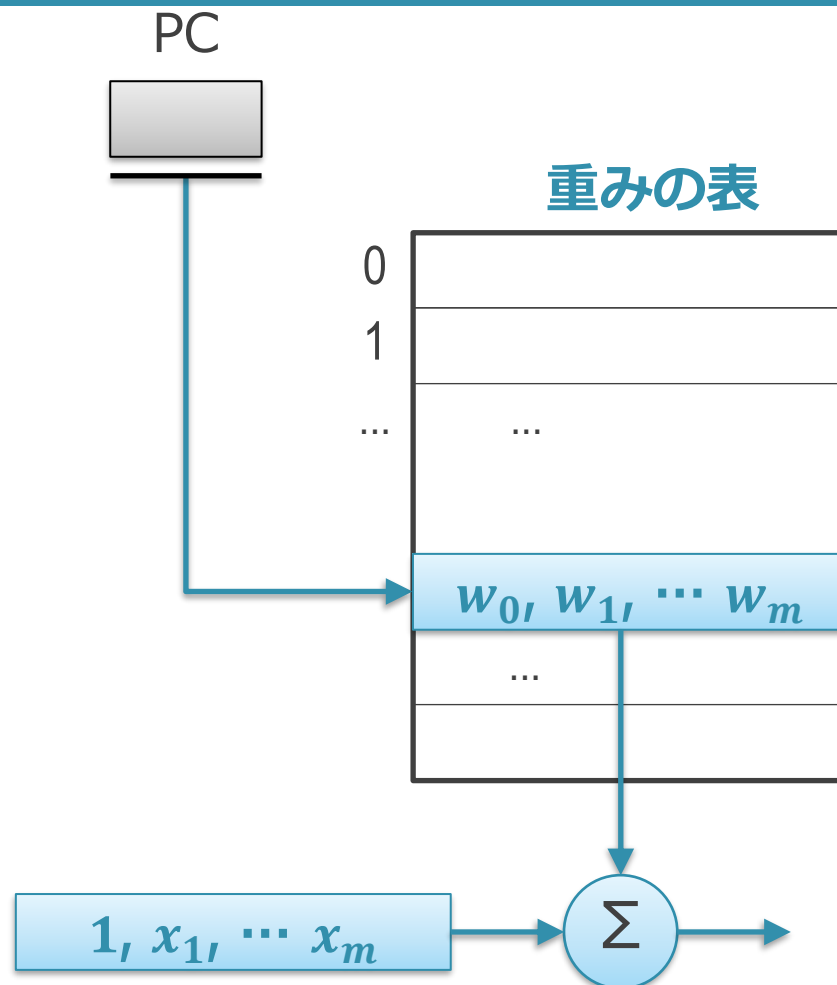


- 010 以外のパターンが来た場合は, z は負の方向に
- 左端はバイアス
 - ◇ $z > 0 ?$ は, $z < w_0 ?$ に等価

パーセプトロン予測器

- 結構バリエーションがある
 - 1. グローバル履歴をそのまま重みにかけるもの
 - 1. 最初に提案されたやつ
 - 2. Piece wise perceptron
 - 2. g-share 的なテーブルから重みを出すもの
 - 1. Hash perceptron
 - 2. O-GHEL

最初に提案されたもの

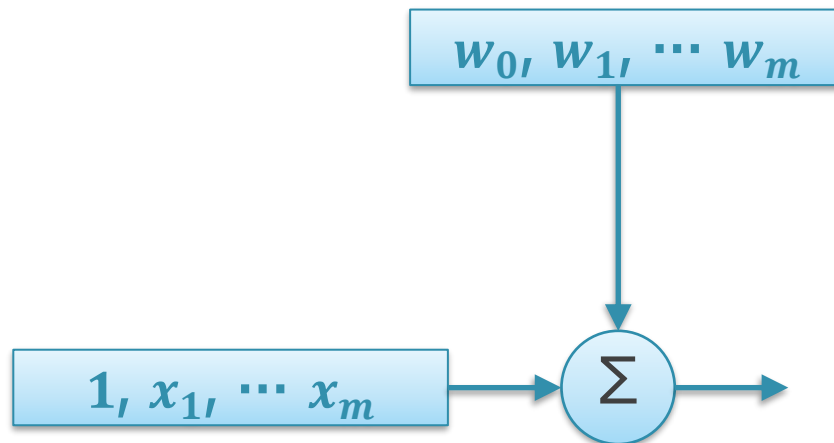


◇ PCの一部をインデクスとして重み表をひく

□ 重みのセットがとれる

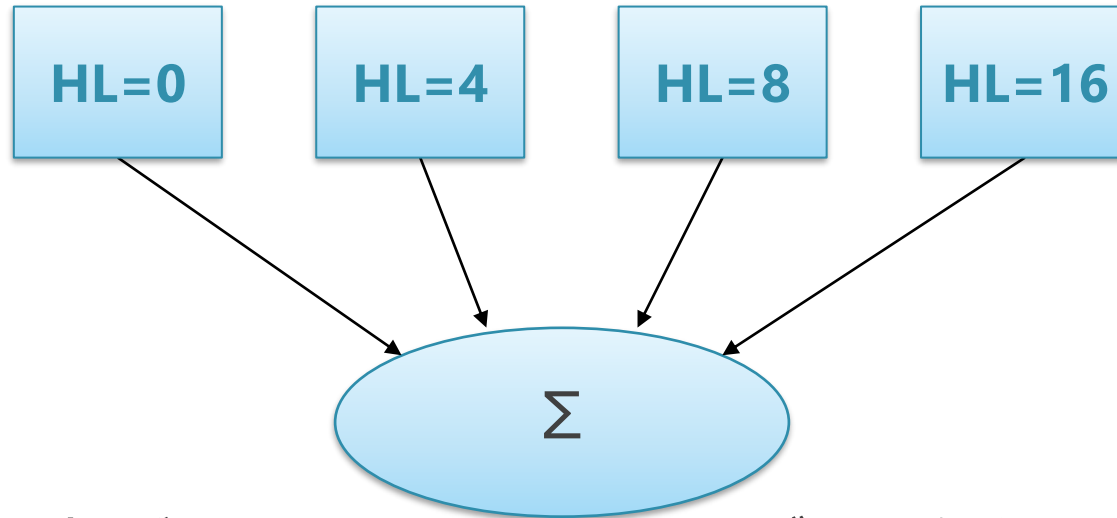
◇ あとはグローバル履歴を x_i としてパーセプトロンの処理を行う 80

Piece wise perceptron



- ◇ 重み表がなく, 重みセットが1つだけある
- ◇ 2ビット・カウンタ予測器や g-share 予測器と組み合わせる
 - z が大きい or 小さい時はパーセプトロンの言うことを使う

Hash perceptron (概要)



- ◇ 履歴長 (HL) が異なる g-share 様のテーブルを複数用意
 - 2 ビットカウンタではなく, 重み (8 ビットなど) にする
 - 全員の出力を加算してパーセプトロンの処理
- ◇ 正解を言うテーブルの重みが増えるように学習
 - 適切な履歴長の g-share が選択されるようになる
 - HL=0 が正解を言う (その PC はいつも成立とか) なら, その重みを強く
 - HL=4 以降に学習しなくて良くなる

■ TAGE 予測器

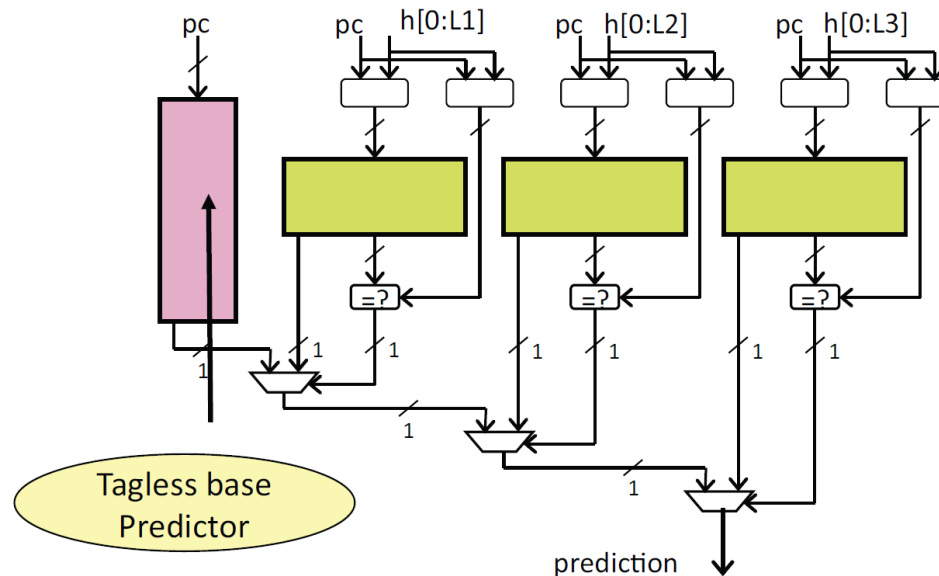
- ◇ A. Seznec and P. Michaud. A case for (partially)-tagged geometric history length predictors, Journal of Instruction Level Parallelism (<http://www.jilp.org/vol8>), 2006

■ 現在最も予測精度が高いと言われている予測器

- ◇ 最近のインテルの CPU に乗っている... らしい
- ◇ E. Rohou, B. Narasimha Swamy, A. Seznec
Branch prediction and the performance of interpreters — Don't trust folklore,
2015 IEEE/ACM International Symposium on Code Generation and Optimization
(CGO)

TAGE 予測器

図は A. Seznec and P. Michaud. A case for (partially)-tagged geometric history length predictors より

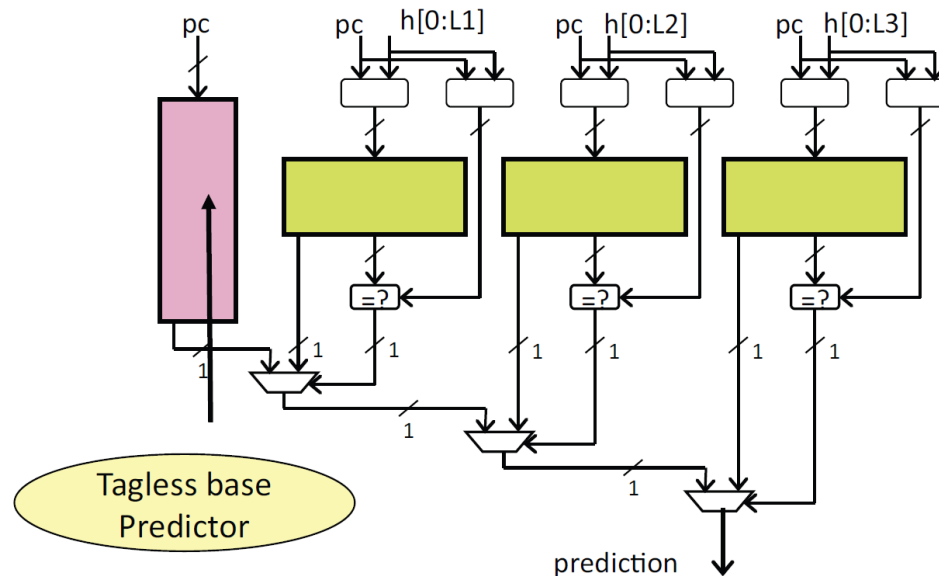


■ トーナメント式の構造：

- ◇ 左端： 単純な 2 ビット・カウンタ
- ◇ それ以外：
 - グローバル履歴+PC でアクセスし, BTB の時のように ヒット/ミス判定を行う
 - ヒットした場合, そのテーブルの n ビット・カウンタの内容で予測

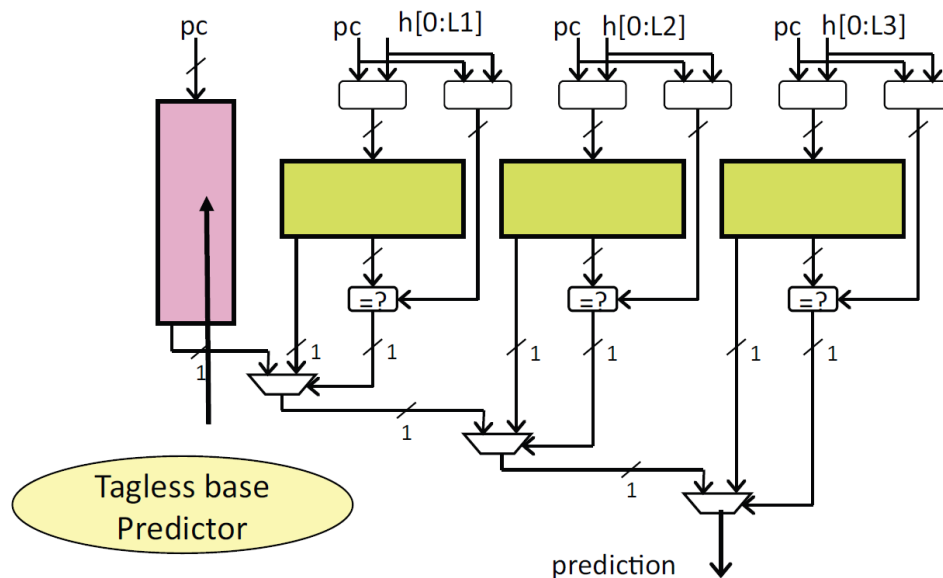
TAGE 予測器

図は A. Seznec and P. Michaud. A case for (partially)-tagged geometric history length predictors より



- パターン長が長いテーブルの結果を優先して使う
 - ◇ 右側でヒットするほど，その結果を優先する
 - ◇ 右に行くほど指数的に履歴長が長くなっている
- ヒット/ミスの判定ができるため，トーナメント状に優先度が決定できる
 - ◇ ただの PHT だと，だれの結果を使えばいいかわからない

TAGE 予測器のメリット（１）



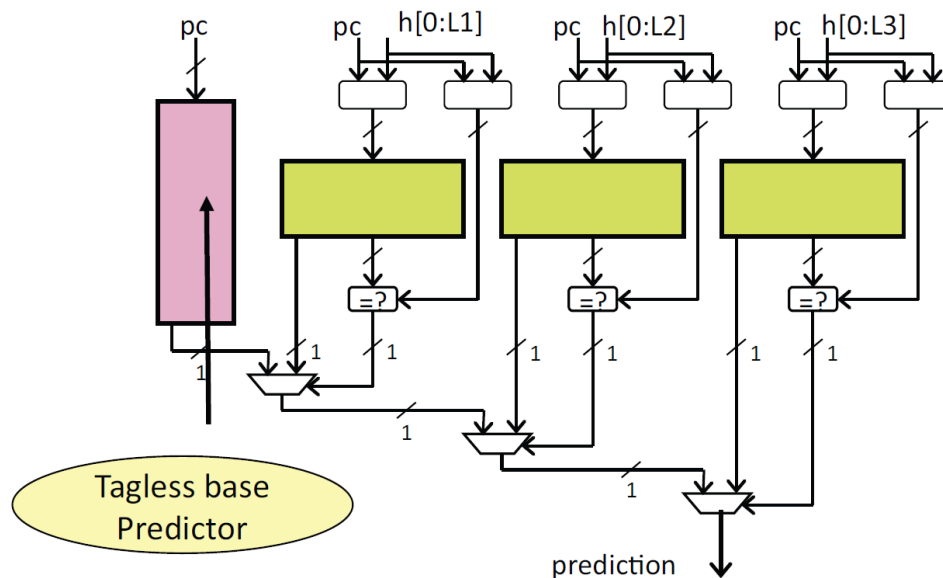
■ パターン長ごとに、最適なテーブルに学習できる

◇ たとえば 101 と 11111 の2パターンがあった場合

□ 固定長(5) : 00101, 01101, 10101, 11101, 11111

□ TAGE(3+5) : 101, 11111

TAGE 予測器のメリット（２）



■ 学習が早い

- ◇ 大ざっぱに成立/不成立に傾向があるような場合,
- ◇ 難しいパターンを学習する前に, とりあえず左端で大ざっぱな予測ができる

TAGE 予測器 と パーセプトロン予測器

- それぞれ、今一番予測精度が高いと思われる
 - ◇ インテル, AMD の CPU で採用
- TAGE の方が、基本的には良い精度を示す
 - ◇ しかし、かなりのチューニングがいる
 - 特に各テーブルのサイズのバランスが難しい
 - ◇ ちょうどテーブルに履歴長が収まらず、はずみでガクッと精度が落ちたりする
- パーセプトロン予測器は、結構適当でも大丈夫だし安定している
 - ◇ 企業の人的には、そこがありがたいらしい

最近の分岐予測器の研究

- TAGE をベースに，補助予測器（ループ専用とか）をつけたものが多い
 - ◇ L-TAGE [Seznec07]
 - ◇ ISL-TAGE [Seznec11]
 - ◇ Wormhole [Albericio14]
- Wormhole の性能：
 - ◇ 平均1000命令に1回，多いと4回ぐらい予測ミス
 - ◇ 依然として性能に大きな影響
 - 1回ミスると数十から100命令ぐらいのペナルティ
- 近年でもさらに発展を続けている

方向分岐予測器のまとめ

- 分岐予測器
 - ◇ 静的予測
 - ◇ 動的予測
- 原始的なものから，最近の CPU で使われているものまで紹介

出欠と感想

- 本日の講義でよくわかったところ, わからなかったところ, 質問, 感想などを書いてください (なんか一言書いてね)
 - ◇ LMS の出席を設定するので, そこにお願いします
 - ◇ パスワード : tage
- 意見や内容へのリクエストもあったら書いてください