



## תכן לוגי תרגיל רטוב #2

תאריך ההגשה נמצא באתר הקורס בלשונית "תרגילי בית".  
המתרגל האחראי על התרגיל: משה ליכטנשטיין.  
שאלותיכם במייל ([smosesli@campus](mailto:smosesli@campus.tau.ac.il) ולא @cs), (כולל עניינים מנהלתיים) יופנו רק אליו.  
שאלות בעל-פה ייענו על ידי כל מתרגל.

### הוראות הגשה:

- יש להגיש 3 קבצים, את שלושתם מגישים באתר הקורס.
- ההגשה בזוגות.
- שאלות ותשובות הנוגעות לתרגיל יפורסמו באתר הקורס תחת הלשונית "שאלות ותשובות".
- שמות הקבצים להגשה הינם :
  - forwarding\_unit.v
  - forwarding\_instance.v
  - forwarding\_unit.pdf

## תרגיל רטוב 2 – Forwarding unit

בתרגיל זה נממש Forwarding unit עבור Pipelined MIPS תוך שימוש בקוד Verilog. התרגיל אינו דורש כתיבת קוד רבה אלא הבנה של החומר. ודאו שאתם ניגשים לפתירת התרגיל לאחר שאתם סגורים על החומר הנלמד כדי לא לבזבז לעצמכם זמן יקר.

בקובץ zip המצורף תמצאו מספר קבצי Verilog:

מודולים המתאימים ללוגיקה צירופית:

- adder
- ALU
- br\_controller
- controller
- mux
- mux3
- sign\_extension

מודולים סינכרוניים: (הערה: להסבר על Verilog Arrays קראו בקישור)

[/https://www.verilogpro.com/verilog-arrays-plain-simple](https://www.verilogpro.com/verilog-arrays-plain-simple)

- program\_counter
- register\_file (שימו לב לRF split)
- data\_mem
- inst\_mem

חמישה מודולים המתאימים לשלבי ה Pipe ומכילים בתוכם את המודולים הקודמים: (שמות המודולים מתאימים לשלבים {st\_{IF,ID,EX,MEM,WB}}

- **IF** מכיל את pc, זיכרון הפקודות, mux, adder. בהתאם המודול סינכרוני.
- **ID** מכיל את הבקר, sign\_extension, בקר הקפיצות ו mux (אך לא את RF). הבורר מחליט האם הארגומנט השני שיקבל ה ALU יהיה תוכן rt או immediate בהתאם למידע שיקבל מהבקר. שימו לב שבארכיטקטורה זו ההחלטה על קפיצה מתבצעת בשלב השני בהתאם לתוצאה מה br\_controller.
- **EXE** מכיל את ה ALU ושלושה בוררים. שניים מתוכם מתאימים לשתי הארגומנטים של ה ALU ובורר נוסף עבור הערך שיעבור לכתיבה לזיכרון. **תפקיד המודול forwarding\_unit שתכתבו הוא לשלוט על שלושת הבוררים כלומר להחליט מה יהיו הארגומנטים שיקבל ה ALU ואיזה מידע יכתב לזיכרון.**
- **MEM** מכיל את זיכרון הנתונים, מודול סינכרוני.
- **WB** מכיל בורר. תפקידו הוא להעביר ל RF את תוצאת הקריאה מזיכרון הנתונים או את תוצאת חישוב ה ALU, ההחלטה תתקבל בהתאם לאותות ההוראה המגיעים מהבקר דרך שלבי pipe.

ארבעה מודולים המתאימים לארבעת הרגיסטרים שבין שלבי ה Pipe. (שמות המודולים בהתאם reg\_{IF\_ID,ID\_EX,EX\_MEM,MEM\_WB}) ארבעת הרגיסטרים מקבלים את שעון המערכת ותפקידם הוא להעביר את המידע הנצרך ואותות הוראה משלב לשלב.

המודול pipelined MIPS מכיל את חמשת השלבים, ארבעת הרגיסטרים שביניהם, ואת ה RF, תפקידו לחבר בין כל הרכיבים שתוארו. גם המופע של המודול forwarding\_unit שתכתבו יוכל בו.

בקובץ `pipelined_MIPS_tb` נמצא `test-bench`, הוא יוצר מופע של `pipelined_MIPS` והוא האחראי לייצר את אות השעון ואות `reset` עבור המחשב.

### קבצים נוספים שנמצאים בתיקיה:

- קובץ `defines` - מכיל את `op-codes` המתאימים ל-8 הפקודות שנתמכות על ידי הארכיטקטורה `{add, sub, addi, subi, beq, bne, lw, sw}` ואת הקידוד המתאים ל-2 הפעולות שנתמכות ב-`ALU` (חיבור וחיסור).
- קובץ `python` ושני קבצי `txt` שיעזרו לכם לטעון קוד `MIPS` שתכתבו אל זיכרון הפקודות. כדי להריץ קוד על `pipelined_MIPS` צריך כמובן לטעון את אותו קוד אל זיכרון הפקודות, הרצה של `inst_gen.py` תקרא פקודות `MIPS` שתכתבו ב-`inst.txt` (פקודות מהצורה `addi $3 $2 -4`), תיצור מהפקודות האלו קידוד בינארי מתאים, ותכתוב אותם לזיכרון. קוד ה-`python` ייצור מתוך 2 הקבצים `inst.txt`, `inst_base.txt` את המודול `inst_mem.v` – מודול הכתוב ב-`Verilog` ומתאר זיכרון פקודות בו טעונות הפקודות שכתבתם.

מה צריך להגיש? 2 קבצי קוד וקובץ `PDF` אחד. שלושת הקבצים יוגשו כקובץ `zip` דרך האתר.

- `forwarding_unit.v` – בקובץ זה יש לממש את המודול המתאים ששמו `forwarding_unit`.
- `forwarding_unit.pdf` – בקובץ זה הסבירו בקצרה (לא יותר מעמוד אחד) על המימוש שלכם, ניתן להוסיף איור לפי בחירתכם. בפרט, הסבירו איזה כניסות בחרתם למודול ואת הלוגיקה שעומדת מאחורי בחירה זו.
- `forwarding_instance.v` - במקום להגיש את כל הקובץ `pipelined_MIPS.v` שמכיל מופע של המודול `forwarding_unit` שכתבתם, עליכם להגיש רק את שורות הקוד החדשות שהוספתם לקובץ `pipelined_MIPS.v` בקובץ זה. הסבר נוסף: אם תסתכלו בקובץ `pipelined_MIPS.v` תוכלו לראות את השורות הבאות

```
//TODO: Implement the forwarding_unit module
```

```
// Write your code (forwarding_unit instantiation, not the module) here
```

```
assign {sel_alu1, sel_alu2, sel_store_val} = 0;
```

```
// end TODO
```

**כל הקוד שעליכם לכתוב / לשנות בקובץ `pipelined_MIPS` צריך להופיע במקום השורה שבין ההערות (כלומר, במקום פקודת ה-`assign`). לאחר שסיימתם לכתוב את הקוד ולהריץ את הטסטים שלכם, העתיקו את הקוד שלכם לתוך הקובץ `forwarding_instance.v`.**

## נספח: התקנת פייתון

### :Windows

1. התקינו את anaconda 3.7 מהקישור הבא: [/https://www.anaconda.com/download](https://www.anaconda.com/download)
2. לאחר ההתקנה חפשו את anaconda prompt תחת anaconda3 בתפריט התחל.
3. בחלון שנפתח, עברו לתיקייה שבה מופיע קוד הפייתון (בעזרת cd)
4. רשמו את הפקודה הבאה: `python inst_gen.py`

### :Linux

[/https://docs.python-guide.org/starting/install3/linux](https://docs.python-guide.org/starting/install3/linux)

### :Mac

[/https://docs.python-guide.org/starting/install3/osx](https://docs.python-guide.org/starting/install3/osx)