|  |  |  |
| --- | --- | --- |
| 《数字逻辑与数字系统》实验报告 |  | 天津大学本科生实验报告专用纸 |
| 学院 智能与计算学院 年级 2020级 班级 1 班 姓名 石子跃 学号 3020244294课程名称多数表决器的设计与实现 实验日期 2022.4.25 成绩  同组实验者 | **三．实验原理与步骤（注：步骤不用写工具的操作步骤，而是设计步骤）**  1. 写出74LS138和74LS139的行为建模的SystemVerilog HDL代码。  module dec\_74LS138(  input logic [2:0]D,  input logic [2:0]G,  output logic [7:0]Y  );  always\_comb begin  case(D)  3'b000:Y=8'b11111110;  3'b001:Y=8'b11111101;  3'b010:Y=8'b11111011;  3'b011:Y=8'b11110111;  3'b100:Y=8'b11101111;  3'b101:Y=8'b11011111;  3'b110:Y=8'b10111111;  3'b111:Y=8'b01111111;  endcase  if(G!=3'b100)  Y=8'b11111111;  end  endmodule  module dec\_74LS139(  input logic S,  input logic [1:0]D,  output logic [3:0]Y  );  always\_comb begin  case(D)  2'b00:Y=4'b1110;  2'b01:Y=4'b1101;  2'b10:Y=4'b1011;  2'b11:Y=4'b0111;  endcase  if(S)Y=4'b1111;  end  endmodule  2. 给出基于74LS138和74LS139的5输入多数表决器的设计方案，画出原理图（采用Visio画图）。    3. 写出5输入多数表决器的结构化建模的SystemVerilog HDL代码。  module voter5(  input logic s,  input logic g,  input logic [4:0]I,  output logic led  );  logic [3:0]Y;  dec\_74LS139 A(.S(s),.D(I[4:3]),.Y(Y));  logic [7:0]Y0,Y1,Y2,Y3;  dec\_74LS138 A1(.D(I[2:0]),.G({g,s,{Y[0]}}),.Y(Y0));  dec\_74LS138 A2(.D(I[2:0]),.G({g,s,{Y[1]}}),.Y(Y1));  dec\_74LS138 A3(.D(I[2:0]),.G({g,s,{Y[2]}}),.Y(Y2));  dec\_74LS138 A4(.D(I[2:0]),.G({g,s,{Y[3]}}),.Y(Y3));    assign led=~(Y0[7]&&Y1[3]&&Y1[5]&&Y1[6]&&Y1[7]&&Y2[3]&&Y2[5]&&  Y2[6]&&Y2[7]&&Y3[1]&&Y3[2]&&Y3[3]&&Y3[4]&&Y3[5]&&Y3[6]&&Y3[7]);    endmodule  4. 给出基于行为建模的5输入多数表决的SystemVerilog HDL代码。  module voter5(input logic[4:0]i,  output logic led  );  assign led=(i[4]&&i[3]&&i[2])||(i[4]&&i[3]&&i[1])||(  i[4]&&i[3]&&i[0])||(i[4]&&i[2]&&i[1])||(i[4]&&i[2]&&i[0])||(i[4]&  &i[1]&&i[0])||(i[3]&&i[2]&&i[1])||(i[3]&&i[2]&&i[0])||(i[3]&&i[1]&&i[0])||(i[2]&&i[1]&&i[0]);  endmodule  **四．仿真与实验结果（注：仿真需要给出波形图截图，截图要清晰，如果波形过长，可以分段截取；实验结果为远程FPGA硬件云平台的截图）**  注：远程FPGA硬件云平台截图只需要一个测试激励即可          **教师签字：**  **年 月 日** |
| 实验项目名称 多数表决器的设计与实现   1. **实验目的**   1. 掌握基于 Vivado 的数字逻辑电路设计流程；  2. 熟练使用 SystemVerilog HDL 的行为建模方法对组合逻辑电路进行描述；  3. 熟练使用 SystemVerilog HDL 的结构建模方法对组合逻辑电路进行描述；  4. 掌握基于远程 FPGA 硬件云平台对数字逻辑电路进行功能验证的流程。   1. **实验内容**   假如有五个举重裁判，举重选手完成比赛以后，当有多数裁判认定成功时， 则成功；否则失败。本次实验请设计此举重裁决电路，即一个 5 输入的多数表决 器。该电路的顶层模块如图 1-3 所示，输入/输出端口如表 1-3 所示。使用拨动 开关来模拟裁判的裁定，使用 LED 灯来显示是否成功。 5输入 多数表决器 I4 I0 pass I3 I2 I1 图 1-3 5 输入多数表决器电路的顶层模块 表 1-3 输入/输出端口 端口名 方向 宽度（位） 作用 I4~I0 输入 5 连接拨动开关 SW0~SW4，用于模拟五个裁判 的输入。 led 输出 1 连接 LED 灯 LD0，用于显示是否成功。灯亮， 表示成功；灯灭表示失败。 5 输入多数表决器电路的真值表如表 1-4 所示。 表 1-4 5 输入多数表决器电路的真值表 输入 输出 I4 I3 I2 I1 I0 pass 0 0 0 0 0 0 0 0 0 0 1 0 0 0 0 1 0 0 0 0 0 1 1 0 0 0 1 0 0 0 0 0 1 0 1 0 0 0 1 1 0 0 0 0 1 1 1 1 0 1 0 0 0 0 0 1 0 0 1 0 0 1 0 1 0 0 0 1 0 1 1 1 0 1 1 0 0 0 0 1 1 0 1 1 0 1 1 1 0 1 0 1 1 1 1 1 1 0 0 0 0 0 1 0 0 0 1 0 1 0 0 1 0 0 1 0 0 1 1 1 1 0 1 0 0 0 1 0 1 0 1 1 1 0 1 1 0 1 1 0 1 1 1 1 1 1 0 0 0 0 1 1 0 0 1 1 1 1 0 1 0 1 1 1 0 1 1 1 1 1 1 0 0 1 1 1 1 0 1 1 1 1 1 1 0 1 1 1 1 1 1 1 本实验分为两阶段任务，每个阶段均是完成一个 5 输入多数表决器的设计， 但采用的设计方法不同。具体实验内容如下所示： 阶段 1：（基于集成电路模块） 1. 根据表 1-1 和 1-2，采用 SystemVerilog HDL 的行为建模方法，完成 74LS138 和 74LS139 两种译码器的设计。 2. 根据图 1-3 和表 1-4，基于 SystemVerilog HDL 的结构化建模方法，调用 74LS138 和 74LS139 两种译码器，以及若干基本逻辑门，完成 5 输入多数表 决器电路的设计（类似搭积木），并基于 Vivado 完成行为仿真、综合、实现、 生成比特流文件等操作，最终在远程 FPGA 硬件云平台上完成功能验证。 阶段 2：（基于行为建模） 1. 不使用 74LS138 和 74LS139 芯片，直接使用行为建模的方法完成 5 输入多数 表决器电路的设计，并基于 Vivado 完成电路的行为仿真、综合、实现、生成 比特流文件等操作，最终在远程 FPGA 硬件云平台上完成功能验证。  五．实验中遇到的问题和解决办法  六．附加题（若实验指导书无要求，则无需回答）  1. 只采用74LS138译码器和一些基本逻辑门，是否也可以完成5输入多数表决器的设计？如果可以，请画出原理图。  图片包含 图表  描述已自动生成 |