נהלים

1. מסמכים פנימיים/תכתובות בעברית, מצגות וספר פרויקט באנגלית.
2. לאחר כל פגישה ייכתב מסמך הכולל את הנושאים שעלו בפגישה, ב- Bullets.
3. יש לנהל קובץ אקסל למעקב אחר מטלות הפרוייקט, שיכלול זמני התחלה וסיום, אחריות לביצוע וכו'. מצורפת דוגמה. ניתן בעברית.
4. קבצי הפרוייקט ינוהלו באמצעות מערכת לשמירת גרסאות SVN.
5. מסמך הפרוייקט (דוגמה למסמך פרויקט תשלח בהמשך) ייבנה תוך כדי הפרויקט ולא בסופו – לפיו יוכנו המצגות (דוגמאות חמצגות תשלחנה כשהדבר יהיה רלוונטי). המסמך יכלול:
   1. מטרה
   2. יישומים אפשריים
   3. דרישות
   4. אלגוריתם
   5. ארכיטקטורת על
   6. מיקרו ארכיטקטורה
   7. דיאגרמת בלוקים
   8. Pin Out
   9. פתרונות מוצעים, החלטות ו- Trade Offs
   10. ביצועים – עמידה בתדר, משאבים נצרכים (לוגיקה וזיכרון)
   11. תיאור חזותי של ה-GUI
   12. מגבלות המימוש הנוכחי ושיפורים לפרויקטי המשך
   13. מסקנות וסיכום
6. המערכת תיושם על DE2 Development Board המכיל רכיב FPGA מסוג CYCLONE II.
7. החומרה תיכתב בשפת VHDL, וכך גם סביבת הסימולציה.
8. סינתזה וצריבה לרכיב באמצעות Quartus.
9. סימולטור ModelSim.
10. יעשה שימוש חוזר ב- Items (VHDL, סימולציה, תיעוד, GUI) קיימים מפרויקט אחר (בארי שרייבר ואלון יעביץ).
11. בניית GUI המאפשר את בדיקת המערכת באמצעות Matlab.