**Digital System Design Lab05 PreLab**

**2015-18525 김세훈**

1. **Branch instruction에서 immediate 값이 1이 모자란 이유를 설명하시오.**

본 과제에서 구현하고자 하는 processor 모델은 fetch와 execution stage가 instruction register에 의해서 분리된 2-pipelined processor이다.

Clock # n에 pc=141에 의해서 141번째 instruction이 fetch되었다고 가정하면, fetch 순간에는 해당 instruction이 branch인지 알지 못한다. 해당 instruction이 아직 fetch stage에 있기 때문이다.

한 clock cycle이 지난 후 Clock #(n+1)이 되어서야 141번째 instruction이 execution stage에들어가게 되며, processor는 branch instruction임을 알게 된다. 이 때 pc의 값은 141이 아닌 142가 되어 있기 때문에 여기에 immediate value인 0f가 더해지게 되며, 따라서 결과 값은 150이 아니라 151이 된다. 즉, 원하는 j1의 주소로 안착하는 것이다.

1. **Decoder의 input과 output port를 Verilog 형식으로 선언하고, 그 용도를 설명하라.**

**input [15:0] inst**: decode해야하는 instruction

**input [4:0] flcnz**: PSE의 flag들. Branch 및 jump의 condition에 사용된다.

**output reg [4:0] tri\_sel** : tri state buffer의 control. RF에 저장될 값의 source를 선택

**output reg [5:0] alu\_sel** : ALU의 control. ALU에서 수행될 연산 종류를 선택

**output reg register\_we** : 1이 되면 RF의 write을 enable

**output reg jmp** : 1이 되면 jump! (PC의 source를 선택하는 용도)

**output reg br** : 1이 되면 branch taken! (PC의 source를 선택하는 용도)

**output reg mux\_sel0** : ALU의 data가 RF에서 오는지(0) or immediate에서 오는지(1) 선택

**output reg mux\_sel1** : shifter의 data가 RF에서 오는지(0) or immediate에서 오는지(1) 선택

**output reg shift\_imm** : shifter의 Rlamount가 RF에서 오는지(0) or immediate에서 오는지(1) 선택

**output reg lui** : shifter의 lui control signal

**output reg memory\_we** : 1이 되면 data memory의 write을 enable