Digital System Design PreLab 07

2015-18525 김세훈

**1. 주어진 TLC 명세에 따라 FSM을 그리고 Verilog HDL 코드를 작성한다.**

FSM은 위에서와 같으며, 000과 010 state에서의 출력은 HG & FR 이다.

Verilog 코드는 아래와 같다

|  |
| --- |
| // next state logic  always@(\*)  begin  case(c\_state)  3'b000:  if(HS | FS) n\_state = 3'b001;  else n\_state <= c\_state;    3'b001:  if(HS) n\_state = 3'b010;  else n\_state = 3'b011;    3'b010:  n\_state = 3'b100;    3'b011:  n\_state = 3'b101;    3'b100:  if(FS) n\_state = 3'b011;  else n\_state = 3'b110;    3'b101:  n\_state = 3'b111;    3'b110:  n\_state = 3'b000;    default: //3'b111  n\_state = 3'b000;    endcase  end  // output logic  always@(\*) begin    FLEFT = 0;  FRED = 0;  FYELLOW = 0;  HGREEN = 0;  HLEFT = 0;  HRED = 0;  HYELLOW = 0;    case(c\_state)  3'b000: begin  HGREEN = 1; FRED = 1;  end    3'b001: begin  if(HS) n\_state = 3'b010;  else n\_state = 3'b011;  end    3'b010: begin  HGREEN = 1; FRED = 1;  end    3'b011: begin  HYELLOW = 1; FRED = 1;  end    3'b100: begin  HLEFT = 1; FRED = 1;  end    3'b101: begin  HRED = 1; FLEFT = 1;  end    3'b110: begin  HYELLOW = 1; FRED = 1;  end    default: begin //3'b111  HRED = 1; FYELLOW = 1;  end    endcase  end |

**2. 제공된 MAKE\_CLK.v 파일은 50MHz의 MCLK을 몇 MHz clock으로 바꾸어 출력해주는가?**

25'b1\_0111\_1101\_0111\_1000\_0100\_0000 = 25000000 MCLK마다 CLK을 Inverting해준다.

따라서, 50MHz/25000000 = 0.2Hz으로 바꾸어서 출력한다.

**3. 보드에 올릴때, MAKE\_CLK에서 나오는 CLOCK이 너무 빨라서 제대로 신호를 볼 수가 없다. CLOCK을 0.2Hz 로 바꾸려면 어떻게 해야 하는가?**

MAKE\_CLK.v에서는 clock dividing을 해준다. 즉 50 MHz짜리 MCLK이 들어올 때마다 counter를 1씩 더해주며, 이 값이 25'b1\_0111\_1101\_0111\_1000\_0100\_0000 = 25000000가 되는 순간 CLK을 inverting시켜주면서 가시적인 0.2Hz를 갖는 Clock을 만들어줄 수 있다.