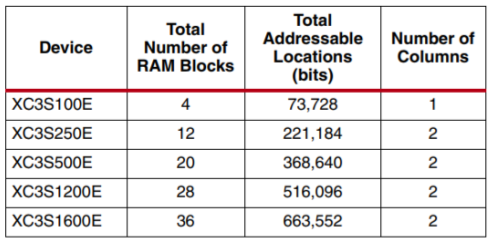
**Digital System Design PreLab 07**

**2015-18525 김세훈**

1. **Block Memory가 무엇인가**

FPGA는 여러 개의 18kByte용량의 Block RAM(BRAM)을 갖추고 있으며, 이들은 read와 write port가 나누어진 dual port memory의 구조이다. 또한 일반적인 RAM 포트뿐만 아니라 cascade 포트가 있기 때문에 18kByte 이상의 용량을 가진 메모리가 필요한 경우 다른 BRAM과 cascade port를 연결하여 cascade된 형태로 사용할 수도 있다. 최대의 data path width는 18bit이다. Xilinx의 Core Generation 툴을 사용하여 손쉽게 만들어서 쓸 수 있다.

1. **Spartan 3E starter kit에는 Block Memory의 용량이 얼마나 있는가**



특히, 우리가 사용하는 500E는 2개의 column, 20개의 BRAM, 그리고 360kBits의 총 BRAM 용량을 가지고 있다.

1. **.coe 파일이 무엇인가**

Xilinx FPGA의 memory를 생성하고 초기화하는데 사용하는 파일 형식이다. 이는 특정한 문법 구조를 갖고 있으며 Memory Editor를 사용하여 생성이 가능하다. Core generator로 FPGA의 memory core를 제작할 때 이렇게 customize한 .coe 파일을 지정해주면 된다.

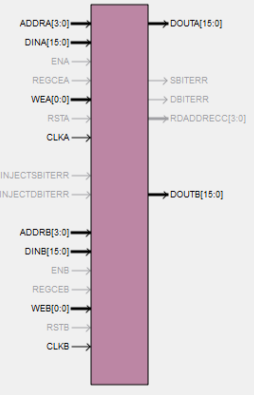
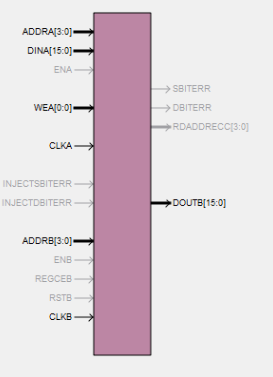
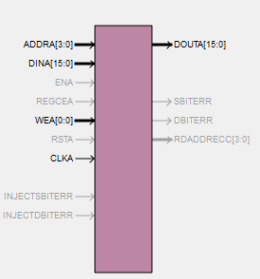
1. **하드웨어 IP라는 개념은 무엇이고 Xilinx Core generator의 역할은?**

IP(Intellectual Property) 는 재이용 가능한 기능블록을 뜻한다. 특히 Hardware IP는 프로세서, RAM, ROM 등의 기능블록을 말한다. Xilinx Core Generation은 Xilinx FPGA의 IP를 parameterization하여 접근할 수 있는 interface를 제공하여 design time을 효율적으로 단축시켜 준다.

1. **Block Memory로 Imem을 구현할 때 Width와 Depth는 얼마여야 하는가**

Width : 16, depth : 644 (실험교재 참고)

1. **Single port RAM, Simple Dual port RAM, True Dual port RAM의 차이는 무엇인가**



Single Port RAM : 1개의 port를 사용하여서 read 또는 write을 하는 구조 (좌측)

Simple dual port RAM : 2개의 port A, B를 제공하지만, A는 read, B는 write만을 할 수 있다 (중앙)

True dual port : Read 와 write을 모두 할 수 있는 포트를 2개 제공하는 구조 (우측)