

EDA final project proposal

電機三 B02901059 吳昱陞

電機三 B02901108 吳省澤

- A. Topic : Stuck-At Fault Simulation
- B. Professor : Jiun-Lang Huang
- C. Objective of this project : To develop a single stuck-at fault simulator that determines the fault coverage with respect to the given fault list and test patterns.

D. Algorithms

我們一開始先讀取電路檔建成 graph 資料結構，然後先用暴力法比較每一個 test pattern 對上每一個 fault 的 true-value model output 和 fault model output，如果不一樣就是 DETECTED。之後會改良 algorithm，不需要比對電路最後的 output，可以只動態比對每一層 gates 的 true-value model outputs 和 fault model outputs，若發現在 fault 之後的某一層 gates 的兩種 model 的 output 一樣，就是 UNDETECTED，或是根據當下要測的 fault，找出某些 gate 的 output 必須值，然後回溯回 primary input，若有不符的 test pattern 就可以直接刪去。我們也考慮分析 test pattern input 檔的特性，讓我們在建 graph 或是 simulation 的時候，可以化簡 graph 的結構，讓 simulation 的時間減少。最後我們在分析大電路的時候，綜合以上提供的方法，寫出一個 heuristic，根據電路的結構來選擇要採取何種方法，或是在 simulation 的過程中，要何時停下來，判斷 detect fault 的可能性，然後直接決定當下檢測的 fault 是否能被 detect 出來，犧牲一些正確性，來換取時間和空間。

E. Time Schedule

Date	Goal
12/30	According the format to complete the circuit construction and the basic command interface
1/6	Complete the algorithm part, at least have correctness.
1/10	Improve the algorithm, have faster speed.