

卒業論文

マルチメディア
集積回路システム
連想メモリ CAMXを用いた乗算の高
速化

(Content Addressable Memory CAMX
method)

熊木 武志

立命館大学理工学部電子情報工学科

2019年12月

内 容 梗 概

近年、データ通信インフラストラクチャの急速な整備、発展やモバイル機器の普及で、ユーザが高品質な画像や音声等のマルチメディアデータを取り扱う機会が増加している。一般に、LSI によるマルチメディアデータ処理は、算術演算や論理演算を主体とした繰り返し演算の組み合わせによる処理と、データを符号化するテーブルルックアップ処理に分けることができる。従来の汎用プロセッサや DSP では、繰り返し演算処理を動作周波数や処理の並列度を上げることで性能向上を図ってきた。特にモバイル用途等の場合には、消費電力や面積の点において、仕様を満足するようなマルチメディアデータ処理を実現することが重要な課題となっており、専用ハードウェアでは、製品の仕様やアルゴリズムの変更に柔軟に対応することができない点が問題となっている。

一方、テーブルルックアップ符号化処理は、代表的なものにハフマン符号化と呼ばれる可逆圧縮アルゴリズムがあり、JPEG, MP3, MPEG2, 及び H.264 等多くのアプリケーションで利用されている。このアルゴリズムはハードウェアリソースの点で効率的な並列化が容易ではないため、逐次的に処理されることが多い。そのためアプリケーションによっては、処理全体の約 30% 近くを占める場合もあり、高速化のボトルネックとなっている。

本論文では、マルチメディアデータ処理 LSI の高性能化を図るために、機能メモリの一種であり、一致検索処理を高速に実現することが可能な CAM (Content Addressable Memory) を用い、テーブルルックアップ処理の並列化による高速処理、ハフマン符号化圧縮アルゴリズムを効率よく処理することによる高圧縮化、及び汎用性に重点を置いたプログラマビリティの 3 つに焦点を定め LSI アーキテクチャの開発を行った。

高圧縮化に関しては、CAM を用いたパイプラインハフマン符号化処理を行いながら、符号化テーブルをリアルタイムにデータの出現頻度に応じて適応的に再構築するアーキテクチャを開発した。符号化テーブルは、アクティブ用とアップデート用に分け、適時切り替えることによってデータの高圧縮化を実現する。開発アーキテクチャを FPGA に実装し、性能を評価した後に、画像圧縮の代表的なアルゴリズムである JPEG アプリケーションに対して評価を行った。その結果、最大約 28% の圧縮率の向上が得られ、処理速度に関しても携帯電話やデジタルカメラの仕様を十分に満足することができた。

高速処理に関しては、テーブルルックアップ符号化処理の並列化に着目した。従来の技術では、高速にテーブル変換処理を行うことのできる CAM 等のアーキテクチャを並列に配置した場合、面積や消費電力が増大するため実現が難しい。そこで、符号化テーブルを 1 つだけ持ち、面積増加を抑えた上で、並列にテーブル変換処理を実現することのできるマルチポート CAM を新たに開発した。マルチ

ポート CAM は、並列度が 4 の場合、CAM を並列に 4 つ配置した場合と比較して、面積の増加率は約 1.57 倍で済むため、AT (Area Time) 積も通常の CAM と比較して約 37.5% と低い値を示すことが分かった。更に、符号化アプリケーションの特長をうまく活かすことで、マルチポート CAM の処理能力を更に向上させた後に、ハフマン符号化に適用し、性能を評価した。その結果、符号化にかかるクロックサイクル数は従来の汎用 DSP と比較して最大約 93% のクロックサイクルの削減を実現し、面積当たりの処理能力も DSP と比較して最大 3.8 倍の値を得ることができた。また、FPGA に実装、及び ASIC 向けに論理合成した結果、ポート数が 16 までの増加に対して、動作周波数は、大幅な減少が見られず、面積は線形に変化するなどスケラビリティが高いことを立証した。

テーブルルックアップ処理のボトルネックは、CAM を用いた新しいアーキテクチャを適用することで高圧縮処理と高速処理を実現した。本論文では、テーブルルックアップ処理の性能向上に加えて、繰り返し演算処理を、従来の汎用プロセッサや DSP と比較して、大幅に並列度を向上させた SRAM ベースの超並列 SIMD 型プロセッサを開発することで高速処理を実現した。SRAM ベース超並列 SIMD 型プロセッサは、データの処理ベクトルを従来の方式から変更することで並列度の向上を得る。また、演算器 (PE: Processing Element) とデータレジスタ領域を密結合することによって PE、メモリ間の I/O 転送にかかる消費電力を削減した。90 nm 7Cu CMOS テクノロジーの実装結果では、面積 3.1 mm^2 、消費電力 250 mW であり、16 ビットの加算処理では動作周波数 200 MHz で 40 GOPS (Giga Operation per Second) の性能を得ることができた。

次に、CAM ベーステーブルルックアップ符号化アーキテクチャの開発を元に、超並列 SIMD 型プロセッシングアーキテクチャに、CAM を付加する CAM ベース超並列 SIMD 型プロセッシングアーキテクチャを開発した。これはマルチメディア処理のボトルネックであるテーブルルックアップ符号化処理を高速に行うことを可能とし、繰り返し演算処理を SIMD 型プロセッシングユニットで行うことにより高速化を実現するアーキテクチャである。このアーキテクチャは CAM, SRAM, 及び PE を融合した構造をとっているため小面積で高並列を実現し、単位面積当たりの演算能力を上げることで、動作周波数を抑え、低消費電力化を実現している。更に、CAM と SRAM アレイのデータ転送を工夫することにより、パイプライン処理も実現している。提案アーキテクチャはメモリベースであり、データやプログラムを交換することによって柔軟に様々なマルチメディアアプリケーションに適用が可能である。90 nm 7Cu CMOS テクノロジーの実装見積もりでは、面積 3.49 mm^2 となり、新規に追加した CAM 及び周辺回路の消費電力は 32.4 mW であった。FPGA に実装を行い基本動作を検証した後、JPEG アプリケーションに適用して既存の DSP と画像処理速度を比較した結果、JPEG アプリケーションにおいては、最大約 86% のクロックサイクル数の削減を可能とした。単位面積当たりの処理性能では、DSP の約 4.4 倍となり、その有効性を示すことができた。

目次

内容梗概	i
chapter 第1章 序論	
1.1 研究背景	1
section 1.2 本研究の目的	6
第2章 CAM ベーステーブルルックアップ符号化処理	9
section 2.1 はじめに	9
2.2 ハフマン符号化	10
subsection 2.2.1 静的ハフマン符号化方式 (Static Huffman Coding)	11
2.2.2 動的ハフマン符号化方式 (Adaptive Huffman Coding)	12
section 2.3 アルタイム符号化テーブル最適化アーキテクチャ	13
2.3.1 最適化ハフマンテーブルによる符号化	13
subsection 2.3.2 アルタイム符号化テーブル最適化の原理	16
2.3.3 アーキテクチャ	18
subsubsection アサインモジュール	18
chapter 第3章 ポート CAM ベース並列テーブルルックアップ符号化処理	23
3.1 はじめに	23
section 3.2 レキシブルマルチポート CAM	24
3.2.1 CAM のマルチポート化	24
subsubsection マルチポート化への背景	24
subsection 3.2.2 CAM の概要	26
section 3.3 適用アプリケーション例	27
3.2.3 アーキテクチャ	28
subsection 3.3.1 マルチポートの実現方法	31
subsubsection 比較データの即時処理	32
3.2.5 FPGA への実装結果	33
subsection 3.4 性能評価	35
3.3 テーブルルックアップ用マルチポート CAM	40
subsection 3.3.1 マルチプル/シングルサーチモード (Multiple/Single Search Mode)	41
3.3.2 カウンタ値設定モード (Counting Value Setting Mode)	42
subsection 3.3.3 スケーラビリティ結合モード (Scalability of Categorization Structure)	43
3.4 アーキテクチャ	46
subsection 3.4.1 ポートブロック (Port block)	46
3.4.2 カテゴリブロック (Category block)	47