

题目三 乱序执行

已知某个采用 Tomasulo 算法实现乱序执行的处理器信息如下：该处理器的前端分为 `fetch` 和 `decode` 两个阶段，`fetch` 和 `decode` 操作都只需要 1 个时钟周期；一条指令被发送到某功能单元的保留站时，按照从上到下的顺序分配保留站空位（如果有空闲的话）；当保留站中的指令完成时，将该指令从保留站删除；加法和乘法都没有实现 `pipeline`，分别需要 2 个周期和 3 个周期完成；初始时，该处理器上没有任何指令。已知下面 4 条指令按照顺序分别发送到了相应的保留站，画出 6 个周期之后的寄存器和保留站的状态(tag 表示要提供该数据的保留站 ID，0 表示数据已经 ready)：

4 条指令：
`div r0, r1, r2`
`mul r3, r0, r2`
`add r0, r1, r2`
`mul r3, r0, r2`

寄存器表

Reg	Tag	Value
r0		
r1		
r2		
r3		

加法保留站

ID	Tag	Value	Tag	Value
a				
b				
c				

乘法保留站

ID	Tag	Value	Tag	Value
D				
E				
F				

解题思路参考课件 ppt