

1 実験項目

1.1 TTL 素子，CMOS 素子の特性の測定

1.2 SR フリップフロップの特性の測定

2 目的

省略.

3 理論

省略.

4 方法

省略.

5 実験結果

5.1 実験 1

74LS00 の NAND ゲートの 0-5[V] の範囲の入出力特性を測定した.

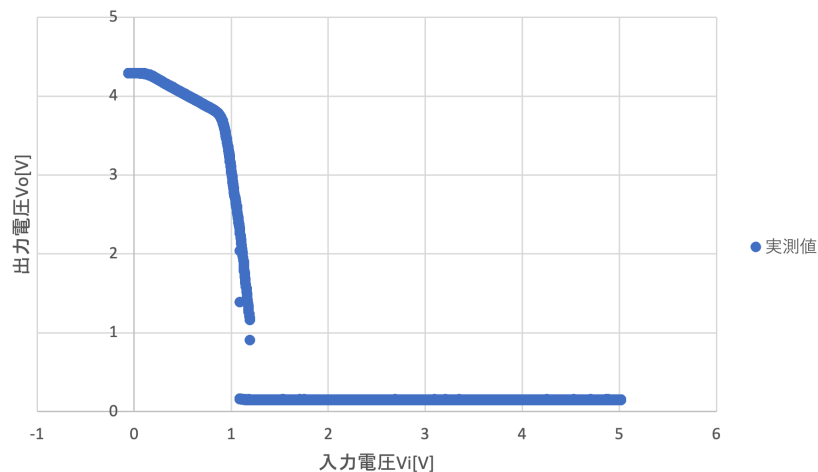


図 1 74LS00 NAND ゲートの入出力特性

図 1 より, 74LS00 の NAND ゲートでの A 点, B 点の座標は以下の通り.

表 1 図 1 における A 点, B 点の測定

	入力電圧 V_i [V]	出力電圧 V_o [V]
A 点	0.879964201	3.752879593
B 点	1.090753666	0.149593856

数値のズレこそあるが, グラフの概形から 74LS00 の入出力特性を表せていると言える. (上記図 1 と下記図 2(b) の比較より)

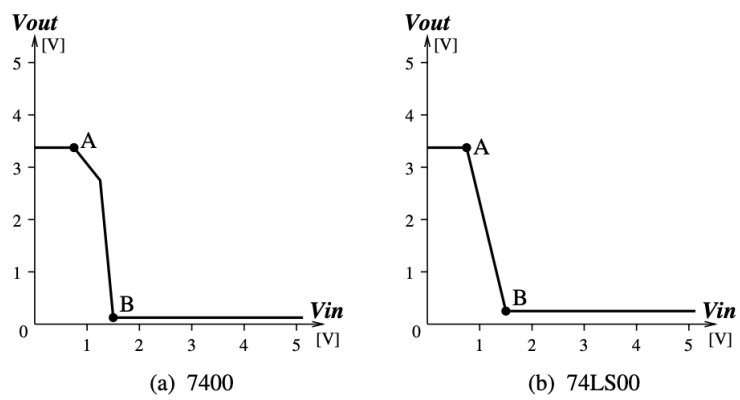


図2 7400/74LS00 の入出力特性

5.2 実験 2

74HCU04 の NOT ゲートの 0-5[V] の範囲の入出力特性と消費電力特性を測定した.

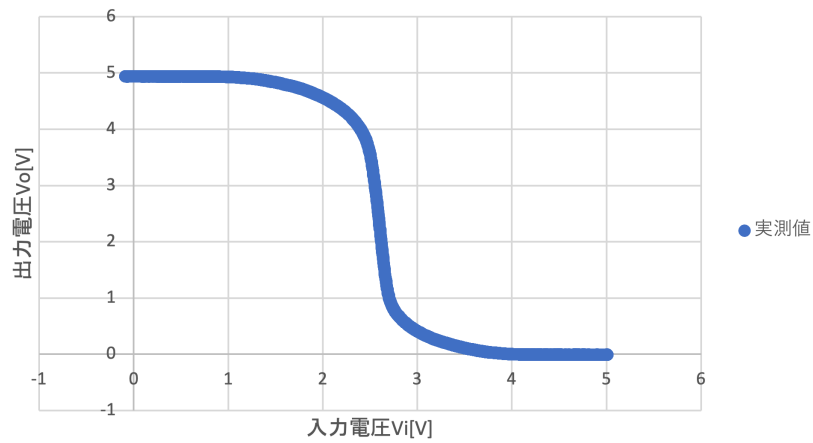


図 3 74HCU04 の NOT ゲートの入出力特性

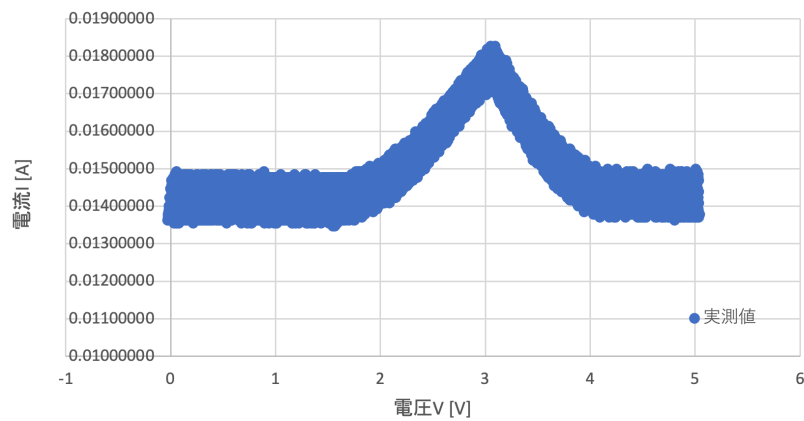


図 4 74HCU04 NOT ゲートの消費電力特性

5.3 実験 3

74LS00 を NOT 素子として用いたリング発振器の発振周期を調べた。

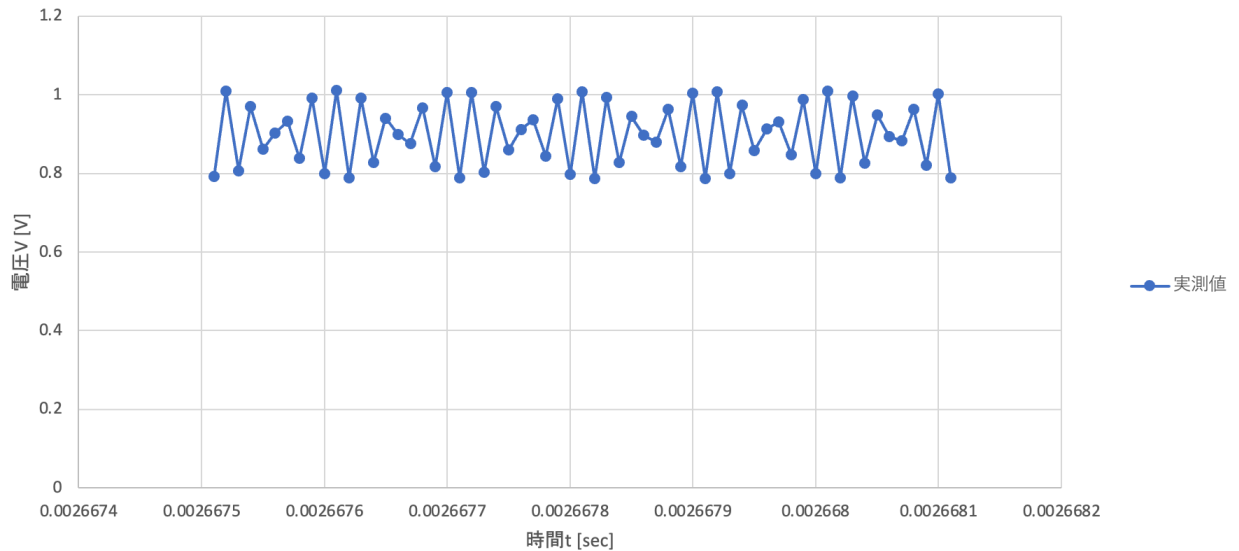


図 5 5 段リング発振器

発振周期は、上記図 5 の waveform から得られた結果だけでは、正確に求めることが難しかったため、実験直線を結んだ際、2 点間の距離が最大となる 2 点を選び、その 2 点の時間差を半周期と仮定する。(そう仮定した理由は考察の章で述べる。)

このとき、 $\frac{T}{2} \approx 1.0 \times 10^{-8}[\text{sec}]$ となる。

したがって、(2) 式 (課題 5 参照) より、1 素子あたりの遅延時間 t_d は、 $t_d \approx 2.0 \times 10^{-9}[\text{sec}]$ となる。

5.4 実験 4

図 6 のような回路をブレッドボードで構成し，表 2 のように機能するか確かめた．結果は表 3 のようになった．

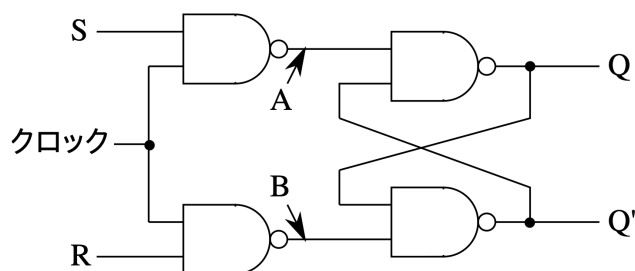


図 6 回路構成

表 2 SR フリップフロップの機能表

入力		出力		
S	R	$Q(t+1)$	$Q'(t+1)$	
0	0	$Q(t)$	$\overline{Q(t)}$	記憶
0	1	0	1	リセット
1	0	1	0	セット
1	1	-	-	禁止入力

表 3 SR フリップフロップの測定

S	R	CLK	Q	Q'
0	0	0	1	0
0	1	0	0	1
1	0	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	1	1	0

5.5 実験 5

実験 4 の回路で禁止入力を行った場合の出力を調べた。結果は表 4 のようになった。

表 4 SR フリップフロップの測定 (禁止入力)

S	R	CLK	Q	Q'
1	1	1	1	1
1	1	0	*	*

5.6 実験 6

実験 5 について、図 6 の A または B の部分に NAND 素子 (NOT 素子として使用) を 2 個直列接続して挿入し、それぞれ動作がどのように変化するか調べた。結果は以下の通り。

表 5 SR フリップフロップの測定 (A 点に挿入)

S	R	CLK	Q	Q'
1	1	0	1	0
1	1	1	1	1

表 6 SR フリップフロップの測定 (B 点に挿入)

S	R	CLK	Q	Q'
1	1	0	0	1
1	1	1	1	1

6 考察

6.1 実験 1 についての考察

図 1 と図 2(b) を比較すると、グラフは概ね一致しており、図 1 では A 点に到達する前に出力電圧 V_o の値が減少しているものの、A 点、B 点周りの形はほぼ一致している。

6.2 実験 2 についての考察

入出力特性、消費電力特性ともにテキストの理論グラフと同じ概形となった。図 3 と図 4 を見るに、消費電力のピークは、NMOS と PMOS が同時にオンになる状態から少し遅れるということが見て取れる。

6.3 実験 3 についての考察

図 5 からわかるように、5 段リング発振器のグラフは、周期性をもちつつも発振周期を読み取れるほど、正確な波になっていない。これは waveform の仕様によるもので、発振周期に対して、サンプリング周期が大きいため、正確に発振を計測・表示できていないと考えられる。そのため、発振周期を求める際には、waveform で表示できなかった本来の発振の波があると仮定し、周期を求めた。実験直線を結んだ際の 2 点間の距離が最大となる 2 点を選び、その 2 点の時間差を半周期とすると、そこから求めた周期は本来の発振周期に近くなると考えた。

6.4 実験 4 についての考察

表 2 と表 3 の比較からわかるように、理論通りに動作した。

6.5 実験 5 についての考察

課題 6 で述べる。

6.6 実験 6 についての考察

課題 6 で述べる。

7 課題

7.1 課題 1

表 8 TTL 素子の論理レベル

	7400	74LS00
H レベル出力電圧	2.4 V 以上	2.7 V 以上
L レベル出力電圧	0.4 V 以下	0.5 V 以下
H レベル入力電圧	2.0 V 以上	2.0 V 以上
L レベル入力電圧	0.8 V 以下	0.8 V 以下

H を出力したい際は出力電圧の閾値を入力電圧の閾値より大きくとり, L を出力したい際は出力電圧の閾値を入力電圧の閾値より小さくとることで, 素子の回路内でのノイズなどによる電圧の変化が起こったとしても入力で決めた状態を出力で保証できるという意義があると考えられる.

7.2 課題 2

表 9 TTL 素子の電流特性

	7400	74LS00
H レベル出力電流	400 μA	400 μA
L レベル出力電流	16 mA	8.0 mA
H レベル入力電流	40 μA	20 μA
L レベル入力電流	1.6 mA	0.4 mA

7400 と 74LS00 の組み合わせは 7400 \rightarrow 7400, 7400 \rightarrow 74LS00, 74LS00 \rightarrow 7400, 74LS00 \rightarrow 74LS00 の 4 通り.

上表より, 7400 \rightarrow 7400 の場合は,

$$H : \frac{400[\mu\text{A}]}{40[\mu\text{A}]} = 10, L : \frac{16[\text{mA}]}{1.6[\text{mA}]} = 10 \text{ より, } 10 \text{ 個までドライブ可能.}$$

7400 → 74LS00 の場合は,

$$H : \frac{400[\mu A]}{20[\mu A]} = 20, L : \frac{16[mA]}{0.4[mA]} = 40 \text{ より, } 20 \text{ 個までドライブ可能.}$$

74LS00 → 7400 の場合は,

$$H : \frac{400[\mu A]}{40[\mu A]} = 10, L : \frac{8.0[mA]}{1.6[mA]} = 5 \text{ より, } 5 \text{ 個までドライブ可能.}$$

74LS00 → 74LS00 の場合は,

$$H : \frac{400[\mu A]}{20[\mu A]} = 20, L : \frac{8.0[mA]}{0.4[mA]} = 20 \text{ より, } 20 \text{ 個までドライブ可能.}$$

7.3 課題 3

NMOS のある閾値を越えてから電流が流れる性質と, PMOS のある閾値を越えるまで電流が流れる性質が存在するため, NMOS と PMOS が同時にオンまたはオフになる状態のとき, つまり閾値の電圧付近で CMOS の NOT ゲートの消費電力はピークとなる.

7.4 課題 4

ファンアウトは汎用にロジック IC の出力端子に持続可能な汎用ロジック IC の入力端子の数を表す. 計算式は以下の通り.

$$\text{ファンアウト} = I_{OH}/I_{IH} \text{ もしくは } I_{OL}/I_{IL} \quad (1)$$

と表せる. しかしながら, この計算はマイクロアンペアオーダーとなっている現在の CMOS において, この考え方での制限はほとんどないと言える. つまり電流だけでの議論はできないと考えられるが, 実際は CMOS トランジスタのゲートには容量が存在し, 信号が伝搬する過程でこの容量を充放電することにより, 遅延が発生する. そのため, ファンアウトの計算はある程度 CMOS の容量値に依存すると考えられる. 一般的な MOS ロジック IC の入力容量はおおむね 10pF 程度で, 接続可能な容量の総和は 500pF とされている (参考文献 [3] より) ため, 計算上の許容ファンアウト数は

$$\frac{500}{10} = 50 \text{ となる.}$$

7.5 課題 5

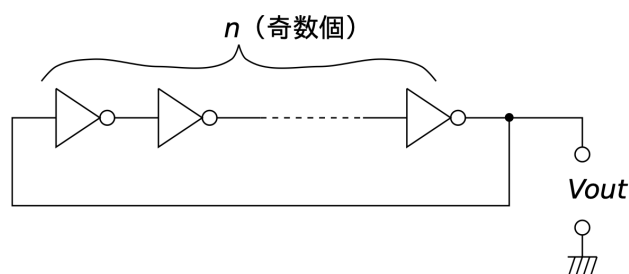


図 8 リング発振器

リング発振器は奇数個のインバータに通して入力を反転させるループ回路によって反転を繰り返すことで、(ループごとの入力の) 論理値が変化し続け、発振状態となる。

また、インバータの個数を n (個) とすると、リング発振器の発振周期 T と NOT 素子の平均遅延時間 t_d の関係は

$$\frac{T}{2} = t_d n \quad (2)$$

と表せる。

7.6 課題 6

実験 5 からわかるように、CLK の値が 1 の際は Q, Q' の値はどちらも 1 となり、CLK の値が 0 の場合は Q, Q' の値はドントケア (不定) となる。このドントケアの原因は図 6 の A, B からの入力、二段目の NAND 回路に入るタイミングが同時であることに起因する。そのため実験 6 のように、A か B どちらかに NAND 素子を偶数個直列に繋いでやり、NAND ゲートの遅延時間を利用することで、A と B からの入力の時間が同時にならないようにし、出力を一意に定めることができると思われる。

実験では CLK を複数回変化させたので、CLK の値が、 $1 \rightarrow 0$ となる時、 Q, Q' の現状態は 1, 1 であったので、例えば A に NAND ゲートを 2 個繋いで遅延させる際、 Q' を出力する NAND ゲートの入力は「A より先に入力される B を通った入力 (CLK=0 より、この入力は 1)」と「A がまだ入力されていないため現状態のままである $Q (=1)$ 」が入力され、 Q' の次状態は 0 となる (そのため、 Q の次状態も 1 に決まる)。

参考文献

1. 『エレクトロニクス基礎』 実験テキスト
2. 『3.2 発振回路による遅延時間の測定』 金沢大学
<http://jaco.ec.t.kanazawa-u.ac.jp/edu/islab2/ch17.html>
3. 『汎用ロジック IC のファンアウトとはなんですか？』 TOSHIBA
https://toshiba.semicon-storage.com/jp/semiconductor/knowledge/faq/logic_common