

校代码: 10286
分类号: TN4
密 级: 公开
U D C: 621.38
学 号: 201094



东南大学

电子信息硕士学位论文

高速高精度流水线 ADC 数字校准技术 研究与设计

(学位论文形式: 应用研究)

研究生姓名: 胡超逸

导师姓名: 黎飞 樊祥宁

王建国

申请学位类别 电子信息硕士 学位授予单位 东南大学

领域名称 电子信息 论文答辩日期 2023 年 5 月 24 日

研究方向 通信芯片与微系统 学位授予日期 2023 年 月 日

答辩委员会主席 刘海涛 评 阅 人 盲审专家 1

盲审专家 2

2023 年 5 月 25 日

東南大學

硕士学位论文

高速高精度流水线 ADC 数字校准技术 研究与设计

专 业 名 称: 电子信息

研究生姓名: 胡超逸

导 师 姓 名: 黎飞 樊祥宁

校 外 导 师: 王建国

Research and Design of Digital Calibration Technology for High Speed and High Precision Pipelined ADC

A Thesis Submitted to
Southeast University
For the Academic Degree of Master of Electronic Information

BY
Hu Chaoyi

Supervised by
Dr. Li Fei and Prof. Fan Xiangning
and
Senior Engineer Wang Jianguo

School of Information Science and Engineering
Southeast University
May 2023

摘要

随着 5G 物联网时代的到来,高性能模数转换器的需求大幅提升。与其他结构模数转换器相比,流水线模数转换器(ADC)在精度和速度之间可实现较好的折中,成为了高速高精度应用下的优选结构。但随着集成电路工艺迭代,高性能模拟电路的设计越来越困难,级间增益误差、谐波失真、电容失配等非理想因素都限制了流水线 ADC 性能的提高。相反,数字电路设计可以充分利用工艺技术迭代的优势,相比模拟电路有着更优的性能,更低的功耗,更小的面积。引入数字校准技术对流水线 ADC 中模拟电路产生的非理想因素进行校准,成为了提升流水线 ADC 性能的重要手段,研究高速高精度流水线 ADC 中数字校准技术具有重要的理论意义和工程应用价值。

本文基于流水线 ADC 结构和原理,分析了影响流水线 ADC 性能的各种非理想因素,建立了对应的误差模型,分析了多种流水线 ADC 典型校准算法。使用 Simulink 完成了 12 位 500MS/s 流水线 ADC 行为级建模,并在流水线 ADC 行为级模型中引入级间增益误差、三次谐波失真误差、子数模转换器(DAC)误差三种误差因素,为本文的数字校准算法提供了数据支撑。

本文针对级间增益误差,设计了一种隔离谐波失真影响的伪随机序列(PN)注入级间增益误差后台校准算法;针对三次谐波失真误差,设计了一种基于观察点检测传输曲线奇对称性的 PN 注入三次谐波失真误差后台校准算法;针对子 DAC 误差导致的不同子区域间积分非线性(INL)跳跃,设计一种基于观察点计数的 PN 注入 INL 跳跃后台校准算法。并对三种校准算法需要的 PN 注入位置和 PN 注入比特数进行了研究。

本文基于 Matlab 语言和 Verilog 对三种校准算法进行了设计,可应用于一个 12 位 500MS/s 流水线 ADC 中。仿真结果表明,当同时存在级间增益误差、三次谐波失真误差、子 DAC 误差时,校准后的 ENOB 由 6.81 bit 提升至 11.40 bit, SNDR 由 42.76dB 提升至 70.36dB, SFDR 由 48.58dB 提升至 86.95dB,验证了算法的有效性,并基于 40nm CMOS 工艺完成版图设计,完成了数字校准模块的逻辑综合、形式验证、物理实现、时序分析和版图验证。

关键词: 流水线 ADC, 级间增益误差, 三次谐波失真误差, 子 DAC 误差, 数字校准

Abstract

With the advent of the 5G Internet of Things era, the demand for high-performance Analog-to-Digital Converters(ADC) has greatly increased. Compared with other analog-to-digital converters, pipelined ADCs can achieve a good compromise between accuracy and speed, making them the preferred structure for high-speed, high-precision applications. However, with the iteration of integrated circuit processes, the design of high-performance analog circuits is becoming more and more difficult, and non-ideal factors such as gain error between stages, harmonic distortion, and capacitance mismatch all limit the improvement of pipelined ADC performance. On the contrary, digital circuit design can take full advantage of process technology iteration, and has better performance, lower power consumption, and smaller area than analog circuits. The introduction of digital calibration technology to calibrate the non-ideal factors generated by analog circuits in pipelined ADC has become an important technical means to improve the performance of pipelined ADC, and it is of great theoretical significance and engineering application value to study the digital calibration technology in high-speed and high-precision pipelined ADC.

Based on the structure and principle of pipelined ADC, various non-ideal factors affecting the performance of pipelined ADC are analyzed. Moreover, the corresponding error model is established and a variety of typical calibration algorithms of pipelined ADC is researched. Simulink is used to complete the behavioral modeling of 12-bit 500MS/s pipelined ADC, and three error factors are introduced into the pipelined ADC behavioral modeling: interstage gain error, third harmonic distortion error, and sub-DAC error, providing theatrical support for the digital calibration algorithm in this thesis.

In this thesis, a Pseudo-random Noise(PN) injection background calibration algorithm for gain error that isolates the influence of harmonic distortion is designed. Aiming at the third harmonic distortion error, a PN injection third harmonic distortion error background calibration algorithm based on the odd symmetry of the observation point detection transmission curve is designed. Aiming at the Integral Non-Linearity(INL) hopping between different subregions caused by sub-DAC error, a PN injection INL hopping background calibration algorithm based on observer count is designed. The PN injection position and the number of PN injection bits required by the three calibration algorithms are studied.

In this thesis, three calibration algorithms are designed based on Matlab and Verilog language for application in a 12-bit 500MS/s pipelined ADC. When there is interstage gain error, third harmonic distortion error and sub-DAC error at the same time, the simulation results show that the calibrated ENOB is increased from 6.81 bit to 11.40 bit, with the rising of SNDR from 42.76dB to 70.37dB and the improvement of SFDR from 48.58dB to 87.12dB. Therefor, the effectiveness of the algorithm is verified. After all of the back end procesures of the digital calibration algorithm are completed such as synthesis, formal verification, physical implementation, timing analysis and layout validation, the whole digital circuit is implemented in 40nm CMOS process.

Keywords: Pipelined ADC, Interstage Gain Error, Third Harmonic Distortion Error, Sub DAC Error, Digital Calibration

目 录

第 1 章 绪论.....	1
1.1 研究背景及意义.....	1
1.2 国内外研究现状.....	1
1.3 主要研究内容和设计指标	3
1.4 论文结构安排.....	5
第 2 章 流水线 ADC 基础原理.....	7
2.1 流水线 ADC 的基本结构与原理.....	7
2.2 流水线 ADC 非理想因素分析	8
2.2.1 比较器失调.....	8
2.2.2 电容失配.....	8
2.2.3 失调电压.....	10
2.2.4 运放有限增益误差.....	10
2.2.5 运放的非线性误差.....	10
2.2.6 电荷注入与时钟馈通.....	11
2.3 ADC 的主要性能指标	12
2.3.1 静态性能参数.....	12
2.3.2 动态性能参数.....	14
2.4 本章小结.....	15
第 3 章 流水线 ADC 典型校准算法分析.....	17
3.1 模拟校准技术与数字校准技术	17
3.2 前台校准技术与后台校准技术	17
3.3 流水线 ADC 典型数字校准算法分析	17
3.3.1 级间增益误差前台校准算法.....	17
3.3.2 基于相关性的级间增益误差后台校准算法	20
3.3.3 基于 LMS 算法的级间增益误差后台校准算法	23
3.3.4 电容失配误差前台校准算法.....	24
3.4 本章小结.....	25
第 4 章 流水线 ADC 新型后台数字校准算法.....	27
4.1 流水线 ADC 新型后台数字校准算法模块整体结构.....	27
4.2 流水线 ADC 建模与仿真	27
4.2.1 理想流水线 ADC 建模	28
4.2.2 含非理想因素流水线 ADC 建模.....	30
4.2.3 流水线 ADC 模型仿真	32
4.3 伪随机序列注入技术.....	34

4.3.1 伪随机序列注入位置.....	34
4.3.2 伪随机序列注入比特数.....	36
4.3.3 注入伪随机序列后的误差模型.....	37
4.4 基于 PN 注入级间增益误差后台校准算法实现	38
4.4.1 基于 PN 注入级间增益误差后台校准算法原理	38
4.4.2 基于 PN 注入级间增益误差后台校准算法实现	40
4.4.3 基于 PN 注入级间增益误差后台校准算法仿真结果与分析	40
4.5 基于 PN 注入三次谐波失真误差后台校准算法实现	41
4.5.1 基于 PN 注入三次谐波失真误差后台校准算法原理	41
4.5.2 基于 PN 注入三次谐波失真误差后台校准算法实现	43
4.5.3 基于 PN 注入三次谐波失真误差后台校准算法仿真结果与分析	43
4.6 基于 PN 注入 INL 跳跃误差后台校准算法实现.....	45
4.6.1 基于 PN 注入 INL 跳跃误差后台校准算法原理.....	45
4.6.2 基于 PN 注入 INL 跳跃误差后台校准算法实现.....	46
4.6.3 基于 PN 注入 INL 跳跃误差后台校准算法仿真结果与分析	47
4.7 流水线 ADC 数字校准模块实现	48
4.7.1 流水线 ADC 数字校准模块实现	48
4.7.2 流水线 ADC 数字校准模块仿真结果与分析	49
4.8 本章小结.....	53
第 5 章 数字校准模块 ASIC 实现	55
5.1 ASIC 设计流程.....	55
5.2 逻辑综合	56
5.3 形式验证.....	57
5.4 物理实现.....	57
5.4.1 电源/地 Pad 规划.....	58
5.4.2 电源环设计	58
5.4.3 电源条设计	58
5.4.4 时钟树综合	59
5.4.5 布线及优化.....	59
5.5 静态时序分析.....	60
5.6 版图验证.....	60
5.7 本章小结.....	60
第 6 章 总结与展望	63
6.1 总结.....	63
6.2 展望.....	64

参考文献.....	65
-----------	----

插图目录

图 2-1 流水线 ADC 结构	7
图 2-2 满摆幅余差信号 (a)理想情况 (b)存在比较器失调误差	8
图 2-3 半摆幅余差信号	8
图 2-4 电容失配导致 INL 跳跃误差	9
图 2-5 有限增益误差余差传输曲线	10
图 2-6 三次谐波失真余差传输曲线	11
图 2-7 电荷注入效应	11
图 2-8 电路中的时钟馈通	12
图 2-9 存在失调的传输曲线	12
图 2-10 存在增益误差的传输曲线	13
图 2-11 微分非线性、积分非线性示意图	13
图 3-1 前台增益校准流水级结构	18
图 3-2 2.5bit 量化编码曲线	19
图 3-3 可编程电容阵列 MDAC	20
图 3-4 存在电容失配和运放有限增益误差的 MDAC 建模	21
图 3-5 传输曲线 (a)级间增益误差校准前 (b)级间增益误差校准后	21
图 3-6 传输曲线 (a)电容失配校准前 (b)电容失配校准后	24
图 4-1 流水线 ADC 新型后台数字校准算法模块整体结构	27
图 4-2 折叠 1.5 bit 流水级余差曲线	28
图 4-3 非折叠 1.5 bit 流水级余差曲线	28
图 4-4 非折叠 1.5 bit 流水级子 ADC	29
图 4-5 非折叠 1.5 bit 流水级子 DAC	29
图 4-6 非折叠 1.5 bit 流水级	30
图 4-7 整体流水级	30
图 4-8 冗余校准模块	30
图 4-9 非理想首级 1.5 bit 流水级	31
图 4-10 子 DAC 参考电压误差	32
图 4-11 理想 12 bit 流水线 ADC 斜坡信号仿真结果	32
图 4-12 非理想 12 bit 流水线 ADC 斜坡信号仿真结果	33
图 4-13 理想 12 bit 流水线 ADC 动态性能	33
图 4-14 非理想 12 bit 流水线 ADC 动态性能	34
图 4-15 注入 PN 时流水线 ADC 模型	35
图 4-16 第一级半摆幅 1.5 bit 流水级余差传输曲线	35

图 4-17 子 ADC 注入 PN_1 后第一级流水级余差传输曲线	35
图 4-18 子 ADC 和 MDAC 注入 PN_1 后第一级流水级余差传输曲线	36
图 4-19 注入 PN 后第一级流水级建模.....	36
图 4-20 增加冗余级后流水线 ADC 结构	37
图 4-21 PN 序列产生模块建模.....	37
图 4-22 级间增益误差校准算法结构.....	40
图 4-23 未校准级间增益误差流水线 ADC 输出信号频谱图	40
图 4-24 校准级间增益误差后流水线 ADC 输出信号频谱图	41
图 4-25 三次谐波导致输出曲线奇对称性.....	42
图 4-26 三次谐波失真误差校准算法结构.....	43
图 4-27 未校准三次谐波失真误差时流水线 ADC 输出信号频谱图	44
图 4-28 校准三次谐波失真误差后流水线 ADC 输出信号频谱图	44
图 4-29 子 ADC 注入不同极性 PN 后传输曲线	45
图 4-30 INL 跳跃校准算法结构	46
图 4-31 未校准 INL 跳跃误差时流水线 ADC 输出信号频谱图.....	47
图 4-32 校准 INL 跳跃后流水线 ADC 输出信号频谱图.....	47
图 4-33 数字校准模块 FSM.....	48
图 4-34 未经数字校准模块校准时流水线 ADC 输出信号频谱图	49
图 4-35 未经数字校准模块校准时 DNL 特性.....	50
图 4-36 未经数字校准模块校准时 INL 特性	50
图 4-37 经 Matlab 级数字校准模块校准后流水线 ADC 输出信号频谱图	50
图 4-38 经数字校准模块校准后输出关键信号.....	51
图 4-39 经 RTL 级数字校准模块校准后流水线 ADC 输出信号频谱图	51
图 4-40 经 RTL 级数字校准模块校准后 DNL 特性	51
图 4-41 经 RTL 级数字校准模块校准后 INL 特性.....	51
图 5-1 ASIC 流程图.....	55
图 5-2 设计约束	56
图 5-3 综合后面积报告.....	56
图 5-4 形式验证流程图.....	57
图 5-5 形式验证报告.....	57
图 5-6 流水线 ADC 数字校准算法模块版图	59
图 5-7 建立时间分析.....	60
图 5-8 保持时间分析.....	60

表格目录

表 1-1 国外高速高精度流水线 ADC 校准技术研究现状	2
表 1-2 国内高速高精度流水线 ADC 校准技术研究现状	3
表 1-3 流水线 ADC 的基本参数和校准预计的性能提升	5
表 4-1 存在不同级间增益误差时级间增益误差后台校准算法校准效果	41
表 4-2 存在不同三次谐波失真误差时三次谐波失真误差后台校准算法校准效果	44
表 4-3 存在不同子 DAC 余差参考电压误差时 INL 跳跃误差后台校准算法校准效果	48
表 4-4 12 bit 500MS/s 流水线 ADC 数字校准算法仿真性能指标对比	52
表 4-5 本设计流水线 ADC 数字校准后性能提升与预计性能提升对比	52
表 4-6 本设计与其他已发表设计对比	52

缩略语表

ADC	Analog-to-Digital Converter	模数转换器
ADI	Analog Devices	亚德诺半导体
ASIC	Application Specific Integrated Circuit	专用集成电路
CMOS	Complementary Metal Oxide Semiconductor	互补金属氧化物半导体
DAC	Digital-to-Analog Converter	数模转换器
DNL	Differential Non-Linearity	微分非线性
DRC	Design Rule Check	设计规则检查
EDA	Electronic Design Automation	电子设计自动化
ENOB	Effective Number of Bits	有效位数
FFT	Fast Fourier Transformation	快速傅里叶变换
FSM	Finite State Machine	有限状态机
INL	Integral Non-Linearity	积分非线性
LMS	Least Mean Square	最小均方
LSB	Least Significant Bit	最小量化单位
LVS	Layout Versus Schematic	版图原理图匹配检查
MDAC	Multiplying Digital-to-Analog Converter	乘法数模转换器
MOS	Metal Oxide Semiconductor	金属氧化物半导体
NMOS	N channel Metal Oxide Semiconductor	N 沟道金属氧化物半导体
PMOS	P channel Metal Oxide Semiconductor	P 沟道金属氧化物半导体
PN	Pseudo-random Noise	伪随机序列
PVT	Process Voltage Temperature	工艺电压温度
RTL	Register Transfer Level	寄存器传输级
SAR	Successive Approximation Register	逐次逼近
SFDR	Spurious Free Dynamic Range	无杂散动态范围
SNDR	Signal to Noise and Distortion Ratio	信噪失真比
SNR	Signal to Noise Ratio	信噪比
TI	Texas Instruments	德州仪器

第1章 绪论

1.1 研究背景及意义

随着 5G 物联网时代的到来,智慧物流、无人驾驶、智能家居等新兴技术高速发展。在这些物联网技术的应用场景中,复杂输入数据通常采用高性能的数据处理器进行处理,控制终端设备。数据处理器能够处理的信号类型为数字信号,但自然界中的原始信号,如温度、湿度和图像等信号都是以模拟信号的形式存在。模拟信号虽然可以通过相应的模拟电路如幅度限制、调制解调、检波等电路进行处理。但在更复杂的环境,更高的速度需求下,直接使用模拟电路处理模拟信号的方式有限,无法满足所有功能需求。与直接处理模拟信号相比,数字信号有着易储存、易传输、信噪比高等优点,且通过复杂的数字算法处理后可应用于不同的应用场景^[1]。由于数字信号处理设备无法直接处理模拟数据,需要使用模数转换器(Analog-to-Digital Converter, ADC)完成模拟信号到数字信号的转换,ADC 因此成为了当代数据处理设备的重要一环。为了满足 5G 物联网应用场景的需要,高性能 ADC 已经成为了学术和工业界的重点研究目标。

在不同的应用场景下,高性能 ADC 的指标要求不同,主要体现在版图面积、功耗、速度和精度等方面。针对不同的应用需求,ADC 有不同的结构类型。比较常见的有高速低精度的快闪型(FLASH) ADC、低功耗的逐次逼近型(Successive Approximation Register, SAR) ADC、兼具高速高精度的流水线(Pipelined) ADC 等。其中流水线结构使流水线 ADC 在精度和速度之间可实现较好的折中,成为了高速高精度应用下的常见结构。

随着集成电路工艺迭代,工艺尺寸不断减小,虽然推动了集成电路的发展,但也给模拟电路的设计带来了更大的限制。其中流水线 ADC 芯片因为工艺尺寸的迭代,晶体管本征增益降低,使高增益的运放设计难度增加,不可避免地使流水线 ADC 的精度下降。并且在芯片制造的过程中,制造环境和制造工艺也将带来一些误差,例如实际电路参数与标准库元件电路参数出现偏差而导致的电容电阻失配等。流水线 ADC 中还存在一些非理想因素,如运放带宽受限导致的谐波失真等。因此,为了降低模拟电路的设计要求,消除制造时带来的失配以及各种非理想因素带来的影响,需要引入校准技术来保证 ADC 的性能。目前,国内对于高速高精度的 ADC 有着巨大的需求,但国内设计的高速高精度 ADC 芯片往往无法满足数字处理系统的需求,产品被德州仪器(Texas Instruments, TI)、亚德诺半导体(Analog Devices, ADI)等公司垄断。因此,研究流水线 ADC 校准技术,提高流水线 ADC 性能,对于实现高速高精度 ADC 有着重要的学术和工业价值。

1.2 国内外研究现状

近年来,高速高精度流水线 ADC 的研究方向主要包括以下几个方面:高速高精度的流水线 ADC^{[2][3]};为了达到更高速率将单通道流水线 ADC 结合时间交织技术实现的时间交织流水线(Time-Interleaved Pipeline, TI-Pipe) ADC^{[4][5]};也有为了降低功耗将流水线 ADC 与逐次逼近型 ADC 相结合

的流水线-逐次逼近型 (Pipe-SAR) ADC^{[6][7]}。不管是否与交织技术和逐次逼近型 ADC 相结合, 都需要对流水线 ADC 中存在的非理想因素进行校准。流水线 ADC 主要由若干级流水线式 ADC、最后一级的快闪型 ADC、冗余校正模块等结构实现。其中流水线式 ADC 由比较器构成的子 (sub) ADC、开关电容阵列和运算放大器构成的乘法数模转换器 (Multiplying Digital to Analog Convert, MDAC) 组成。所以, 在流水线 ADC 中, 比较器失调、参考电压失真、开关电容失配、运算放大器的有限增益和有限带宽等非理想因素均会使流水线 ADC 的性能下降。需要使用校准技术, 在模拟域或数字域进行相应校准和补偿。表 1-1 列举了近年来部分国外发表的高速高精度流水线 ADC 校准技术参考文献。

表 1-1 国外高速高精度流水线 ADC 校准技术研究现状

年份	工艺 (nm)	分辨率 (Bit)	采样率 (MS/s)	通道数	SNDR (dB)	验证	设计技术特点
2016 ^[9]	28	14	2500	1	64	流片	Pipe/数字校准
2017 ^[10]	28	12	10000	8	55	流片	TI-Pipe/数字校准
2019 ^[11]	40	13	260	1	68.1	流片	Pipe/数字校准
2020 ^[12]	16	12	18000	8	52	流片	TI-Pipe/数字校准
2021 ^[13]	16	13	4000	4	61.9	流片	TI-Pipe/数字校准
2022 ^[14]	16	12	500	1	62.9	流片	Pipe-SAR/数字校准

2016 年, 在文献[8]向 MDAC 注入伪随机序列 (Pseudo-random Noise, PN) 使用最小均方 (Least Mean Square, LMS) 算法校准级间增益误差的基础上, A.M.A.Ali 和 H.Dinc 通过向流水线 ADC 的输入中注入 16 电平且幅度较大的伪随机信号, 对余差非线性等非理想因素进行校准, 以 28nm CMOS 工艺实现了 14 bit 2.5GS/s 的单通道流水线 ADC^[9]。2017 年, Siddharth Devarajan 等人通过向流水线 ADC 第一级的 MDAC 和子 ADC 注入单比特伪随机序列的方式, 直接对级间增益误差系数进行提取, 对第一级流水级 ADC 级间增益误差进行了校准, 以 28nm CMOS 工艺实现了 12 bit 1.25GS/s 的单通道 ADC, 进而 8 通道交织实现了 12 bit 10GS/s 的时间交织 ADC^[10]。2019 年, Dadian Zhou 等人通过使用一个固定频率的正弦信号提取级间增益误差、三次及五次谐波的系数, 并将该系数应用于任何其他输入信号。再使用粒子群优化算法对获得的系数进行优化, 每次优化保留信噪失真比 (Signal to Noise and Distortion Ratio, SNDR) 较大的系数, 完成 300 次优化后结束校准, 以 40nm CMOS 工艺实现了 13 bit 260MS/s 的单通道 ADC^[11]。2020 年, 在文献[8][9]的基础上, A.M.A.Ali 等人提出了一种同时向流水线 ADC 的第一级 MDAC 和子 ADC 注入伪随机序列的方式, 基于注入伪随机序列不同时传输曲线特性不同的原理, 使用统计特性对级间增益误差、积分非线性 (Integral Non-Linearity, INL) 跳跃误差和奇次谐波失真误差进行校准, 以 16nm FinFET 工艺实现了 12 bit 2.25GS/s 的单通道流水线 ADC, 进而 8 通道交织实现了 12 bit 18GS/s 的时间交织 ADC^[12]。2021 年, Benjamin Hershberg 等人通过使用一种新型后台数字校准算法测量放大器的信号失真比, 通过调节数字偏置码使放大器的信号失真比接近最优, 从而完成放大器级间增益误差后台数字校准。最终以 16nm CMOS 工艺实现了 13 bit 1GS/s 的单通道流水线 ADC, 进而 4 通道交织实现了 13 bit 4GS/s 的时间交织 ADC^[13]。2022 年, Jorge Lagos 等人使用一种新型逐次逼近型量化器和伪随机注入技术, 基于 LMS 算法完成

级间增益误差后台校准和子 DAC 前台校准，最终以 16nm FinFET 工艺实现了 12 bit 500MS/s 的单通道流水线-逐次逼近型 ADC，校准后 SNDR 达到 62.9dB^[14]。

相比于国外的研究成果，近几年我国虽然在流水线 ADC 及其数字校准算法的研究中处于高速发展阶段，但在数字校准算法研究和流水线 ADC 性能方面和国际领先水平相比还有不小的差距，且所发表成果中的结果大多为仿真结果。表 1-2 列举了近年来部分国内发表的高速高精度流水线 ADC 校准技术参考文献。

表 1-2 国内高速高精度流水线 ADC 校准技术研究现状

年份	工艺 (nm)	分辨率 (Bit)	采样率 (MS/s)	通道 数	SNDR (dB)	验证	设计技术特点
2018 ^[15]	28	14	1000	1	62	流片	Pipe/数字校准
2019 ^[16]	40	12	125	1	67.61	Matlab	Pipe/数字校准
2019 ^[17]	55	12	250	1	66.7	流片	Pipe/数字校准
2021 ^[18]	40	12	2000	4	63.3	前仿	TI-Pipe/数字校准
2022 ^[19]	28	11	1250	1	59.5	前仿	Pipe/数字校准

2018 年，浙江大学张燕华使用与文献[8]相同的基于伪随机序列注入的级间增益校准算法以及电容失配前台校准算法在 28nm CMOS 工艺下实现了 SNDR 为 62dB 的 14 bit 1GS/s 的单通道流水线 ADC^[15]。2019 年，电子科技大学周鹏飞设计了一种基于分裂式结构的流水线 ADC 数字校准算法，通过使用分裂式 ADC 架构得到更多的误差信息，完成级间增益误差校准。最终使用 Matlab 建模 12 bit 流水线 ADC 并与 Verilog 级代码联仿验证了算法有效性，SNDR 达到 67.61dB^[16]。同年，电子科技大学彭析竹等人使用文献[8]中级间增益校准算法的基础上，在流水线 ADC 中加入多级冗余级降低量化噪声对校准算法的影响，在 55nm CMOS 工艺下实现了 SNDR 为 66.7dB 的 12 bit 250MS/s 的单通道流水线 ADC^[17]。2021 年，清华大学刘森基等人使用与文献[8]相同的基于伪随机序列注入的级间增益校准算法校准流水线 ADC 的级间增益误差，并使用基于相关性的数字校准算法校准时间交织 ADC 不同通道间的失调，最终在 40nm CMOS 工艺下仿真实现了 SNDR 为 63.3dB 的 12 bit 2GS/s 的时间交织流水线 ADC^[18]。2022 年，复旦大学任俊彦等人使用一种后台级间增益误差校准算法片外校准流水线 ADC 级间增益误差，在 28nm CMOS 工艺下仿真实现了 SNDR 为 59.5dB 的 11 bit 1.25GS/s 单通道流水线 ADC^[19]。

从国内外流水线 ADC 研究现状对比中可以看出，虽然我国在流水线 ADC 研究中处于高速发展阶段，但国内流水线 ADC 相比国外性能更低、使用的数字校准算法更加落后、且能够校准的非理想因素更少、校准效果更差、对校准使用的数据要求更高。因此，为了实现更高性能的流水线 ADC，需要使用更加先进的数字校准算法。

1.3 主要研究内容和设计指标

本文将基于流水线 ADC 原理和非理想因素对流水线 ADC 的影响进行建模，并设计相应的数字校准算法完成非理想因素的校准与补偿，最终进行数字校准算法模块的版图实现。论文主要研究内容如下：

(1) 12 位 500MS/s 流水线 ADC 建模

为了获得足够的流水线 ADC 输出数据,验证各种非理想因素对流水线 ADC 的影响,本文首先对 ADC 的基础结构进行了分析,以此为基础再对各种非理想因素进行建模,分别建立理想 12 位 500MS/s 流水线 ADC 模型和存在级间增益误差、三次谐波失真误差、子数模转换器(Digital-to-Analog Converter, DAC)误差的 12 位 500MS/s 流水线 ADC 模型。

(2) 级间增益误差校准算法

运算放大器作为流水线 ADC 中最关键的组成单位之一,是 MDAC 电路设计的关键所在,其增益对流水线 ADC 的精度和速度都有着至关重要的影响。级间增益误差主要由 MDAC 的电容失配以及运放的有限增益引起,其中运放的有限增益随着温度变化而变化,所以需要使用时级间增益误差后台校准算法,实时补偿不同工艺电压温度(Process Voltage Temperature, PVT)下的级间增益误差,是本文的研究重点之一。

(3) 三次谐波失真误差校准算法

MDAC 中运算放大器除有限增益误差外,由于实际运放带宽有限,还存在增益非线性误差。实际运放的增益并不是固定不变的,其数值会随着输入幅值的增加而逐渐减少。对于 MDAC 电路而言,其不同的输出值所对应的运放增益变化会引入非线性,此时会在流水线 ADC 中引入谐波失真误差,其中对流水线 ADC 影响最大的是三次谐波失真误差,需要使用三次谐波失真误差后台校准算法进行校准并补偿。

(4) INL 跳跃误差校准算法

MDAC 由运算放大器、开关电容阵列组成。电容阵列中的电容单元由于工艺制造中的不确定性,其实际的电容值与理想电容值将出现偏差,即出现电容失配现象。MDAC 中的参考电压也可能因为电阻失配或寄生电阻出现参考电压失真误差。而电容失配和参考电压失真都会导致子 DAC 余差参考电压出错,使 MDAC 的传输曲线在不同子区域间出现 INL 跳跃,降低流水线 ADC 精度。另一方面,由于校准算法精度有限,级间增益误差和谐波失真误差若不能完全校准并补偿,也会使 MDAC 的传输曲线在不同子区域间出现 INL 跳跃,所以需要使用时 INL 跳跃误差后台校准算法对不同子区域间的 INL 跳跃进行校准并补偿。

(5) 数字校准系统验证和版图设计

最后本设计基于 12 位 500MS/s 流水线 ADC 建模,验证三种后台数字校准算法性能,进行寄存器传输级(Register Transfer Level, RTL)级代码实现并完成系统验证和版图设计。

本文设计的三种后台数字校准算法可应用于一种 12 位 500MS/s 流水线 ADC 中,校准该流水线 ADC 的级间增益误差、三次谐波失真误差和子 DAC 误差引起的 INL 跳跃。流水线 ADC 的基本参数和校准预计的性能提升如表 1-3 所示。

表 1-3 流水线 ADC 的基本参数和校准预计的性能提升

参数	指标
工艺	40nm CMOS
采样频率	500MHz
位宽	12 bit
ENOB 性能提升	≥ 2 bit
SNDR 性能提升	≥ 12 dB
SFDR 性能提升	≥ 12 dB

1.4 论文结构安排

本文主要介绍三种流水线 ADC 数字校准算法设计, 并使用 40nm CMOS 工艺实现数字校准算法版图设计, 论文结构如下:

第一章绪论主要阐述了流水线 ADC 及校准算法的研究背景和意义, 将国内外研究现状进行对比, 并给出了本文的主要研究内容, 设计指标及结构安排。

第二章首先阐述了流水线 ADC 的基本原理和基础结构, 再对流水线 ADC 中的非理想因素进行了分析, 最后介绍了评判流水线 ADC 性能的主要指标。

第三章首先阐述了校准技术概述, 再对近年流水线 ADC 典型数字校准算法进行分析。

第四章首先分析了流水线 ADC 误差模型, 并根据误差模型建立存在级间增益误差、三次谐波失真误差和子 DAC 误差的 Simulink 模型。接着对伪随机信号注入 ADC 的位置和比特数进行研究, 并建立注入伪随机信号后的误差模型。再对三种数字校准算法进行实现, 并通过 Simulink 和 Matlab 联仿及 Simulink 和 Modelsim 联仿验证算法可行性。

第五章主要介绍数字校准模块的数字集成电路设计总流程, 包括逻辑综合、时序分析等内容。

第六章为本文总结与展望。

第2章 流水线 ADC 基础原理

研究流水线 ADC 原理是研究流水线 ADC 数字校准技术的基础,因此本章首先对流水线 ADC 的基本结构和原理进行阐述,并在此基础上对流水线 ADC 非理想因素进行分析,最后介绍判断流水线 ADC 性能的主要指标。

2.1 流水线 ADC 的基本结构与原理

为了满足高速高精度的应用需求,流水线 ADC 成为了工业和学术界的优选结构。流水线 ADC 的常见结构如图 2-1 所示,主要结构为 n 级流水级、最后一级的快闪型 ADC 和一个冗余校准模块。其中每一级流水级都由子 ADC 和 MDAC 组成^[21],子 ADC 主要由比较器构成,将输入的模拟信号采样量化后,输出数字码至冗余校准模块和 MDAC 模块。MDAC 由电容阵列和余差放大器组成,采样输入的模拟信号,并根据子 ADC 输出的数字码,完成余差放大功能,将余差信号传递给下一级流水级处理。每一级流水级工作原理相同,将上一级流水级的余差信号量化后传递至下一级流水级,最后一级流水级将余差信号传递至快闪型 ADC 完成余差信号的量化。由于每一级流水级输入余差信号时间不同,所以每一级流水级输出的数字信号需要传递给冗余校准模块,经历延迟对齐后,冗余位错位相加输出整体数字码。相邻的流水级通过时钟控制分别工作在采样和保持阶段,即整个流水线 ADC 的奇数级流水级和偶数级流水级工作在非交叠时钟下,从而使流水线 ADC 不会出现某一级流水级因接收不到上一级余差信号而停止工作的现象。

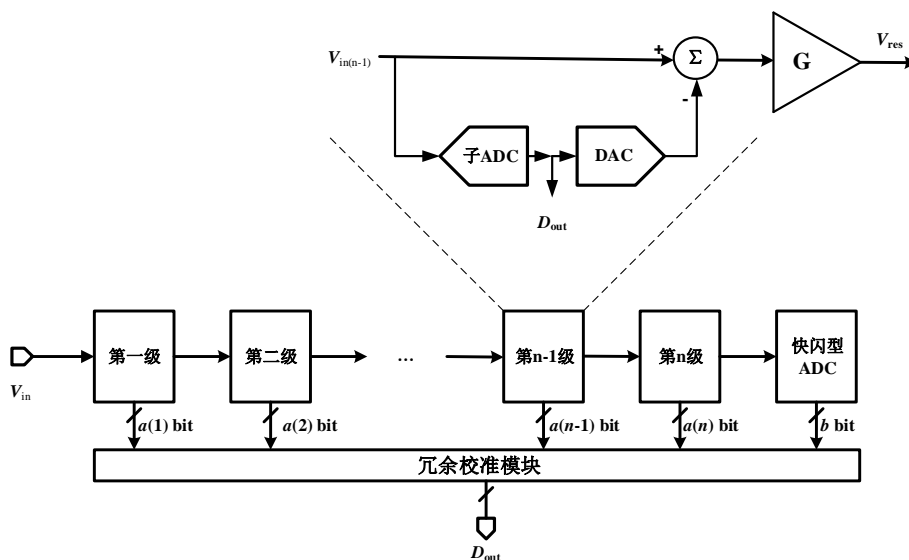


图 2-1 流水线 ADC 结构

在一个理想的流水线 ADC 中,若本级流水级位数为 a 位,余差放大器的放大倍数设置为 2^a ,输出的余差信号将为满幅,如图 2-2(a)所示。但由于流水线 ADC 中存在各种非理想因素,如比较器失调等,该情况下的实际余差信号可能会超出满幅输出,并超出下一级流水级的输入范围,出现误码,如图 2-2(b)中所示。该问题一般使用折叠 0.5 bit 冗余结构处理,该结构的传输曲线如图 2-3 所示,理

想情况下输出的余差信号为半摆幅，在一定程度上解决了余差信号可能超出下一级输入范围的问题。

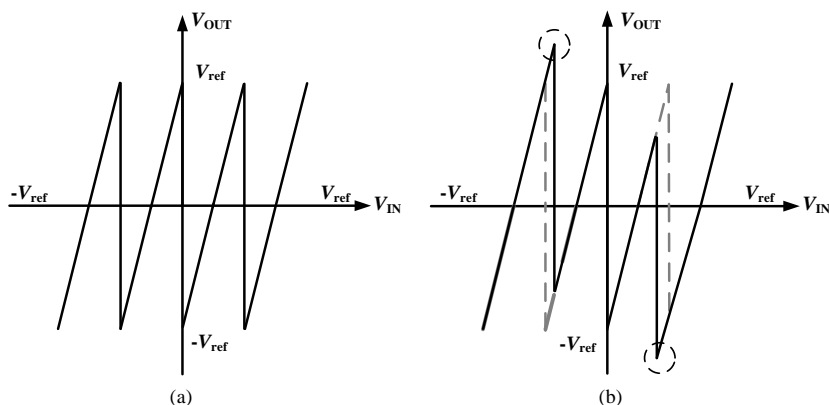


图 2-2 满摆幅余差信号 (a)理想情况 (b)存在比较器失调误差

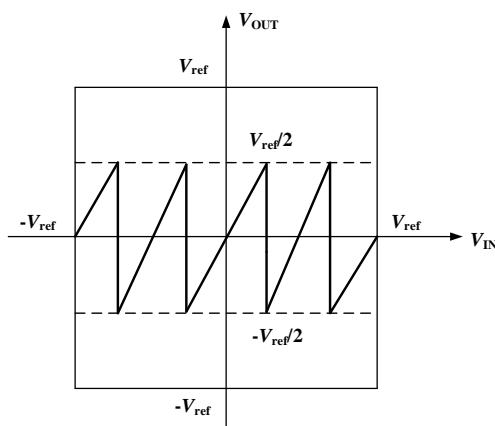


图 2-3 半摆幅余差信号

2.2 流水线 ADC 非理想因素分析

流水线 ADC 中存在多种非理想因素，如工艺制造导致的失配、余差放大器设计导致的有限增益误差等，均会对流水线 ADC 的整体性能造成影响。

2.2.1 比较器失调

流水线 ADC 每一级流水级中的子 ADC 都由比较器和编码器构成，由于每一级流水级分辨率不高，子 ADC 一般使用快闪型结构，模拟输入信号或余差信号进入每一级流水级的比较器阵列后，和各个参考电压进行比较，输出温度计码，温度计码经过编码器编码后生成二进制码^[21]。比较器的各个参考电压一般由参考电压 V_{ref} 和电阻串分压得到。当参考电压 V_{ref} 存在失调或电阻串因工艺制造原因出现失配时，比较器的判决电平将改变，从而使流水级的传输曲线发生变化。从前文的分析中可知若使用 0.5 bit 冗余结构，通过使用冗余校正技术，分辨率为 n 的流水级最多可允许 $V_{ref}/2^{n+1}$ 的比较器失调^[22]。

2.2.2 电容失配

MDAC 是流水线 ADC 每一级流水级中最重要的电路之一，闭环 MDAC 由余差放大器和电容阵

列构成^[23]。其闭环增益由采样电容和反馈电容共同决定，余差信号大小还由于 ADC 输出的数字码、数字码对应的采样电容和反馈电容、参考电压 V_{ref} 共同决定。以一个 2 bit 流水级 MDAC 为例，当不存在任何非理想因素时，其传输函数如式(2.1)所示：

$$V_{\text{res}} = \frac{\sum_{i=1}^5 C_i}{C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{\text{ref}} \quad (2.1)$$

式(2.1)中 V_{res} 为余差电压， C_i 为采样电容， C_f 为反馈电容， D_i 为子 ADC 输出的数字码， V_{ref} 为参考电压。当采样电容和反馈电容不存在失配时，MDAC 的传输函数如式(2.2)，闭环增益为理想值 2，余差曲线连续，不同子区域间无 INL 跳跃。

$$V_{\text{res}} = \begin{cases} 2 \cdot V_{\text{in}} + 3/2 \cdot V_{\text{ref}} & -V_{\text{ref}} \leq V_{\text{in}} < -1/2 \cdot V_{\text{ref}} & D_1[1:0] = 00 \\ 2 \cdot V_{\text{in}} + 1/2 \cdot V_{\text{ref}} & -1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < 0 & D_1[1:0] = 01 \\ 2 \cdot V_{\text{in}} - 1/2 \cdot V_{\text{ref}} & 0 \leq V_{\text{in}} < 1/2 \cdot V_{\text{ref}} & D_1[1:0] = 10 \\ 2 \cdot V_{\text{in}} - 3/2 \cdot V_{\text{ref}} & 1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < V_{\text{ref}} & D_1[1:0] = 11 \end{cases} \quad (2.2)$$

若采样电容和反馈电容出现失配时，该 2 bit 流水级 MDAC 传输函数如式(2.3)，其中 ΔC_i 为输入电容的失配值， ΔC_f 为反馈电容的失配值，可以看到电容失配不仅会对 MDAC 的闭环增益造成影响，使传输曲线的斜率发生变化，同时还会改变不同数字输入时对应的余差参考电压。

$$V_{\text{res}} = \frac{\sum_{i=1}^5 C_i + \sum_{i=1}^5 \Delta C_i}{C_f + \Delta C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i + \sum_{i=1}^5 D_i \Delta C_i}{C_f + \Delta C_f} V_{\text{ref}} \quad (2.3)$$

设式(2.3)中电容失配对级间增益误差的影响为 α ，对余差参考电压的影响为 β ，以 2 bit 流水级 MDAC 为例，余差电压输出公式变为如式(2.4)：

$$V_{\text{res}} = \begin{cases} (2 + \alpha) \cdot V_{\text{in}} + \beta_1 \cdot V_{\text{ref}} & V_{\text{ref}} \leq V_{\text{in}} < -1/2 \cdot V_{\text{ref}} & D_1[1:0] = 00 \\ (2 + \alpha) \cdot V_{\text{in}} + \beta_2 \cdot V_{\text{ref}} & -1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < 0 & D_1[1:0] = 01 \\ (2 + \alpha) \cdot V_{\text{in}} - \beta_3 \cdot V_{\text{ref}} & 0 \leq V_{\text{in}} < 1/2 \cdot V_{\text{ref}} & D_1[1:0] = 10 \\ (2 + \alpha) \cdot V_{\text{in}} - \beta_4 \cdot V_{\text{ref}} & 1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < V_{\text{ref}} & D_1[1:0] = 11 \end{cases} \quad (2.4)$$

那么除传输曲线斜率变化外，在 3 个比较器阈值处的余差输出电压跳变值由理想情况下的 V_{ref} 分别变为 $(\beta_1 - \beta_2)V_{\text{ref}}$ ， $(\beta_2 - \beta_3)V_{\text{ref}}$ ， $(\beta_3 - \beta_4)V_{\text{ref}}$ ，将在比较器阈值处出现如图 2-4 的 INL 跳跃，使流水线 ADC 线性度下降。

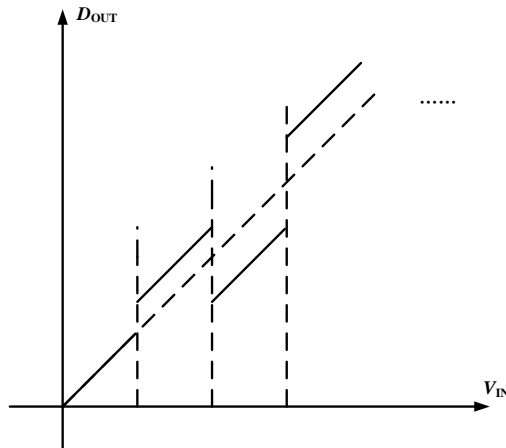


图 2-4 电容失配导致 INL 跳跃误差

2.2.3 失调电压

MDAC 中的运算放大器一般为差分结构, 因为放大器的差分 CMOS 管参数差异将存在失调电压, 且失调电压受温度、工作时间等因素影响, 随环境变化而变化^[24]。只存在失调电压时的余差电压如式(2.5)所示:

$$V_{\text{res}} = \frac{\sum_{i=1}^5 C_i}{C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{\text{ref}} - V_{\text{os}} \quad (2.5)$$

其中 V_{os} 为失调电压, 从式(2.5)中可以看出, 当存在失调电压时, 和电容失配误差相同, 也会改变不同数字输入时对应的余差参考电压, 使不同子区域间出现 INL 跳跃。

2.2.4 运放有限增益误差

理想运算放大器具有无限大的直流增益, 但实际运算放大器的直流增益往往是一有限值, 且随着直流增益的增大, 运算放大器的设计难度也随之增大, 若放大器实际增益不满足设计要求, 将引入放大器有限增益误差^[25]。忽略其他非理想因素的影响, 存在运放有限增益误差的传输函数如式(2.6), 其中 A 为运算放大器开环增益, β 为反馈系数。可以看出当存在有限增益误差时, 传输曲线的斜率将发生变化, 且开环增益越小, 该误差越大, 具体传输曲线如图 2-5 虚线所示。

$$V_{\text{res}} = \frac{A\beta}{1 + A\beta} \left(\frac{\sum_{i=1}^5 C_i}{C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{\text{ref}} \right) \quad (2.6)$$

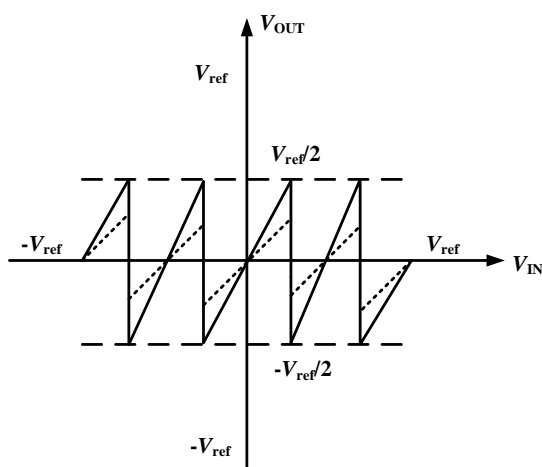


图 2-5 有限增益误差余差传输曲线

2.2.5 运放的非线性误差

上一节分析运放的有限增益误差时, 默认 MDAC 的闭环增益是稳定不变的, 实际 MDAC 的闭环增益会随输入幅度的变化而变化^{[26][27]}。运放的非线性一般考虑奇次谐波和偶次谐波失真的影响, 偶次谐波失真可以使用全差分的电路结构进行消除, 奇次谐波失真中三次谐波失真对 MDAC 影响最大。存在三次谐波失真误差的传输函数如式(2.7), 其中 α_3 为三次谐波系数。从式(2.7)中可以看出随着余差电压的增加, 三次谐波失真误差也将增加, 对 MDAC 传输曲线的影响越大, 存在三次谐波失

真误差的传输曲线如图 2-6 所示。

$$V_{\text{res}} = \frac{\sum_{i=1}^5 C_i}{C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{\text{ref}} - \alpha_3 \left(\frac{\sum_{i=1}^5 C_i}{C_f} V_{\text{in}} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{\text{ref}} \right)^3 \quad (2.7)$$

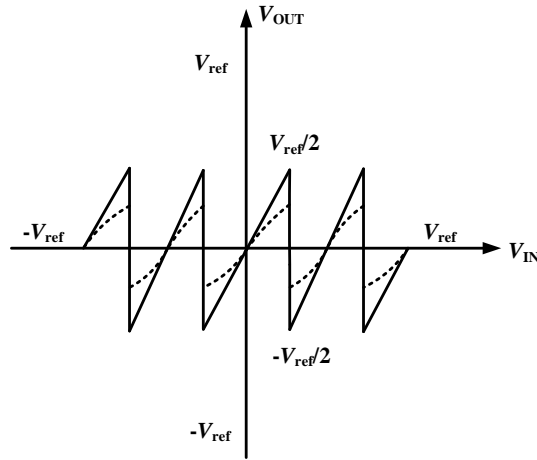


图 2-6 三次谐波失真余差传输曲线

2.2.6 电荷注入与时钟馈通

一个 MOS 管导通时，栅极氧化层的下方必然存在沟道，那么在如图 2-7 的采样电路中，当 $V_{\text{IN}} \approx V_{\text{OUT}}$ 时，反型层的总电荷 Q_{ch} 如式(2.8)，其中 L 为有效沟道长度， V_{DD} 为电源电压， V_{TH} 为阈值电压，当开关断开后， Q_{ch} 会通过源端和漏端流出，这种现象就叫沟道电荷注入^[24]。

$$Q_{\text{ch}} = WLC_{\text{ox}}(V_{\text{DD}} - V_{\text{IN}} - V_{\text{TH}}) \quad (2.8)$$

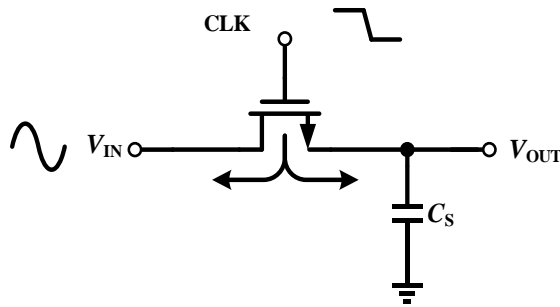


图 2-7 电荷注入效应

在图 2-7 中，注入到输入端的电荷不会产生误差，但注入到输出端的电荷将沉积在电容 C_s 上，将为储存在采样电容上的电荷带来误差，当一半总电荷注入到电容 C_s 上，产生的压差如式(2.9)：

$$\Delta V = \frac{Q_{\text{ch}}}{2C_s} = \frac{WLC_{\text{ox}}(V_{\text{DD}} - V_{\text{IN}} - V_{\text{TH}})}{2C_s} \quad (2.9)$$

那么 NMOS 开关将在输出端有一个负电压差，该误差与 WLC_{ox} 成正比，与电容 C_s 成反比。一种降低电荷注入效应的方式是结合 PMOS 和 NMOS 器件，使得相反的电荷量被两个通道相互注入抵消，但由于 NMOS 的栅漏交叠电容和 PMOS 不对等，该误差不能完全消除。另一种方法是利用差动电路减小电荷注入带来的误差，可以将电荷注入看作是一种共模干扰，从而消除固定的失调，并降低非线性影响。

除电荷注入效应外, MOS 开关还会通过栅漏或栅源交叠电容将时钟跳变耦合到采样电容上。如图 2-8 所示, 这种效应被称作时钟馈通^[24], 将为采样输出电压带来误差, 假定交叠电容为固定值, 电压误差如式(2.10), 式中 C_{ov} 为单位宽度交叠电容, 一般通过减小开关尺寸, 减小版图寄生参数影响来降低时钟馈通带来的误差。

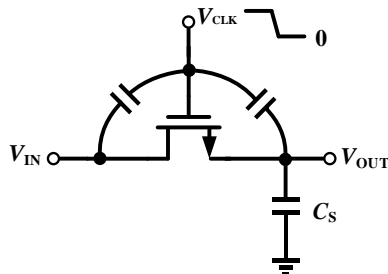


图 2-8 电路中的时钟馈通

$$\Delta V = V_{CLK} \cdot \frac{WC_{ov}}{WC_{ov} + C_S} \quad (2.10)$$

2.3 ADC 的主要性能指标

ADC 的主要性能指标一般分为静态性能参数^[28]和动态性能参数^[29], 分别描述 ADC 在静态环境下和动态环境下 ADC 实际量化特性与理想量化特性的关系, 根据不同的应用需求, 静态性能参数和动态性能参数有着不同的要求。

2.3.1 静态性能参数

(1) 分辨率: 分辨率是 ADC 最重要的指标之一, 描述了 ADC 分辨模拟信号的最小量化幅度, 即代表了 ADC 的转换精度, 分辨率越高则 ADC 转换精度越高。一个 N 位 ADC, 其最小量化幅度为 $V_{FS}/2^N$, V_{FS} 为输入电压范围, 代表了一个最小量化区间 (Least Significant Bit, LSB) 对应的模拟输入范围。

(2) 失调: 失调一般指 ADC 实际传输曲线和理想传输曲线间的电压差, 该误差一般由比较器、放大器中的电容电阻失配引起, 如图 2-9, 理想传输曲线和实际传输曲线间水平差值即为失调误差。

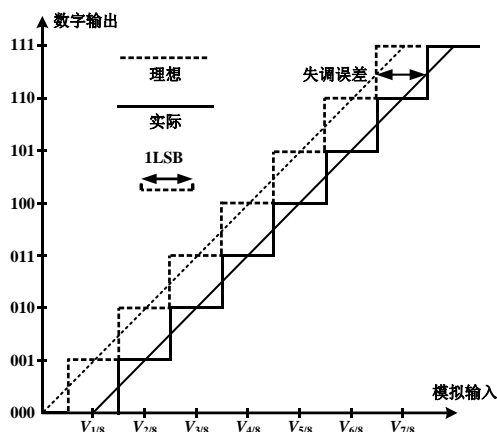


图 2-9 存在失调的传输曲线

(3) 增益误差: 若不存在增益误差, ADC 理想传输曲线和实际传输曲线斜率相同, 当存在增益误差时, 传输曲线如所图 2-10 所示, 实际传输曲线斜率发生变化, 体现在满刻度位置时, 实际转移曲线与理想转移曲线的差值即为增益误差。

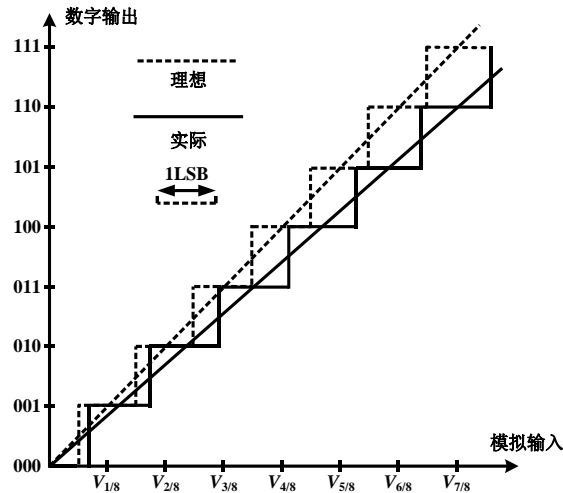


图 2-10 存在增益误差的传输曲线

(4) 微分非线性: 微分非线性 (Differential Non-linearity, DNL) 定义了相邻数字码间实际模拟量化范围和理想模拟量化范围的误差值, 如图 2-11 所示。在理想的 N 位流水线 ADC 中, 每两个相邻数字码的模拟量化范围为 1LSB 对应的模拟值, 但由于增益误差等非理想因素, 该量化范围将出现误差, 微分非线性如式(2.11):

$$DNL_N = \frac{V_N - V_{N-1}}{V_{\text{LSB}}} - 1 \quad (2.11)$$

式(2.11)中, V_N 为数字输出码为 N 时电压值, V_{N-1} 为数字输出码为 $N-1$ 时电压值, V_{LSB} 为理想情况下 1LSB 对应的电压范围。由式(2.11)可以看出, DNL 可能是负值也可能是正值, DNL 绝对值越小, 代表相邻数字码间实际模拟量化范围和理想模拟量化范围的误差值越小。

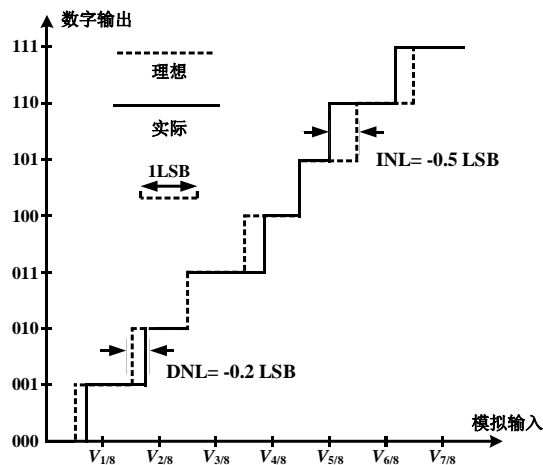


图 2-11 微分非线性、积分非线性示意图

(5) 积分非线性: 积分非线性 (Integral Non-linearity, INL) 定义了 ADC 实际传输曲线和理想传输曲线间的误差, 如图 2-11 所示。如式(2.12), 积分非线性可由微分非线性计算得到, 即计算第 k 个

数字码的积分非线性可由第 k 个及第 k 个之前所有数字码的微分非线性求和得到。

$$INL(k) = \sum_{i=0}^k DNL(i) \quad (2.12)$$

ADC 中所有数字码的 INL 和 DNL 一般以码密度法进行测量，以此衡量 ADC 的静态性能。

2.3.2 动态性能参数

当 ADC 工作在高频输入情况时，为了充分体现 ADC 的高频特性，需要使用动态性能参数。

(1) 信噪比：信噪比（Signal to Noise Ratio, SNR）定义了输入信号功率和噪声总功率的比值，计算公式如(2.13)：

$$SNR = 10 \cdot \log \left(\frac{P_{\text{Signal}}}{P_{\text{Noise}}} \right) \quad (2.13)$$

其中 P_{Signal} 为输入信号功率， P_{Noise} 为噪声总功率，包含量化噪声、热噪声等。当只考虑量化噪声的情况下， N 位理想流水线 ADC 的信噪比可简化为式(2.14)：

$$SNR = 6.02 \cdot N + 1.76 \quad (2.14)$$

(2) 信噪失真比：信噪失真比（Signal to Noise and Distortion Ratio, SNDR）定义了输入信号功率和噪声总功率、谐波失真功率的比值，计算公式如(2.15)：

$$SNDR = 10 \cdot \log \left(\frac{P_{\text{Signal}}}{P_{\text{Noise}} + P_{\text{Harmonic}}} \right) \quad (2.15)$$

其中 P_{Signal} 为输入信号功率， P_{Noise} 为噪声总功率， P_{Harmonic} 为谐波失真功率，与信噪比相比，信噪失真比不仅包含噪声对 ADC 的影响，还包含谐波对 ADC 的影响。

(3) 总谐波失真：谐波分量是判断 ADC 线性度的重要参数，总谐波失真（Total Harmonic Distortion, THD）定义了除去基波外谐波失真功率和基波总功率的比值，计算公式如(2.16)：

$$THD = 10 \cdot \log \left(\frac{P_{\text{Harmonic}}}{P_{\text{Fundamental}}} \right) \quad (2.16)$$

其中 P_{Harmonic} 为谐波失真功率， $P_{\text{Fundamental}}$ 为基波功率。

(4) 无杂散动态范围：无杂散动态范围（Spurious Free Dynamic Range, SFDR）定义了信号功率和最大谐波分量功率的比值，计算公式如(2.17)：

$$SFDR = 10 \cdot \log \left(\frac{P_{\text{Signal}}}{P_{\text{harmonic,max}}} \right) \quad (2.17)$$

其中 P_{Signal} 为输入信号功率， $P_{\text{harmonic,max}}$ 为最大谐波分量功率。

(5) 有效位数：有效位数（Effective Number of Bits, ENOB）定义了 ADC 能够转换的数字位数，体现了 ADC 的实际转换精度，可由信噪失真比计算得到，计算公式如(2.18)：

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2.18)$$

2.4 本章小结

本章从流水线 ADC 的基础理论出发, 介绍了流水线 ADC 的基本组成结构和工作原理, 分析了流水线 ADC 中各种非理想因素带来的误差及其对 ADC 的影响, 最后再从静态性能参数和动态性能参数两个方面介绍了判断 ADC 性能的主要指标。

第3章 流水线 ADC 典型校准算法分析

上一章介绍了流水线 ADC 的基本结构与原理,分析了各种非理想因素对流水线 ADC 功能的影响。为了满足现代新兴技术对流水线 ADC 高速和高精度的要求,在 ADC 中加入校准技术对不同非理想因素进行校准和补偿成为了提升 ADC 性能的优选方法。本章将简要介绍校准技术概念并分析四种典型流水线 ADC 数字校准算法原理和优缺点。

3.1 模拟校准技术与数字校准技术

流水线 ADC 校准技术可以分为两大类,数字校准^{[30][31]}和模拟校准^{[32][33]}。数字校准分析流水线 ADC 的数字输出,从数字域对流水线 ADC 中的非理想因素进行提取并补偿。模拟校准通过额外的模拟电路,使用补偿器件对非理想因素进行补偿。因为工艺制造技术的迭代,工艺尺寸的减小,模拟电路设计越来越困难,且高速高精度流水线 ADC 中需要的校准电路复杂度高,若使用模拟校准技术,意味着面积和功耗的急剧增加。相反,使用数字校准技术可以充分利用工艺技术迭代的优势,相比模拟校准电路有着更低的功耗和更小的面积,成为了更好的选择。

3.2 前台校准技术与后台校准技术

在第二章中对流水线 ADC 中的非理想因素进行了分析,可以将非理想因素分为两类。一类是不随工作环境变化而变化的误差,如工艺制造导致的电容失配、电阻失配等。另一类是随工作环境变化而变化的误差,如失调电压、运放有限增益、非线性误差等。针对这两类误差,数字校准技术可以分为前台校准技术^[34]与后台校准技术^[35]。校准工作和 ADC 模数转换工作无法同时进行的数字校准技术属于数字前台校准技术,即校准工作会打断 ADC 的正常工作,一般用于校准不随工作环境变化而变化的误差。前台校准技术无法跟随环境变化,复杂度低易于实现。校准工作和 ADC 模数转换工作可以同时进行的数字校准技术属于数字后台校准技术,一般用于校准随工作环境变化而变化的误差,复杂度高但应用范围广。

3.3 流水线 ADC 典型数字校准算法分析

本节将介绍几种流水线 ADC 典型前台后台数字校准算法,介绍其校准原理,并分析各个校准算法优劣。

3.3.1 级间增益误差前台校准算法

文献[36]中介绍了一种级间增益误差前台校准算法,在文献[39]中也有使用。根据第二章中非理想因素的分析,当不考虑运放的非线性误差,只考虑电容失配和有限增益误差对级间增益影响时,余差函数如式(3.1):

$$V_{\text{res}} = \frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_s + \sum_{i=1}^n \Delta C_s}{C_f + \Delta C_f} V_{\text{in}} - \frac{\sum_{i=1}^n D_i C_s + \sum_{i=1}^n D_i \Delta C_s}{C_f + \Delta C_f} V_{\text{ref}} \right) \quad (3.1)$$

式(3.1)中 A 为放大器开环增益, β 为反馈系数, C_s 为采样电容, C_f 为反馈电容, ΔC_s 为采样电容的失配值, ΔC_f 为反馈电容的失配值, D_i 为子 ADC 输出数字码。从式(3.1)可以看出, 若能确定实际级间增益误差值或确定实际级间增益误差值和理想级间增益误差值关系, 并将实际级间增益值朝理想级间增益值方向调整, 就能完成级间增益误差校准。

该级间增益误差前台校准算法通过确定实际级间增益与理想级间增益关系进行校准。MDAC 级间增益在数字域测量原理如图 3-1 所示, 以一个 3 bit 流水级和 3 bit 后级描述该算法原理。

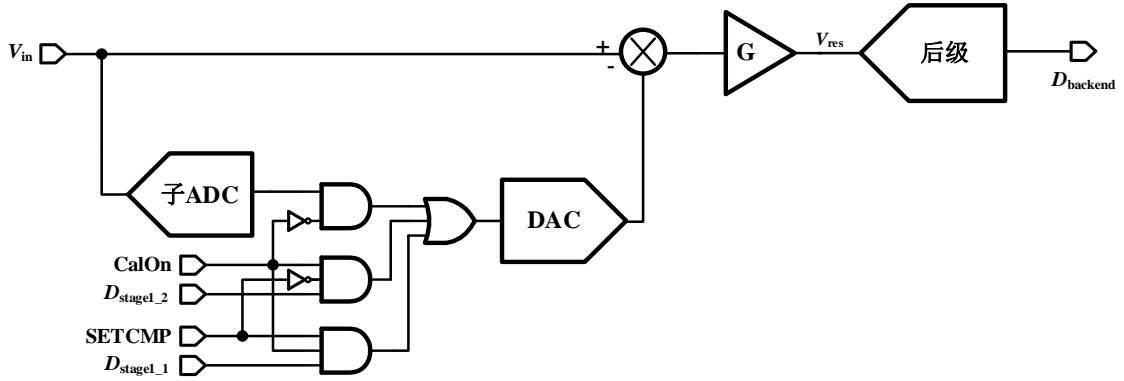


图 3-1 前台增益校准流水级结构

在进行级间增益测量时, 输入 V_{in} 接比较器阈值处固定电平, 同时置 CalOn 信号为 1。在阶段一, 置信号 $\text{SETCMP}=0$, 此时 DAC 输入比较器阈值左侧数字码 D_{stage1_1} , 后级 ADC 得到后级数字输出 D_{back_1} 如式(3.2), 其中 V_{res} 为余差电压, V_{ref} 为参考电压, G_{real} 为实际闭环增益:

$$D_{\text{back}_1} = \frac{V_{\text{res}}}{2 \cdot V_{\text{ref}}} \cdot 2^3 = G_{\text{real}} \cdot \frac{V_{\text{in}}}{2 \cdot V_{\text{ref}}} \cdot 2^3 \quad (3.2)$$

此时本级和后级的总数字输出如式(3.3):

$$D_{\text{out}_1} = 4 \cdot D_{\text{stage1}_1} + D_{\text{back}_1} \quad (3.3)$$

在阶段二, 置信号 $\text{SETCMP}=1$, 此时 DAC 输入比较器阈值右侧数字码 D_{stage1_2} , 后级 ADC 得到数字输出 D_{back_2} 如式(3.4):

$$D_{\text{back}_2} = \frac{V_{\text{res}}}{2 \cdot V_{\text{ref}}} \cdot 2^3 = G_{\text{real}} \cdot \frac{V_{\text{in}} - \frac{1}{4} V_{\text{ref}}}{2 \cdot V_{\text{ref}}} \cdot 2^3 \quad (3.4)$$

此时本级和后级的总数字输出如式(3.5):

$$D_{\text{out}_2} = 4 \cdot D_{\text{stage1}_2} + D_{\text{back}_2} \quad (3.5)$$

两个阶段的总数字码差值如式(3.6)

$$D_{\text{out}_1} - D_{\text{out}_2} = D_{\text{back}_1} - D_{\text{back}_2} - 4 = G_{\text{real}} - 4 \quad (3.6)$$

从式(3.6)可以看出对比阶段一总数字码 D_{out_1} 和第二阶段总数字码 D_{out_2} 即可比较实际级间增益

和理想级间增益的大小。

对上述原理进行具体分析,如图 3-2 所示,当输入固定在某两个子区域间的跳变点时,如输入为 $1/8V_{\text{ref}}$ 时,本级流水级量化编码和下一级流水级量化编码存在两种可能,一是 011 和 101,二是 100 和 001。此时两级的量化编码之和均为 10001。

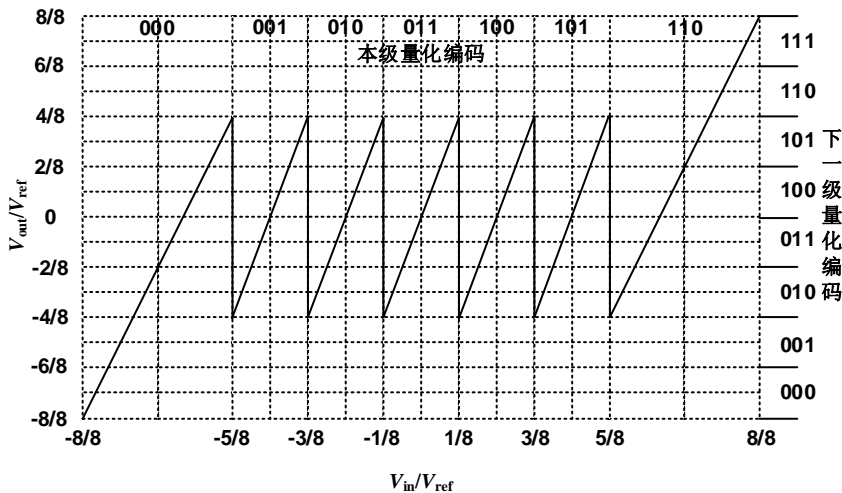


图 3-2 2.5bit 量化编码曲线

当实际级间增益大于理想级间增益值时,本级量化编码为 011 和 100 时两种情况下的总数字输出发生改变,变为 10010 和 10001。当实际级间增益小于理想级间增益值时,本级量化编码为 011 和 100 时两种情况下的总数字输出发生改变,两种情况下的数字输出为 10001 和 10010。可见当实际级间增益大于理想级间增益值时,将输入电压固定在流水级比较器阈值处,本级量化编码保持在比较器阈值处左侧时的量化总编码将大于本级量化编码保持在比较器阈值处右侧时的量化总编码。当实际级间增益小于理想级间增益值时,本级量化编码保持在比较器阈值处左侧时的量化总编码将小于本级量化编码保持在比较器阈值处右侧时的量化总编码。即固定输入电压在比较器阈值处时,可以通过本级和后级量化编码的和来判断理想级间增益和实际级间增益的关系。

若已知理想级间增益和实际级间增益的关系,只需将实际级间增益向理想级间增益调整即可完成增益校准。该算法完成增益校准原理如图 3-3,在反馈电容 C_f 上并联 n 个精度逐级递减的电容,通过本级和下一级量化编码的和得到理想级间增益和实际级间增益的关系后,通过开关 S_1 到 S_n 控制实际反馈电容的大小,从而调节实际级间增益值,完成级间增益误差校准,余差函数具体公式如式 (3.7)

$$V_{\text{res}} = \frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_s + \sum_{i=1}^n \Delta C_s}{C_f + \Delta C_f + \sum_{i=1}^n S_i C_i} V_{\text{in}} - \frac{\sum_{i=1}^n D_i C_s + \sum_{i=1}^5 D_i \Delta C_s}{C_f + \Delta C_f + \sum_{i=1}^n S_i C_i} V_{\text{ref}} \right) \quad (3.7)$$

式(3.7)中 S_i 在第 i 个开关闭合时为 1,断开时为 0, C_i 是与开关 S_i 对应的可编程电容。

该级间增益误差前台校准算法通过将输入电压固定在比较器阈值处,比较本级数字码在比较器阈值左侧时的总数字码和本级数字码在比较器阈值右侧时的总数字码得到实际级间增益和理想级间增益的关系,通过一个反馈可编程电容阵列对 MDAC 实际级间增益进行调节,使实际级间增益接近

理想级间增益，不需要对实际级间增益的误差值进行计算和提取，校准逻辑简单，且理论上设置的电容阵列越多，电容精度越高，该前台校准算法校准精度越高。

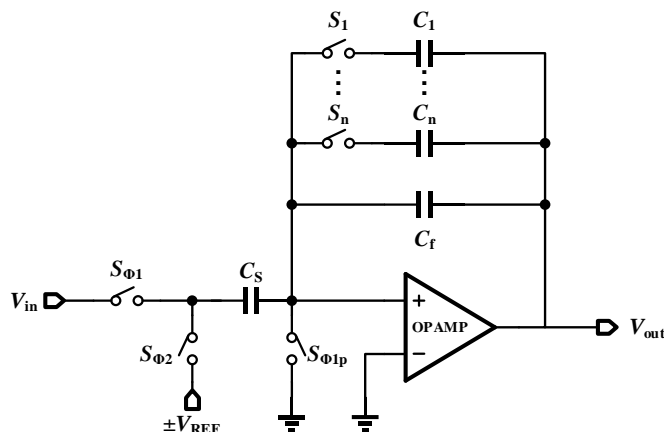


图 3-3 可编程电容阵列 MDAC

但该算法有如下缺点：

- (1) 校准条件为输入固定在某一个比较器阈值处，但比较器可能存在失调，输入需随失调移动；
- (2) 理论上电容阵列级数越多，电容精度越高，校准精度越高，但因为工艺制造影响，电容精度越高，电容失配越大，会对算法的精确度造成影响；
- (3) 放大器级间增益误差会随温度，工作条件等环境因素变化而变化，前台校准无法跟随环境变化进行校准；
- (4) 当存在谐波失真误差时，奇次谐波失真将使余差传输曲线发生形变，即使不存在级间增益误差，将输入电压固定在比较器阈值处，本级数字码在比较器阈值左侧时的总数字码和本级数字码在比较器阈值右侧时的总数字码也不同，该算法将失效。

3.3.2 基于相关性的级间增益误差后台校准算法

该校准算法最早在文献[20]中提出，在文献[37]中也有使用，不同于上一节级间增益误差前台校准算法中对理想级间增益和实际级间增益的关系进行比较进行校准，该算法基于 PN 序列相关性直接对实际级间增益误差进行计算，完成级间增益误差校准。

当不存在电容失配和运放的有限增益误差时，一个 2 bit 理想流水线 ADC 单级余量输出公式如式(3.8)：

$$V_{res} = 2V_{in} - bV_{ref} \quad (3.8)$$

当考虑电容失配和运放的有限增益误差时，该级存在上述两项非理想因素时的余量输出公式如式(3.9)：

$$V_{res} = (1 + \delta)[(2 + \alpha)V_{in} - (1 + \alpha)bV_{ref}] \quad (3.9)$$

其中 α 为电容失配引起的非理想因素， δ 为运放有限增益误差引入的非理想因素， b 为子 ADC 输出数字码对应余差参考电压系数。考虑上述非理想因素的 MDAC 建模如图 3-4 所示。

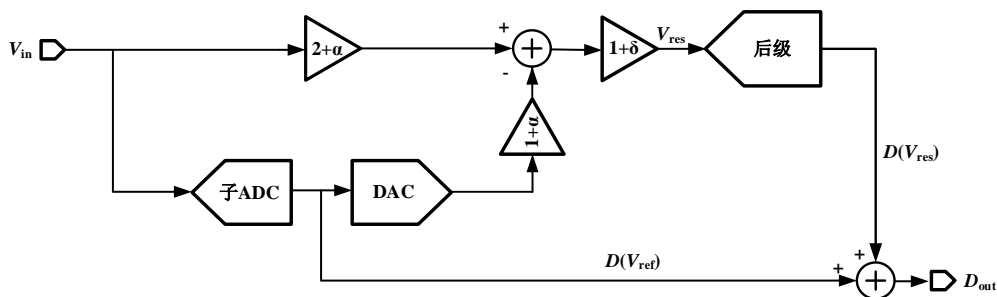


图 3-4 存在电容失配和运放有限增益误差的 MDAC 建模

根据式(3.9)和图 3-4 所示,当存在上述误差时,由于流水级子 ADC 输出为理想值,数字域输出变化 $D(V_{ref})$ 时,对应模拟域变化的余差电压为 $(1+\alpha)(1+\delta)V_{ref}$,而不是理想值 V_{ref} 。这种不匹配使流水线 ADC 整体输出产生如图 3-5(a)的误差,即在比较器阈值处出现 INL 跳跃,使流水线 ADC 的非线性上升。

校准的方法为在数字域对误差进行校准,将数字输出匹配非理想的模拟输出。如图 3-5(b)所示,将 $D(V_{ref})$ 替换为 $D((1+\alpha)(1+\delta)V_{ref})$ 弥补数字域与模拟域的不匹配,从而消除流水线 ADC 输出非线性,完成级间增益误差校准。

完成校准需要得到 $(1+\alpha)(1+\delta)$ 的值,将该值乘以存在级间增益误差流水级的数字输出来抵消数字域与模拟域的不匹配。提取 $(1+\alpha)(1+\delta)$ 的方法是在存在级间增益误差一级的 MDAC 处引入由“1”和“0”组成的 PN 序列,当 PN 为 1 时注入幅度为 V_{pn} 负电压,当 PN 为 0 时注入幅度为 V_{pn} 正电压,引入 PN 序列后的余量输出公式如式(3.10):

$$V_{res} = (1+\delta)[(2+\alpha)V_{in} - (1+\alpha)bV_{ref} - (1+\alpha)PNV_{pn}] \quad (3.10)$$

式(3.10)中 V_{pn} 为 PN 注入电压值,若无电容失配误差,该值为已知固定值。

对式(3.10)的左右两侧求 PN 相关就可以得到 $V_{pn}(1+\alpha)(1+\delta)$,目前求相关的方法通常为左右两端各乘 PN 后对结果进行累加求和取平均。可以得到下式:

$$V_{res} \otimes PN = PN^2(1+\delta)(1+\alpha)V_{pn} \quad (3.11)$$

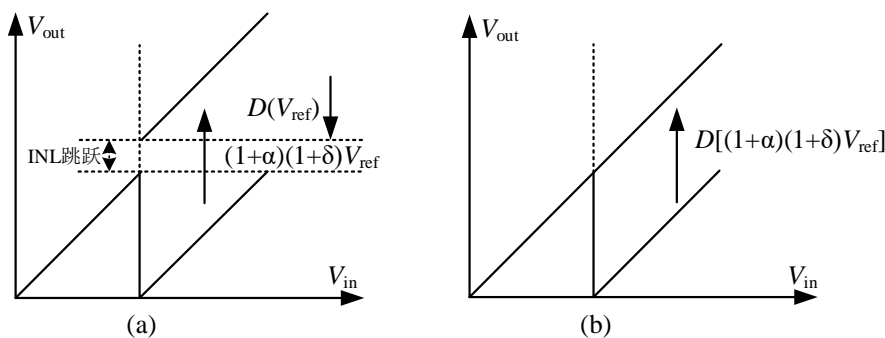


图 3-5 传输曲线 (a)级间增益误差校准前 (b)级间增益误差校准后

由于 PN 为+1 或-1,所以 PN^2 为 1,所以将 V_{res} 与 PN 相关再除以 V_{pn} 就可以得到 $(1+\alpha)(1+\delta)$ 。其

中 V_{res} 无法直接得到, 所以用后级的数字码进行转换, 转换公式如式(3.12):

$$V_{\text{res}} = \frac{D_{\text{res}}}{2^n} * V_{\text{ref}} - \frac{V_{\text{ref}}}{2} \quad (3.12)$$

式(3.12)中 D_{res} 为后级数字码乘相应权重后的值, n 为后级数字码位数。得到级间增益误差参数 $(1+\alpha)(1+\delta)$ 后对输出数字码进行校准。校准结束得到的数字输出如式(3.13):

$$D_{\text{out}} = D_1(1+\alpha)(1+\delta) + D_{\text{back}} + \text{PN} \cdot D_{\text{pn}}(1+\alpha)(1+\delta) \quad (3.13)$$

其中 D_1 为存在级间增益误差需要校准流水级的数字输出, D_{back} 为后级的数字输出, D_{pn} 为 PN 注入电压等效数字码。

该算法利用 PN 序列与余差信号无关的特性, 基于相关性将实际级间增益误差系数进行提取, 并在数字域完成校准, 优点在于该算法校准过程可与 ADC 工作同时进行, 可跟随环境变化实时完成级间增益误差校准, 且在完成校准的同时可以得到实际级间增益误差的值。

但该算法也存在如下缺点:

(1) 式(3.14)为存在有限增益误差和电容失配时的余差传输函数, 其中 $\frac{A\beta}{1+A\beta}$ 为放大器有限增益误差, ΔC_i 为输入电容失配值, ΔC_f 为反馈电容失配值, ΔC_{pn} 为 PN 注入通道电容失配值, 可以发现使用相关性直接对级间增益误差进行提取时, 提取出的级间增益误差除有限增益误差外, 还包含电容失配导致的级间增益误差, 而且能提取并校准的电容失配导致的误差只与 ΔC_{pn} 和 ΔC_f 有关, 然而实际因电容失配造成的级间增益误差还与 ΔC_i 均相关, 所以该校准算法只是对级间增益误差的不完全校准:

$$V_{\text{res}} = \frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_i + C_{\text{pn}} + \sum_{i=1}^n \Delta C_i + \Delta C_{\text{pn}}}{C_f + \Delta C_f} V_{\text{in}} - \frac{\sum_{i=1}^n D_i C_i + \sum_{i=1}^n D_i \Delta C_i}{C_f + \Delta C_f} V_{\text{ref}} - \text{PN} \frac{C_{\text{pn}} + \Delta C_{\text{pn}}}{C_f + \Delta C_f} V_{\text{ref}} \right) \quad (3.14)$$

(2) 该算法补偿级间增益误差的原理为将传输曲线的斜率统一至理想值与 $(1+\alpha)(1+\delta)$ 的乘积, 而非将传输曲线斜率统一至理想值, 那么虽然传输曲线的线性度提升, 但会因为传输曲线的斜率问题出现缺码(增益小于理想值)或溢码(增益大于理想值)现象。若需要将传输曲线的斜率趋向理想值, 需要得到 $(1+\alpha)(1+\delta)$ 的倒数, 此时需要做多位除法, 将大幅增加门电路数量;

(3) 提取级间增益误差系数并不是使用模拟域余差信号 V_{res} 与 PN 序列做相关, 而是数字域的余差信号 D_{res} , 两者间存在量化误差。如在一个 12 bit 流水线 ADC 中, 当第一级 MDAC 的 PN 注入电压为 $1/8 V_{\text{ref}}$, 无级间增益误差时, 被后级 ADC 量化输出的数字码为 128, 但存在级间增益误差如 0.98 时, 此时 PN 注入电压传输到后级为 $(1/8 V_{\text{ref}}) * 0.98$, 对应的理想数字码为 125.44, 但后级 ADC 精度有限, 可能量化为 124 或 125, 若使用 124 或 125 进行增益校准系数的提取, 提取出的增益校准系数将为 124/128 或 125/128, 与实际值 0.98 有一定误差;

(4) 当存在奇次谐波失真, 如三次谐波失真时, 余差电压如式(3.15), 其中 V_{res} 为只存在有限增益误差和电容失配, 无三次谐波失真情况下余差电压, 如式(3.14), α_3 为三次谐波失真系数。由于 V_{res} 中含有 PN 一次项, 那么 V_{res}^3 中一定也含有 PN 一次项, 在使用 PN 相关性进行级间增益误差系数提取时, 不仅会提取到级间增益误差系数, 还会提取到和奇次谐波失真相关的误差系数, 导致校准出

错。

$$V_{\text{res_har}} = V_{\text{res}} - \alpha_3 \cdot (V_{\text{res}})^3 \quad (3.15)$$

3.3.3 基于 LMS 算法的级间增益误差后台校准算法

文献[8]中提到一种基于 PN 注入和 LMS 算法的级间增益误差后台校准算法,在文献[15][17][38]中也有使用。该增益校准算法原理如下:以第 i 级存在级间增益误差为例进行介绍,在第 i 级流水级 MDAC 处注入由 PN 序列控制的 PN 注入电压,那么在最后的数字输出中,需要在数字域将注入的 PN 电压抵消,如式(3.16):

$$D_{\text{out}} = D_i + D_{\text{back}} - D_{\text{pn}} \quad (3.16)$$

式(3.16)中 D_i 为第 i 级流水级输出数字码, D_{back} 为后级流水级输出数字码, D_{pn} 为用于注入 PN 电压抵消的数字码,因为校准前级间增益误差未知,所以该值设置如式(3.17):

$$D_{\text{pn}} = G_{\text{ideal}} \cdot D(V_{\text{pn}}) \quad (3.17)$$

式(3.17)中 G_{ideal} 为第 i 级流水级理想级间增益, V_{pn} 为注入第 i 级 MDAC 的 PN 注入电压。后级流水级输出数字码 D_{back} 由后级流水量化第 i 级余差电压得到,如式(3.18):

$$D_{\text{back}} = D(V_{\text{res}}) = G_{\text{real}} \cdot D(Q_i + V_{\text{pn}}) + D(Q_{\text{back}}) \quad (3.18)$$

式(3.18)中 V_{res} 为第 i 级余差电压,由第 i 级流水级量化误差 Q_i 和注入电压 V_{pn} 组成,经过实际级间增益 G_{real} 后被后级流水级量化, Q_{back} 为后级流水级量化误差。

根据 PN 序列的自相关特性,且 PN 序列的互相关值接近于 0,将抵消 PN 注入电压后的实际数字输出 D_{out} 和 PN 做相关可以得到式(3.19):

$$\text{PN} \otimes D_{\text{out}} = (G_{\text{real}} - G_{\text{ideal}}) \cdot D(V_{\text{pn}}) \quad (3.19)$$

从式(3.19)可以看出抵消 PN 注入电压后的 D_{out} 和 PN 相关后,其值与实际级间增益和理想级间增益的差值成正比,那么将相关的结果作为误差系数,通过使用 LMS 算法迭代的方法,即可实现级间增益的估计值逐渐向实际级间增益值收敛的过程,如式(3.20)所示:

$$G(k+1) = G(k) + u \cdot (\text{PN} \otimes D_{\text{out}}) \quad (3.20)$$

式(3.20)中 $G(k)$ 为第 k 次迭代时增益校准系数, u 为迭代系数。增大 u 时,迭代速度会上升,但是校准精度会降低,减小 u 时,迭代速度会下降,但校准精度会上升。通过调整 u 的值,可以实现迭代速度和精度的折中。随着校准的进行 $G(k)$ 将越来越接近级间增益误差系数的倒数,实际级间增益和理想级间增益的差值越来越小, D_{out} 和 PN 相关值减小,总迭代步长也随之减小,直至 $G(k)$ 收敛至实际级间增益误差的倒数。

由于得到了实际级间增益误差的倒数,校准后的输出数字码如式(3.21):

$$D_{\text{out_cal}} = D_i + D_{\text{back}} \cdot G(k) - D(V_{\text{pn}}) \quad (3.21)$$

相比上一节基于相关性的级间增益误差后台校准算法,该算法的好处在于使用 LMS 算法计算得到级间增益误差系数的倒数,可以直接使用乘法将存在级间增益误差的后级数字输出 D_{back} 校准成理

想值，校准后的传输曲线斜率为理想级间增益而不是实际级间增益，不会出现基于相关性的级间增益误差后台校准算法中的缺码溢码现象。

但该算法也存在以下缺点：

(1) 校准系数 $G(k)$ 使用 LMS 算法需多个迭代周期收敛至最佳值，与上一节中基于相关性的级间增益误差后台校准算法相比，校准速度较慢；

(2) 由于 PN 注入通道有独立的采样电容，也存在和基于相关性的级间增益误差后台校准算法同样的电容失配不完全校准的问题；

(3) 也存在和基于相关性的级间增益误差后台校准算法一样的量化精度问题；

(4) 当存在谐波失真时，由于该算法提取的级间增益误差系数为整个传输曲线的平均值，所以算法会受谐波影响，导致级间增益误差系数提取出错，只能适用于无谐波失真情况。

3.3.4 电容失配误差前台校准算法

从上一章对电容失配非理想因素的分析中可得电容失配流水线 ADC 的影响分为两类：(1) 影响 MDAC 闭环增益；(2) 影响不同子区域，即不同数字码对应的余差参考电压，使比较器阈值处出现 INL 跳跃。文献[15][39]使用了同一种电容失配前台校准算法来消除电容失配的第二种影响，即校准比较器阈值处出现的 INL 跳跃。

该算法基于以下原理完成校准，当 MDAC 的采样电容和反馈电容出现电容失配误差时，电容失配使流水线 ADC 传输曲线在比较器阈值处出现 INL 跳跃，若能检测不同比较器阈值处的 INL 跳跃并在数字域进行补偿，便能抵消电容失配带来的非线性影响，如图 3-6 所示。

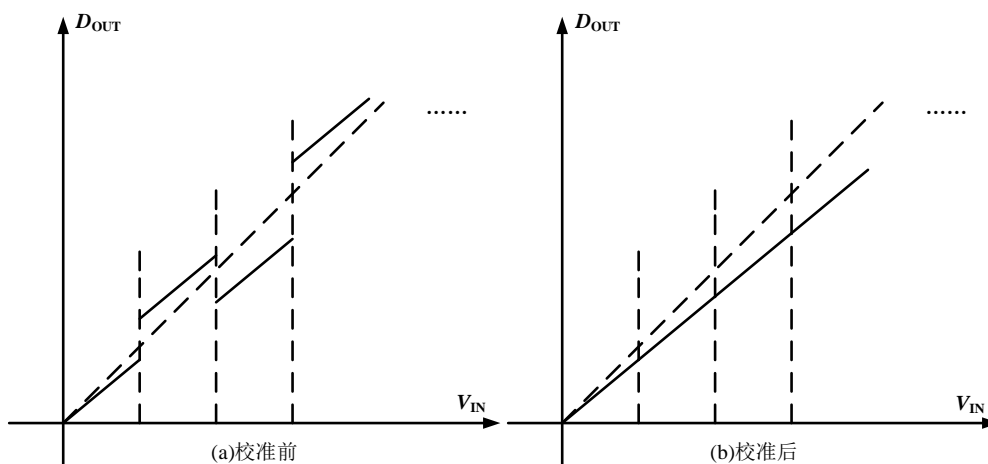


图 3-6 传输曲线 (a)电容失配校准前 (b)电容失配校准后

基于以上原理，该电容失配误差前台校准算法首先计算出所有比较器阈值处的 INL 跳跃并存储在寄存器中，然后再针对不同的子区域，对模数转换器的输出编码加或者减去对应的存储在寄存器中的 INL 跳跃误差，即可保证模数转换器的线性度。举例来说，当存在电容失配误差时，一个 2 bit 流水级 ADC 余差电压输出公式如式(3.22)：

$$V_{\text{res}} = \begin{cases} \alpha \cdot V_{\text{in}} + \beta_1 \cdot V_{\text{ref}} & V_{\text{ref}} \leq V_{\text{in}} < -1/2 \cdot V_{\text{ref}} & D_1[1:0] = 00 \\ \alpha \cdot V_{\text{in}} + \beta_2 \cdot V_{\text{ref}} & -1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < 0 & D_1[1:0] = 01 \\ \alpha \cdot V_{\text{in}} - \beta_3 \cdot V_{\text{ref}} & 0 \leq V_{\text{in}} < 1/2 \cdot V_{\text{ref}} & D_1[1:0] = 10 \\ \alpha \cdot V_{\text{in}} - \beta_4 \cdot V_{\text{ref}} & 1/2 \cdot V_{\text{ref}} \leq V_{\text{in}} < V_{\text{ref}} & D_1[1:0] = 11 \end{cases} \quad (3.22)$$

计算第一个子区域和第二个子区域间的 INL 跳跃时, 固定模拟输入为第一个比较器阈值 $-1/2 V_{\text{ref}}$, 子 ADC 输入为该比较器阈值左侧数字子区域 00, 该条件下的余差电压输出为 $\alpha V_{\text{in}} + \beta_1 V_{\text{ref}}$, 该余差电压经过后级流水级被量化成数字码, 经过冗余校准模块将后级量化数字码与存在电容失配流水级数字码错位相加得到总数字输出码 D_{out_1} 。再固定模拟输入为第一个比较器阈值 $-1/2 V_{\text{ref}}$, 子 ADC 输入为该比较器阈值右侧数字子区域 01, 该条件下的余差电压输出为 $\alpha V_{\text{in}} + \beta_2 V_{\text{ref}}$, 该余差电压经过后级流水级被量化成数字码, 经过冗余校准模块将后级量化数字码与存在电容失配流水级数字码错位相加得到总数字输出码 D_{out_2} 。第一个子区域和第二个子区域间的 INL 跳跃如式(3.23), 将除第一个子区域 $D_1[1:0]=00$ 外的所有子区域总数字码减去 INL 跳跃值 D_{inlcal_1} 即可完成第一个子区域和第二个子区域间的 INL 跳跃校准。

$$D_{\text{inlcal}_1} = D_{\text{out}_2} - D_{\text{out}_1} \quad (3.23)$$

改变固定模拟输入的值为其他比较器阈值, 如本例中 0, $1/2 V_{\text{REF}}$, 将子 ADC 输入分别固定在比较器左侧数字子区域和比较器右侧数字子区域, 重复上述过程, 即可完成第二个子区域和第三个子区域间、第三个子区域和第四个子区域间的 INL 跳跃校准。

该算法通过将输入电压控制在比较器阈值处, 计算子 ADC 输出控制在比较器阈值左侧数字输出和右侧数字输出时的总数字码差值得到不同子区域间的 INL 跳跃值, 完成电容失配误差校准。优点在于算法逻辑简单, 易于实现。

但该算法也存在以下缺点:

- (1) 校准条件为输入固定在某一个比较器阈值处, 但比较器可能存在失调, 输入需随失调移动;
- (2) 虽然电容失配一般由工艺制造因素导致, 但从第二章非理想因素分析和前三节级间增益误差校准算法的介绍中可以得知, 不同子区域间的 INL 跳跃往往不只由电容失配误差引起, 可以导致 INL 跳跃误差的非理想因素除电容失配外还包括电荷注入、失调电压、级间增益误差不完全校准等, 即 INL 跳跃误差可能随温度和工作环境变化而变化, 使用前台校准无法跟踪环境变化进行校准;
- (3) 当存在谐波失真时, 流水线 ADC 传输曲线被压缩, 且余差电压越大时, 压缩幅度越大^[12], 该算法无法被使用于有谐波失真的情况。

3.4 本章小结

本章介绍了 4 种流水线 ADC 典型数字校准算法, 从原理和实现角度分析了其优缺点和应用场景。

级间增益误差前台校准算法虽然有着校准逻辑简单的优点, 但存在电容精度和电容失配大小上的矛盾, 无法保证级间增益误差校准的精度, 且无法跟踪因环境变化而变化的放大器有限增益误差,

无法应用于存在谐波失真误差的流水线 ADC 中，该级间增益校准算法校准能力有限。

基于相关性的级间增益误差后台校准算法虽然能够跟踪因环境变化而变化的放大器有限增益误差，但在数字域补偿时会引入一定的失码或溢码，且存在量化精度不够和无法应用于存在谐波失真误差的流水线 ADC 中的问题，只能应用于无谐波失真流水线 ADC 中，且因为缺码和量化精度不够使校准精度有限。

基于 LMS 算法的级间增益误差后台校准算法不仅能够跟踪因环境变化而变化的放大器有限增益误差，而且通过 LMS 算法直接获得级间增益误差系数的倒数，解决了基于相关性的级间增益误差后台校准算法中的缺码溢码问题，但同样存在量化精度不够和无法应用于有谐波失真流水线 ADC 的问题。若解决量化精度问题，可在无谐波失真流水线 ADC 中使用该算法校准级间增益误差。

电容失配误差前台校准算法可以校准因电容失配引起的 INL 跳跃误差，但该误差还可能由电荷注入、失调电压、级间增益误差不完全校准等因素造成，上述误差可能随工作环境和工作时间变化而变化，该算法无法跟踪环境变化校准所有子区域间 INL 跳跃误差，校准精度有限，且同样无法应用于存在谐波失真误差的流水线 ADC 中。

综上所述，这些流水线 ADC 典型数字校准算法都存在应用条件有限、校准精度有限等问题，面对高速高精度流水线 ADC 的校准需求，需要综合考虑校准算法的适用性、校准效果、应用环境和实现代价等多方面因素。

第4章 流水线 ADC 新型后台数字校准算法

本章基于第二章中对流水线 ADC 各种非理想因素的分析, 对一个存在电容失配、失调电压、运放有限增益误差、三次谐波失真非线性误差、电荷注入等非理想因素的流水线 ADC 进行建模。并设计了三种基于 PN 注入技术的后台校准算法完成上述非理想因素的校准, 解决了上一章四种典型数字校准算法存在的问题, 扩大了应用场景。最后通过仿真分析比较校准前后流水线 ADC 的性能参数验证本设计校准效果, 并和其他已发表设计进行对比验证了本设计的先进性。

4.1 流水线 ADC 新型后台数字校准算法模块整体结构

如图 4-1 所示为流水线 ADC 新型后台数字校准算法模块整体结构, 该数字校准模块使用同步时序逻辑设计, 三种后台校准算法的校准顺序及校准过程中的时序全部由有限状态机 (Finite State Machine, FSM) 控制。复位采用异步复位同步释放的复位方式, 消除异步复位在复位信号释放时带来的亚稳态问题。流水线 ADC 输出第一级数字码 D_{stage1} 和后级数字码 D_{back} , 通过级间增益误差校准, 三次谐波失真误差校准, INL 跳跃校准三个校准模块计算得到 3 种误差的校准系数, 在数据校准和数据合成模块使用上述校准系数完成非理想因素校准, 并将注入 MDAC 的所有 PN 注入电压影响抵消后, 将第一级数字码和校准后的后级数字码合成后输出校准后的 12 位数字码 D_{out} 。

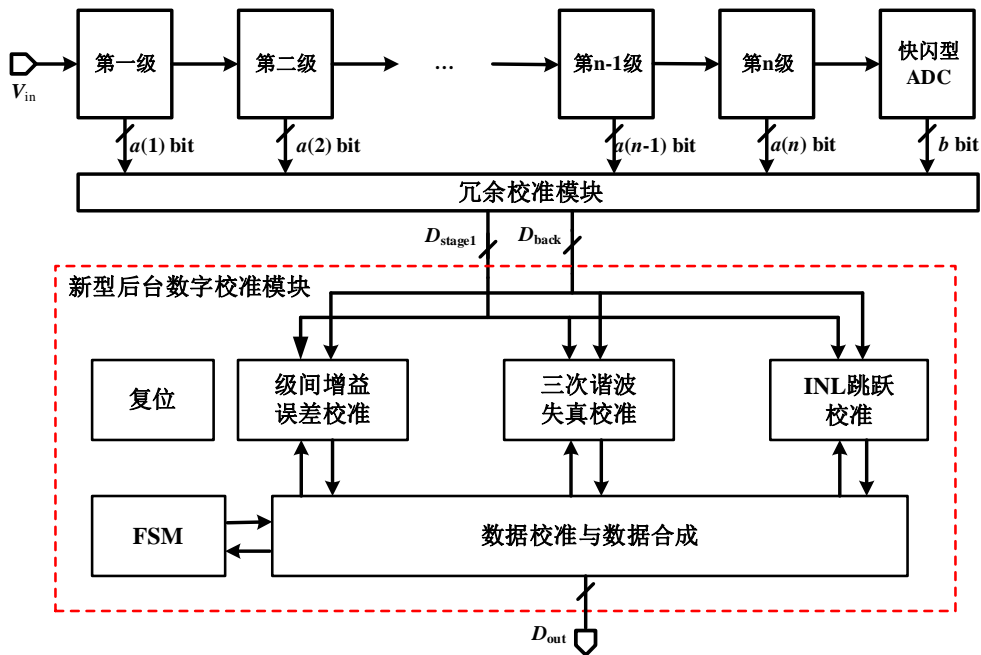


图 4-1 流水线 ADC 新型后台数字校准算法模块整体结构

4.2 流水线 ADC 建模与仿真

本设计中的新型后台数字校准算法应用于一个 40nm CMOS 工艺下 12 bit 450MS/s 流水线 ADC, 若使用该流水线 ADC 原理图提供前仿数据, 每两小时约可生成 256 个输出数据。若使用该流水线 ADC 版图提供后仿数据, 每两小时约可生成 64 个输出数据。而本设计中基于 PN 注入技术的新型后

台数字校准算法, 迭代一次需要 2^{24} 个流水线 ADC 输出数据, 完成所有非理想因素的校准需经历数百次迭代。现有的软硬件条件无法使用前仿或后仿提供流水线 ADC 输出数据进行仿真, 为了验证上述误差模型, 并为后台数字校准算法提供含非理想因素的流水线 ADC 输出数据, 本节将基于 Simulink 工具分别对理想 12 bit 500MS/s 流水线 ADC 和含非理想因素 12 bit 500MS/s 流水线 ADC 进行建模。

4.2.1 理想流水线 ADC 建模

由于本文所实现的所有校准算法的应用场景为 12 bit 500MS/s 流水线 ADC, 基于前文对流水线 ADC 原理和结构描述, 建立了一个理想 12 bit 流水线 ADC 模型, 考虑到需要在首级子 ADC 和 MDAC 注入 PN 注入电压, 且要预留一定摆幅处理比较器失调, 该模型首级为折叠 1.5 bit 流水级, 首级余差曲线如图 4-2 所示, 后级为 9 级结构相同的非折叠 1.5 bit 流水级, 非折叠 1.5 bit 流水级余差曲线如图 4-3 所示, 最后一级为 2 bit 快闪型 ADC。理想流水线 ADC 主要结构如下:

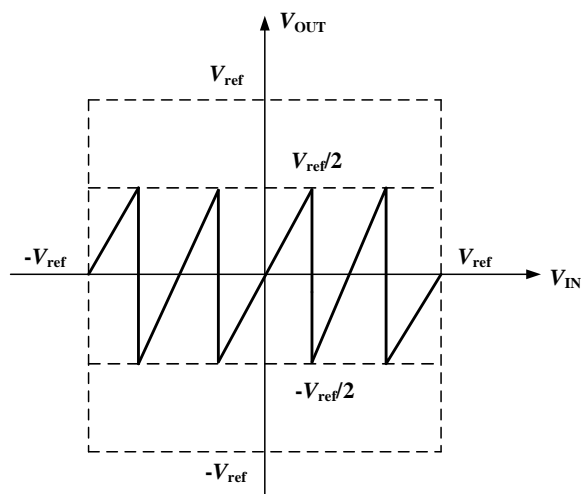


图 4-2 折叠 1.5 bit 流水级余差曲线

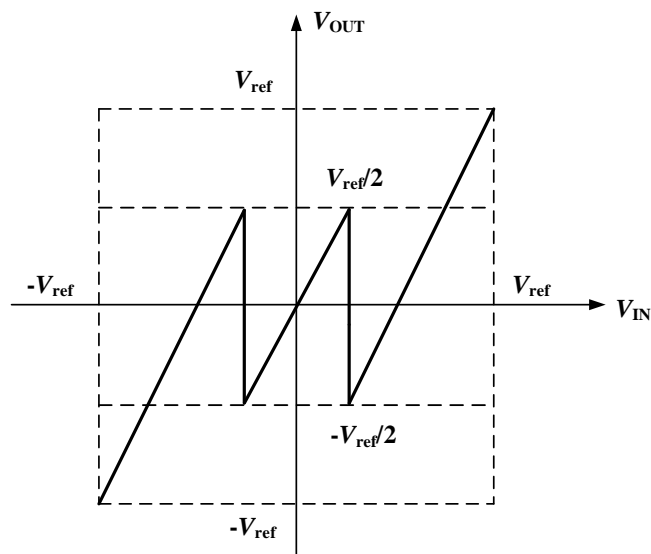


图 4-3 非折叠 1.5 bit 流水级余差曲线

(1) 理想 1.5 bit 流水级子 ADC 建模

理想非折叠 1.5 bit 流水级的子 ADC 建模如图 4-4 所示, 主要由两个判决电平分别为 $-1/4V_{\text{ref}}$ 和 $1/4V_{\text{ref}}$ 的比较器以及编码电路组成, 输入电压输入子 ADC 后, 与两个比较器参考电压进行比较, 输出三种温度计码 00, 01, 11, 经过编码电路后, 输出二进制码 00, 01, 10, 该编码电路由一个异或门实现。理想折叠 1.5 bit 流水级的子 ADC 建模与理想非折叠 1.5 bit 流水级的子 ADC 类似, 主要由四个判决电平分别为 $-3/4V_{\text{ref}}$, $-1/4V_{\text{ref}}$, $1/4V_{\text{ref}}$, $3/4V_{\text{ref}}$ 的比较器和编码电路组成, 输入电压输入子 ADC 后, 与四个比较器进行比较, 输出五种温度计码 0000, 0001, 0011, 0111 和 1111, 经过编码电路后, 输出二进制码 000, 001, 010, 011 和 100。

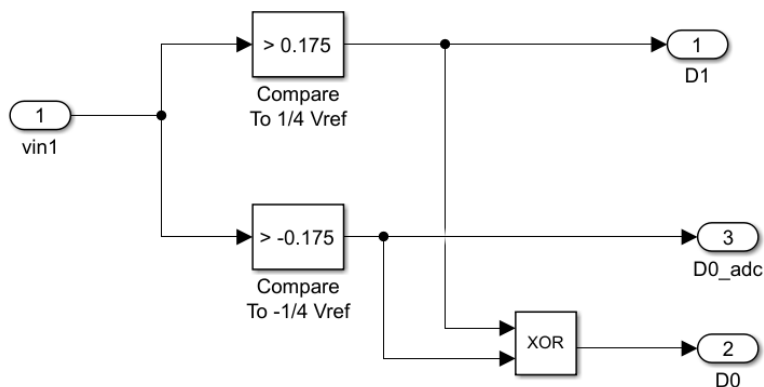


图 4-4 非折叠 1.5 bit 流水级子 ADC

(2) 理想 1.5 bit 流水级子 DAC

非折叠 1.5 bit 流水级的子 DAC 如图 4-5, 该模块需要根据子 ADC 不同的数字输出选择不同的余差参考电压, 二进制数字码 00, 01, 10 对应不同子区域的余差参考电压分别为 V_{ref} , 0, $-V_{\text{ref}}$ 。折叠 1.5 bit 流水级的子 DAC 功能与非折叠 1.5 bit 流水级的子 DAC 类似, 二进制数字码 000, 001, 010, 011, 100 对应不同子区域的余差参考电压分别为 $2V_{\text{ref}}$, V_{ref} , 0, $-V_{\text{ref}}$, $-2V_{\text{ref}}$ 。

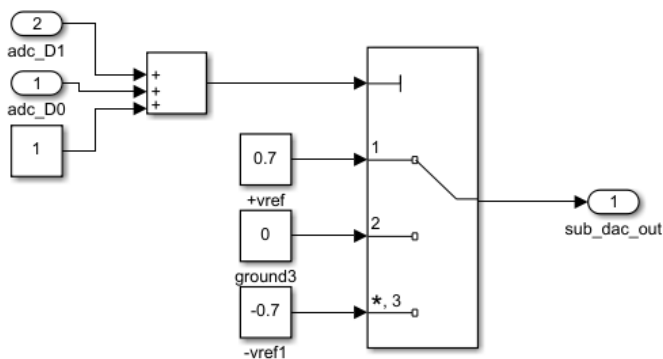


图 4-5 非折叠 1.5 bit 流水级子 DAC

(3) 整体 1.5 bit 流水级

整体非折叠 1.5bit 流水级如图 4-6 所示, 包括一个子 ADC 和一个由放大器和子 DAC 构成的 MDAC, 输出 2 位二进制码和余差电压。

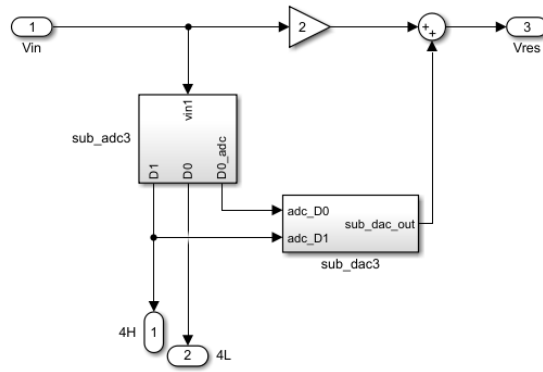


图 4-6 非折叠 1.5 bit 流水级

(4) 整体流水级 ADC

整体流水级如图 4-7 所示，包含第一级折叠 1.5 bit 流水级、9 级非折叠 1.5bit 流水级以及最后一级 2 bit 快闪型 ADC。

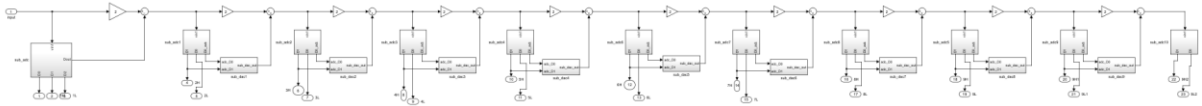


图 4-7 整体流水级

除快闪型 ADC 最后一位数字输出外，其余各级输出数字码通过如图 4-8 的冗余校准模块错位相加再乘上相应权重后输出。

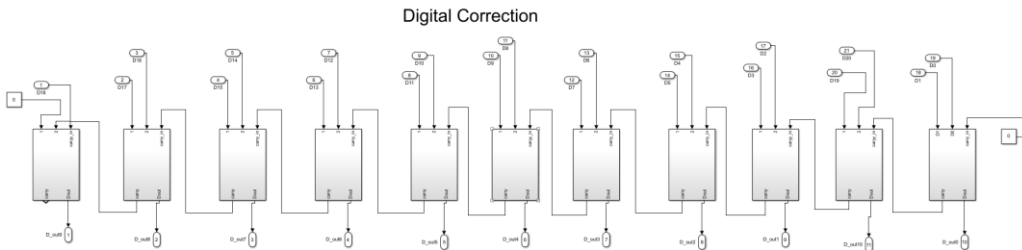


图 4-8 冗余校准模块

4.2.2 含非理想因素流水线 ADC 建模

根据式(2.3)(2.5)(2.6)(2.7)(2.9)可得，存在电容失配、失调电压、运放有限增益误差、三次谐波失真非线性误差、电荷注入等非理想因素的流水线 ADC 余差输出电压如式(4.1)：

$$V_{res} = \frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_i + \sum_{i=1}^n \Delta C_i}{C_f + \Delta C_f} V_{in} - \frac{\sum_{i=1}^n D_i C_i + \sum_{i=1}^n D_i \Delta C_i}{C_f + \Delta C_f} V_{ref} - V_{os} - V_{inject} \right) - \alpha_3 \left[\frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_i + \sum_{i=1}^n \Delta C_i}{C_f + \Delta C_f} V_{in} - \frac{\sum_{i=1}^n D_i C_i + \sum_{i=1}^n D_i \Delta C_i}{C_f + \Delta C_f} V_{ref} - V_{os} - V_{inject} \right) \right]^3 \quad (4.1)$$

式(4.1)中， V_{res} 为余差电压， A 为运算放大器开环增益， β 为反馈系数， C_i 为采样电容， C_f 为反馈电容， ΔC_i 为采样电容的失配值， ΔC_f 为反馈电容的失配值， D_i 为子 ADC 输出的数字码， V_{ref} 为参考电压， V_{os} 为失调电压， V_{inject} 为电荷注入效应引起的电压差， α_3 为三次谐波失真系数。

式(4.1)中 $\frac{A\beta}{1+A\beta}$ 代表了放大器有限增益对 MDAC 闭环增益的影响, $\frac{\sum_{i=1}^n C_i + \sum_{i=1}^n \Delta C_i}{C_f + \Delta C_f}$ 代表了

采样电容和反馈电容失配对 MDAC 闭环增益的影响, 二者共同影响 MDAC 实际闭环增益, 产生级间增益误差。例如理想 1.5 bit 流水级 MDAC 闭环增益 (即级间增益) 为 2, 但受放大器有限增益和

电容失配影响时的闭环增益 $\frac{A\beta}{1+A\beta} \cdot \frac{\sum_{i=1}^n C_i + \sum_{i=1}^n \Delta C_i}{C_f + \Delta C_f}$ 将不一定等于 2, 那么可以将一个存在上述

两种非理想因素影响时的 1.5 bit 流水级 MDAC 闭环增益简化为 $(1+\alpha) \cdot (2+\beta)$, 其中 α 为有限增益误差影响, β 为电容失配误差影响。

式(4.1)中 $\frac{\sum_{i=1}^n D_i C_i + \sum_{i=1}^n D_i \Delta C_i}{C_f + \Delta C_f}$ 代表了采样电容和反馈电容失配对不同子区域余差参考电压

的影响。每个子区域采样电容和反馈电容取值不同, 该项的等效数值将不同, 其与失调电压 V_{os} 、电荷注入电压 V_{inject} 和有限增益误差共同导致子 DAC 余差参考电压出错, 使不同子区域间出现 INL 跳跃。那么对于一个 1.5 bit 的流水级而言, 5 个子区域的实际余差参考电压可以简写为 $(b_i + \delta_i)V_{ref}$, 其中 $b_i V_{ref}$ 为理想余差参考电压, $\delta_i V_{ref}$ 为余差参考电压误差。

式(4.1)中包含三次谐波系数 α_3 的三次项代表了三次谐波失真对余差电压的影响, 可以将其简写为 $\alpha_3 V_{har}$, 其中 V_{har} 为三次谐波失真误差电压。

那么简化后包含上述所有非理想因素的 1.5 bit 流水级余差电压公式如式(4.2):

$$V_{res} = \begin{cases} (1+\alpha)(2+\beta) \cdot V_{in} - (b_1 + \delta_1)V_{ref} - \alpha_3 V_{har} & D_1[2:0] = 000 \\ (1+\alpha)(2+\beta) \cdot V_{in} - (b_2 + \delta_2)V_{ref} - \alpha_3 V_{har} & D_1[2:0] = 001 \\ (1+\alpha)(2+\beta) \cdot V_{in} - (b_3 + \delta_3)V_{ref} - \alpha_3 V_{har} & D_1[2:0] = 010 \\ (1+\alpha)(2+\beta) \cdot V_{in} - (b_4 + \delta_4)V_{ref} - \alpha_3 V_{har} & D_1[2:0] = 011 \\ (1+\alpha)(2+\beta) \cdot V_{in} - (b_5 + \delta_5)V_{ref} - \alpha_3 V_{har} & D_1[2:0] = 100 \end{cases} \quad (4.2)$$

从以上的分析可以得知, 只要使用 α , β , δ_{1-5} , α_3 这八个参数就可以描述 1.5 bit 流水级中本文校准算法覆盖的非理想因素。

根据上述误差模型分析, 考虑放大器有限增益误差、电容失配误差对级间增益的影响和三次谐波失真影响后, 流水线 ADC 中第一级 1.5 bit 流水级建模如图 4-9 所示。图中 $1+\alpha$ 模拟有限增益误差对闭环增益的影响, $2+\beta$ 模拟电容失配对闭环增益的影响, α_3 模拟三次谐波失真对余差电压影响。

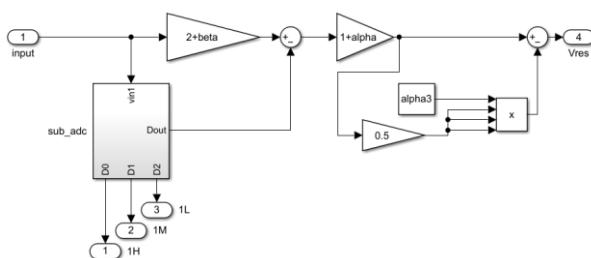


图 4-9 非理想首级 1.5 bit 流水级

并在第一级 1.5 bit 流水线 ADC 的子 DAC 处加入因电容失配、失配电压、电荷注入电压导致的子 DAC 参考电压误差, 引入不同子区域间 INL 跳跃。如图 4-10 所示, 图中 V_{ref1} - V_{ref5} 分别对应式(4.2)中不同子区域的 $b_1 V_{ref}$, δ_1 - δ_5 对应不同子区域余差电压误差, 该建模方式已包含式(4.2)中的所有非理想因素。

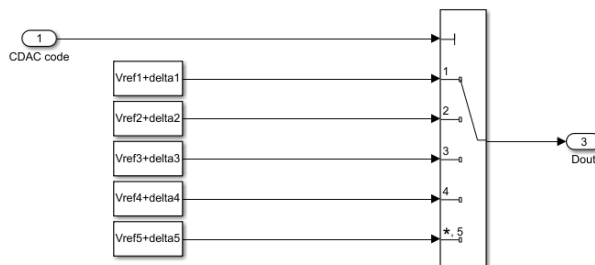


图 4-10 子 DAC 参考电压误差

4.2.3 流水线 ADC 模型仿真

本设计基于一个 40nm CMOS 工艺下 12 bit 450MS/s 流水线 ADC 设计误差参数, 该流水线 ADC 后仿测试第一级流水级级间增益误差约为 1.5%, 电容失配误差小于 0.5%, 若只考虑电容失配误差, 造成相邻子区域间子 DAC 余差参考电压误差小于 0.00175V, 同时存在三次谐波失真误差, SNDR 为 55dB, SFDR 为 63dB。由于实际芯片性能可能低于后仿结果, 本设计建立一个 12 bit 500MS/s 流水线 ADC Simulink 模型, 在留一定误差裕量的情况下, 设置 2% 级间增益误差。除电容失配外, 还可能有电荷注入电压、失调电压等因素使子 DAC 余差参考电压出现误差, 在留一定误差裕量的情况下, 设置第一个、第三个、第五个余差参考电压误差分别为 0.003V, 0.003V, -0.003V, 在所有子区域间引入 INL 跳跃。再设置三次谐波失真系数 α_3 为 0.25, 此时若只存在三次谐波失真, SNDR 为 48.67dB, SFDR 为 55.99dB, 和 40nm CMOS 工艺下 12 bit 450MS/s 流水线 ADC 相比, 动态性能参数均更低, 保证模型中三次谐波失真误差大于 12 bit 450MS/s 流水线 ADC 中三次谐波失真误差。

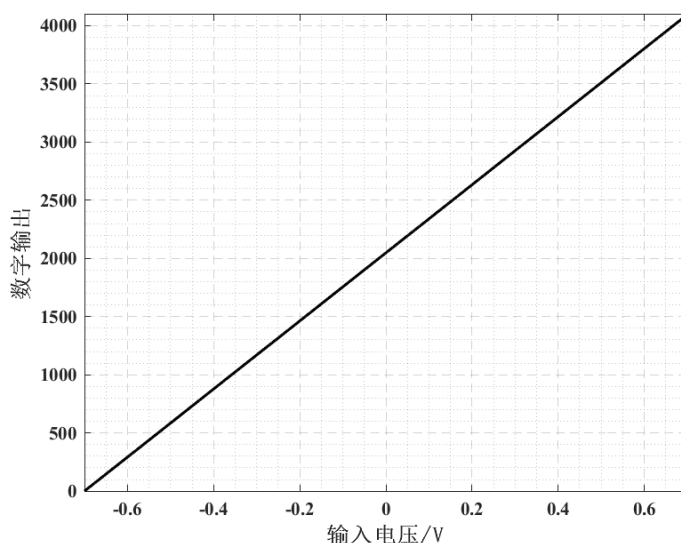


图 4-11 理想 12 bit 流水线 ADC 斜坡信号仿真结果

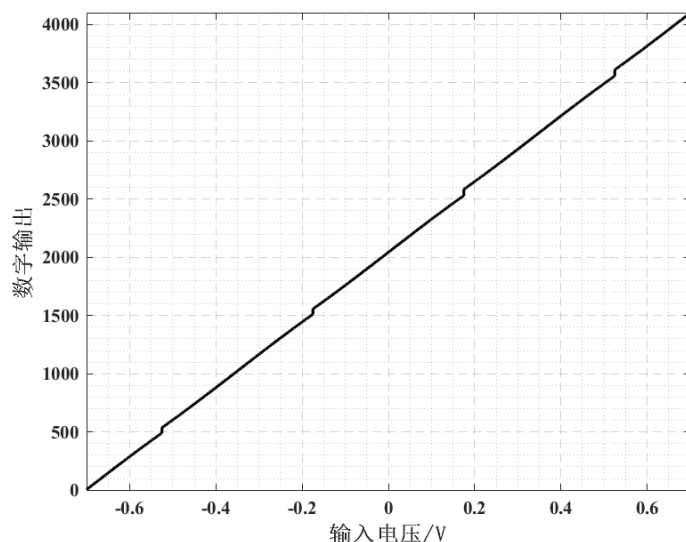


图 4-12 非理想 12 bit 流水线 ADC 斜坡信号仿真结果

(1) 输入斜坡信号：在流水线 ADC 输入端输入范围为 $[-V_{\text{ref}}, V_{\text{ref}}]$ 的斜坡信号，并按前文分析设置 2% 级间增益误差，设置第一个、第三个、第五个余差参考电压误差分别为 0.003V, 0.003V, -0.003V，设置三次谐波失真系数 α_3 为 0.25。理想 12 bit 流水线 ADC 斜坡信号仿真结果如图 4-11，带非理想因素 12 bit 流水线 ADC 斜坡信号仿真结果如图 4-12，两者对比可以发现级间增益误差使传输曲线斜率发生明显变化，且传输曲线因三次谐波失真影响，发生子区域传输曲线两端向中间凹陷的现象，不同子区域间也出现了 INL 跳跃。

(2) 输入正弦信号：在流水线 ADC 输入端输入范围为 $[-V_{\text{ref}}, V_{\text{ref}}]$ 的正弦信号，和输入斜坡信号时设置相同误差，对理想 12 bit 流水线 ADC 和非理想 12 bit 流水线 ADC 的输出数据分别做 (Fast Fourier Transformation, FFT) 得到 ADC 输出频谱。理想 12 bit 流水线 ADC 输出频谱如图 4-13 所示，ENOB 达到 11.98 bit，SNDR 达到 73.88dB，SFDR 达到 93.55dB。非理想 12 bit 流水线 ADC 输出频谱如图 4-14 所示，ENOB 只有 6.81 bit，SNDR 只有 42.76dB，SFDR 只有 48.58dB。通过对比可以得知各种非理想因素对 12 bit 流水线 ADC 的动态性能造成了极大的影响，需要使用校准算法完成对应非理想因素的校准。

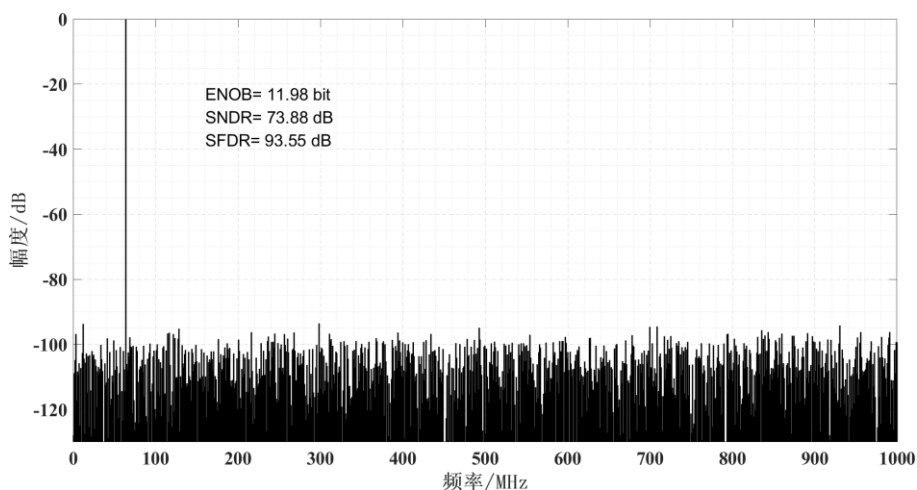


图 4-13 理想 12 bit 流水线 ADC 动态性能

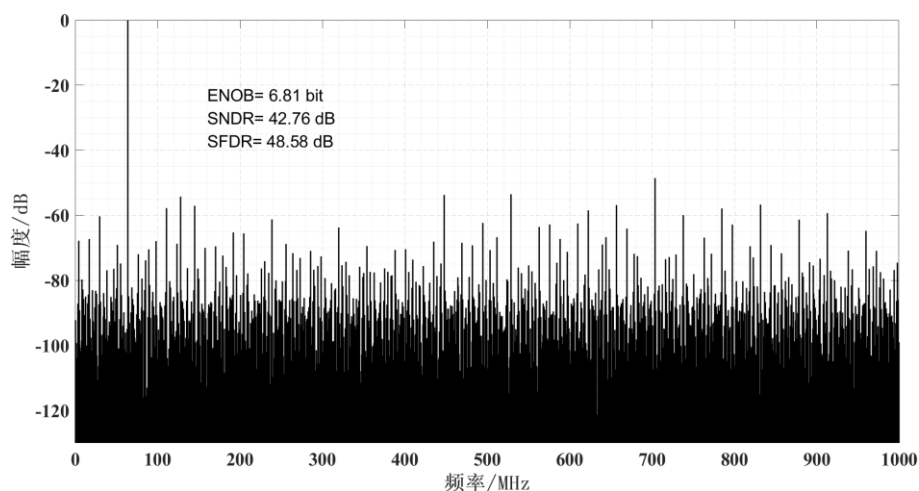


图 4-14 非理想 12 bit 流水线 ADC 动态性能

4.3 伪随机序列注入技术

伪随机序列是在统计特性上有伪随机性的序列，目前普遍使用的伪随机序列为 m 序列，一般由移位寄存器产生。表现为二进制序列形式的 m 序列一般由 0 和 1 组成，具有良好的统计特性，在 n 位移位寄存器中， m 序列的周期为 2^n-1 ，且每个周期中 1 的个数比 0 的个数只多 1 个，即当 n 足够大时，可以看作在 m 序列的一个周期中，0 的数目和 1 的数目各占一半。 m 序列有良好的自相关特性，且互相关值几乎为 0。在流水线 ADC 数字校准算法中通常使用伪随机序列控制电压注入（一般简称为伪随机序列注入或 PN 注入），对于二进制伪随机序列而言，当伪随机序列为 0 时一般注入极性为正电压，当伪随机序列为 1 时一般注入极性为负电压。通过使用伪随机序列控制注入电压的方式，可基于伪随机序列的相关特性对误差进行提取^[20]或基于伪随机序列的统计特性对误差进行评估^[12]。

4.3.1 伪随机序列注入位置

本文基于伪随机序列注入的方式完成级间增益误差、三次谐波失真误差、INL 跳跃误差三种误差的校准。常见的伪随机序列注入位置有三种：(1) 在流水线 ADC 的输入处注入 PN^{[40][41]}；(2) 在流水线 ADC 的子 ADC 处注入 PN^[42]；(3) 在流水线 ADC 的 MDAC 处注入 PN^{[43][44]}。在流水线 ADC 的输入处注入 PN 需要消耗流水线 ADC 的动态输入范围，随着先进 CMOS 工艺电源电压的日趋降低，一般已不适合采用该方式进行伪随机序列注入。在流水线 ADC 的子 ADC 处注入 PN 一般用于校准流水线 ADC 的三次谐波失真误差和 INL 跳跃误差，在流水线 ADC 的 MDAC 处注入 PN 一般用于校准流水线 ADC 的级间增益误差。

由于本文需校准级间增益误差、三次谐波失真误差、INL 跳跃误差三种由各种非理想因素引起的误差，根据文献^[15]中 PN 注入方式设计了一种新的伪随机序列注入方式，如图 4-15 所示，在子 ADC 处注入 PN_1 用于校准三次谐波失真误差和 INL 跳跃误差，在 MDAC 处注入与 PN_1 互不相关的 PN_2 用于校准级间增益误差，并在 MDAC 处注入子 ADC 中注入 PN_1 两倍幅度的相同伪随机序列以抵消子 ADC 处注入 PN_1 对传输曲线输出范围的影响，最后在数字域补偿 D_{pn} 抵消 MDAC 处注入的

PN_1 和 PN_2 对数字输出的影响。

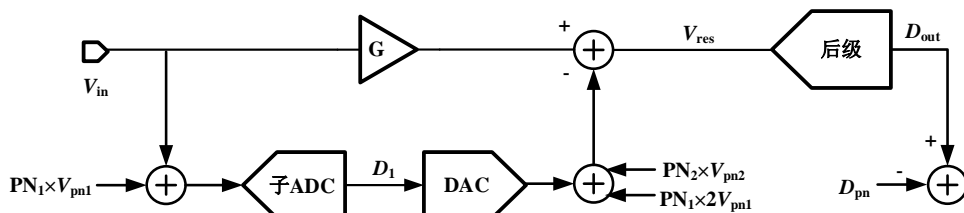


图 4-15 注入 PN 时流水线 ADC 模型

不注入伪随机序列时，第一级半摆幅 1.5 bit 流水级余差传输曲线如图 4-16，余差电压输出范围为第一级流水级和第二级流水级输入范围的一半，为比较器失调预留了冗余校准的空间。

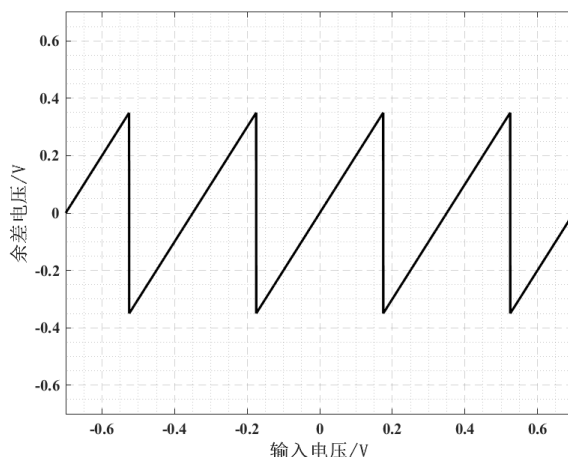


图 4-16 第一级半摆幅 1.5 bit 流水级余差传输曲线

当在子 ADC 注入的 PN_1 为 0 时，子 ADC 中注入幅度为 $1/16V_{ref}$ 的 PN 注入电压，等价于比较器右移 $1/16V_{ref}$ ，第一级流水级余差传输曲线变为图 4-17。同理当在子 ADC 注入的 PN_1 为 1 时，注入幅度为 $-1/16V_{ref}$ 的 PN 注入电压，等价于比较器左移 $1/16V_{ref}$ ，由于该级理想级间增益为 2，第一级流水级的输出范围变为 $[-5/8V_{ref}, 5/8V_{ref}]$ ，相比未注入 PN 时输出范围扩大了 $1/4V_{ref}$ ，占据了冗余编码余量。

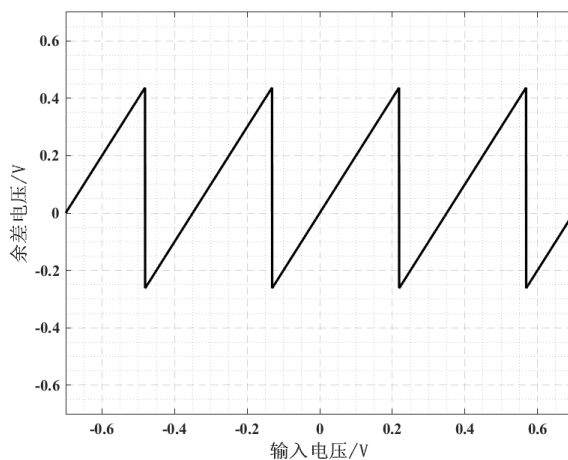


图 4-17 子 ADC 注入 PN_1 后第一级流水级余差传输曲线

该问题解决办法为在子 ADC 中注入由 PN_1 控制的 PN 注入电压的同时，在 MDAC 处注入由 PN_1 控制的两倍幅度的 PN 注入电压。即在子 ADC 中注入幅度为 $1/16V_{ref}$ 注入电压时，在 MDAC 中注入

同样由 PN_1 控制但幅度为 $1/8V_{ref}$ 注入电压，此时第一级流水级余差传输曲线如图 4-18，输出范围变回输入范围的一半，即在子 ADC 中注入 PN_1 的同时，在 MDAC 处注入两倍幅度的相同 PN_1 可不消耗流水级输出动态范围。

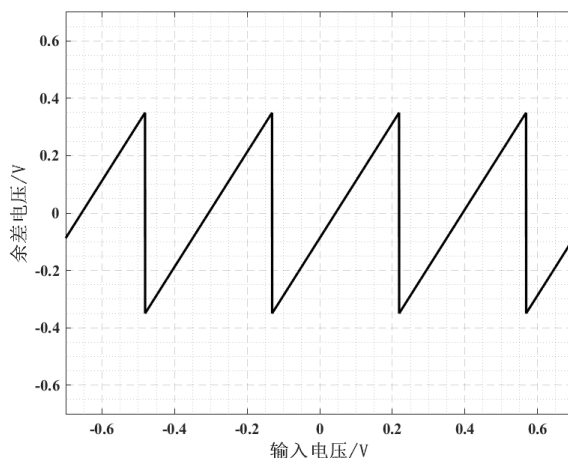


图 4-18 子 ADC 和 MDAC 注入 PN_1 后第一级流水级余差传输曲线

加入上述 PN 注入的第一级流水级行为级模型如图 4-19 所示，在子 ADC 和 MDAC 中同时注入 PN_1 ，幅度比为 1:2，在 MDAC 中再注入与 PN_1 无关的 PN_2 ，此时 PN_1 对余差电压动态输出范围影响全部消除，当受 PN_2 控制的注入电压幅度为 $1/8V_{ref}$ 时，第一级流水级的输出范围为 $[-5/8V_{ref}, 5/8V_{ref}]$ 。

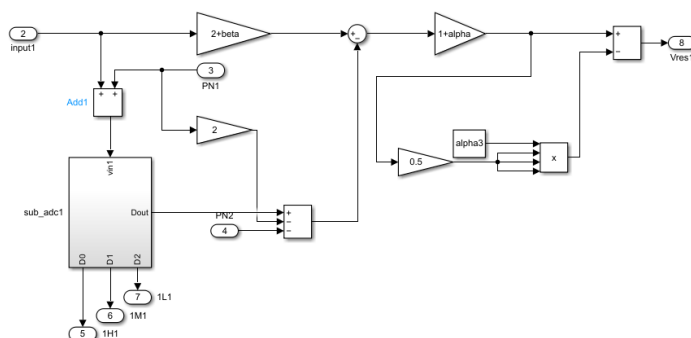


图 4-19 注入 PN 后第一级流水级建模

4.3.2 伪随机序列注入比特数

基于第三章对使用 PN 注入技术的两种级间增益误差后台校准算法的分析，量化精度是限制算法精度的一个重要因素。一般使用以下两种方法减小量化精度影响：

(1) 文献[17][38]在最后一级流水级和快闪型 ADC 间加入冗余流水级，如图 4-20 所示，这些冗余流水级都使用和最后一级流水级相同结构，从而使冗余级使用最小功耗和最小面积。使用该结构的流水线 ADC 最终数字输出位数高于实际设计精度，将高于设计精度的最后几位数字码舍弃，从而达到数字校准时减小后级量化误差的目的，并使最终数字输出位数保持不变。该方法可有效降低后级量化误差，但由于增加了冗余流水级，流水线 ADC 的功耗和面积随之增加。且随着冗余位的增加，由于工艺、温漂、寄生等非理想因素影响使后级数字输出码精度下降，需要权衡该偏差和量化误差的影响选择冗余的级数，即冗余级数不能无止境增加。那么，对于流水线 ADC 中位置靠后的流水级

而言，后级量化精度依然可能不足。

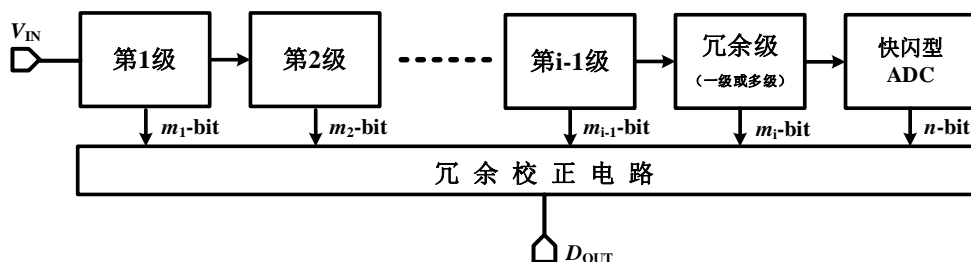


图 4-20 增加冗余级后流水线 ADC 结构

(2) 在文献[9]中提到了注入伪随机序列可以降低量化精度对算法精度的影响，且随着伪随机序列幅度数量提升，量化精度对算法精度的影响越小。由于在子 ADC 和 MDAC 同时注入的 PN_1 不会影响流水级的动态输出范围，可通过注入一个多比特的 PN_1 代替单比特 PN_1 ，在辅助完成三次谐波失真误差校准和 INL 跳跃误差校准的同时，该伪随机信号在不影响流水级动态输出范围情况下，使余差电压根据 PN_1 随机值发生随机变化，该余差电压被后级流水级量化，提升了量化精度。且如文献[45]所示，采用多比特伪随机序列注入的方法，可将各种非理想因素引入的噪声高阶频谱展平，随机化其分布并与有效信号解耦，能够有效提升 ADC 静态和动态性能。

基于以上分析可以得知，为了减小量化精度的影响，注入多比特伪随机信号的方式比增加冗余级方式有着更小的面积和功耗需求，且有能将噪声高阶频谱展平的优点。基于算法精度和复杂度的折中，本文将采取在子 ADC 和 MDAC 注入 5 比特伪随机信号 PN_1 的方式，在完成三次谐波失真误差和 INL 跳跃误差校准同时减小量化误差影响。

以注入 MDAC 的 PN_2 为例，PN 序列产生模块的建模如图 4-21 所示，由 Simulink 提供的 PN 序列生成模块 *PN Sequence Generator* 生成周期为 2^n-1 的二进制码 PN_2 ，再通过一个选择器和一个乘法器控制 $PN_2=0$ 时 PN 注入电压为 $1/8V_{ref}$ ， $PN_2=1$ 时 PN 注入电压为 $-1/8V_{ref}$ 。同时注入子 ADC 和 MDAC 的 PN_1 建模原理相同，区别在于 PN_1 输出 5 比特二进制码，对应的 PN 注入电压幅度最大为 $1/16V_{ref}$ ，最小为 $1/256V_{ref}$ 。

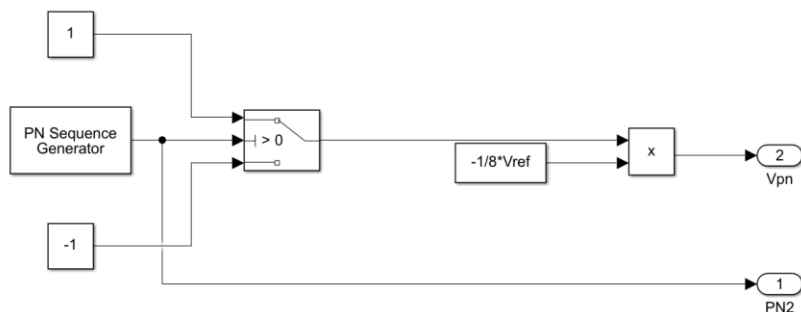


图 4-21 PN 序列产生模块建模

4.3.3 注入伪随机序列后的误差模型

在子 ADC 和 MDAC 中注入 5 比特 PN_1 用于三次谐波失真误差和 INL 跳跃误差校准，并在

MDAC 注入单比特 PN₂ 用于级间增益误差校准后，不考虑三次谐波时，第一级 1.5 bit 流水级余差电压公式变为式(4.3)：

$$V_{res_withoutar} = \frac{A\beta}{1+A\beta} \left(\frac{\sum_{i=1}^n C_i + \sum_{i=1}^n \Delta C_i + C_{pn} + \Delta C_{pn}}{C_f + \Delta C_f} V_{in} - \frac{\sum_{i=1}^n D_i C_i + \sum_{i=1}^n D_i \Delta C_i}{C_f + \Delta C_f} V_{ref} \right. \\ \left. - \frac{C_{pn2} + \Delta C_{pn2}}{C_f + \Delta C_f} D_{pn2} V_{ref} - \frac{\sum_{j=0}^{31} D_{pn1-j} C_{pn1} + \sum_{j=1}^{31} D_{pn1-j} \Delta C_{pn1}}{C_f + \Delta C_f} V_{ref} - V_{os} - V_{inject} \right) \quad (4.3)$$

其中 $V_{res_withoutar}$ 为不考虑三次谐波失真时的余差电压。 ΔC_{pn1} 为 PN₁ 注入通道采样电容失配， ΔC_{pn2} 为 PN₂ 注入通道采样电容失配。 ΔC_{pn} 为 PN 注入通道采样电容失配之和，包含 ΔC_{pn1} 及 ΔC_{pn2} 之和。 D_{pn1-j} 为注入 PN₁ 的数字码， C_{pn1} 为 PN₁ 注入通道理想采样电容。 D_{pn2} 为注入 PN₂ 的数字码， C_{pn2} 为 PN₂ 注入通道理想采样电容。 C_{pn} 为理想 PN 注入通道采样电容之和，包含 C_{pn1} 及 C_{pn2} 之和。

考虑三次谐波时，第一级 1.5 bit 流水级余差电压公式如式(4.4)：

$$V_{res} = V_{res_withoutar} - \alpha_3 (V_{res_withoutar})^3 \quad (4.4)$$

简化后包含上述所有非理想因素的 1.5 bit 流水级余差电压公式如式(4.5)，其中 D_{pn1} 和 D_{pn2} 为 PN₁ 和 PN₂ 对应的数字码， V_{pn1} 为随 PN₁ 数字码（0 或 1）变化的 PN 注入电压， V_{pn2} 为随 PN₂ 数字码（0-31）变化的 PN 注入电压。

$$V_{out} = (1+\alpha) \left[(2+\beta) \cdot V_{in} - (1+\delta_1) \cdot D_1 V_{ref} - (1+\delta_2) \cdot D_{pn1} V_{pn1} - (1+\delta_3) \cdot D_{pn2} V_{pn2} \right] \quad (4.5)$$

4.4 基于 PN 注入级间增益误差后台校准算法实现

第三章中提到的基于相关性的级间增益误差后台校准算法和基于 LMS 算法的级间增益误差后台校准算法都基于 PN 注入技术辅助校准。区别在于前者基于相关性直接求得级间增益误差系数，后者基于 LMS 算法迭代得到级间增益误差系数倒数。这两种级间增益误差校准算法存在一个相同的问题，两者计算的级间增益是整体传输特性的平均级间增益，当存在其他非线性因素，如三次谐波失真的影响时，计算得到的级间增益误差系数将出错。所以在同时存在级间增益误差、三次谐波失真误差的情况下，需要一种能隔离谐波失真影响，完成级间增益误差校准的后台校准算法。

4.4.1 基于 PN 注入级间增益误差后台校准算法原理

本文设计的基于 PN 注入级间增益误差后台校准算法基于以下原理：当在 MDAC 中注入 PN 序列控制的 PN 注入电压时，需要在数字域将 PN 注入电压使用理想数字值抵消。如式(4.6)， V_{in} 为输入信号电压， V_{pn} 为 MDAC 处注入的 PN 注入电压， D_{pn} 为 PN 注入电压数字域理想抵消值。与无级间增益误差的理想流水级 ADC 不同，存在级间增益误差时， V_{pn} 经历级间增益误差传递至后级流水级，导致 $D_{pn} \neq D(V_{pn})$ ，注入 PN 极性不同时，相同模拟输入对应的数字输出不同。

$$D(V_{in} + V_{pn}) - D_{pn} \neq D(V_{in} - V_{pn}) + D_{pn} \quad (4.6)$$

为了量化这种级间增益误差导致的非线性现象，可以与第三章中基于 LMS 算法的级间增益误差后台校准算法类似，基于相关性使用 LMS 算法对级间增益误差系数进行迭代，但使用所有数字样本

进行相关运算会检测到整体传输特性的平均级间增益，其中包含三次谐波失真误差对不同输入的非线性影响。当存在三次谐波失真，传输曲线不同段的级间增益将与输入相关，输入电压越大，级间增益受三次谐波失真影响越大。为了避免谐波失真的影响，级间增益误差的检测和校准可以不使用全部的数字样本，而使用基于段（或基于阈值）的数字样本，如使用余差电压 $V_{\text{res}}=0$ 周围的数字样本，将谐波失真带来的影响降至最低。

本文设计的级间增益误差后台校准算法，基于计数的方法对余差传输曲线的统计特性进行提取，并选择余差电压 V_{res} 为 0 的点计算实际级间增益。原因在于 V_{res} 接近 0 时，输出受非线性因素的影响最小，可以将一阶线性级间增益误差与高阶非线性因素引起的级间增益误差隔离，确保级间增益校准向正确方向进行。

存在级间增益误差时使用计数方式提取流水线 ADC 统计特性的方法如式(4.7)和(4.8)所示：

$$e_{V_{\text{insp}}} = \text{sum}_{V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} < 0 - \text{sum}_{V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} > 0 \quad (4.7)$$

$$e_{-V_{\text{insp}}} = \text{sum}_{-V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} < 0 - \text{sum}_{-V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} > 0 \quad (4.8)$$

其中 V_{insp} 为观察点，选取在余差电压 V_{res} 为 0 的数字输出处，将根据观察点进行计数从而体现级间增益误差导致的非线性现象。 G_{real} 为 MDAC 实际闭环增益， V_{pn} 为 PN 注入电压， $V_{\text{pn}} > 0$ ， $V_{\text{pn}} < 0$ 分别代表 PN=0 和 PN=1 两种 PN 注入情况。 $\text{sum}_{V_{\text{insp}}}$ 是实际数字输出（即减去 MDAC 注入 PN 影响后数字输出）大于观察点 V_{insp} 的计数， $\text{sum}_{-V_{\text{insp}}}$ 是实际数字输出小于观察点 V_{insp} 的计数。

使用这种基于观察点提取级间增益误差的好处在于 $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 的差值只对输入范围在 $V_{\text{insp}} \pm (G_{\text{real}} - G_{\text{ideal}}) V_{\text{pn}}$ 内的数字码计算点数差，对远程数字码不敏感，可隔离大部分的谐波失真影响。当不存在级间增益误差时，PN 注入电压在数字域完全抵消， $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 点数相同，当存在级间增益误差时，因 PN 注入电压的不完全抵消，如式(4.9)所示， $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 间的点数差 e 与观察点 V_{insp} 附近实际级间增益与理想级间增益的差值成正比。

$$e = e_{V_{\text{insp}}} - e_{-V_{\text{insp}}} \quad (4.9)$$

由于点数差 e 与理想级间增益和实际级间增益差值成正比，如式(4.10)可使用 LMS 算法对级间增益误差校准系数进行迭代：

$$G(k+1) = G(k) + u \cdot e \quad (4.10)$$

其中 u 为使级间增益误差校准系数收敛的 LMS 迭代步长， u 越大迭代速度越快，精度越低。迭代收敛后的 $G(k)$ 为实际级间增益误差的倒数，以校准第一级级间增益误差为例，最终的数字输出如式(4.11)：

$$D_{\text{cal}} = D_1 + G(k) \cdot D_{\text{back}} - D_{\text{pn}} \quad (4.11)$$

该算法相比其他校准算法的优点在于计算级间增益误差校准系数时，将谐波失真因素隔离，并使用点数积累的方式对级间增益误差校准系数进行计算，而不是基于相关和乘法等复杂计算，有利于简化逻辑，降低功耗。

4.4.2 基于 PN 注入级间增益误差后台校准算法实现

基于 Simulink 和 Matlab 进行了上述级间增益误差后台校准算法的实现, 由 Simulink 建立一个 12 bit 流水线 ADC 模型, 首级为存在级间增益误差的折叠 1.5 bit 流水级结构, 后级为 9 级非折叠 1.5bit 流水级, 最后一级为快闪型 ADC。校准算法由 Simulink 中的 *Matlab Function* 模块实现, 主要结构如图 4-22 所示, 流水线 ADC 输出除第一级外的后级流水级 11 位数字码 D_{back} , 该数字码中包含第一级级间增益误差信息。再根据第一级 MDAC 注入的 PN 注入电压 (包括用于级间增益校准的单比特 PN_2 和抵消子 ADC PN 注入对动态输出范围影响的多比特 PN_1), 使用数字码 D_{pn} 进行 PN 注入电压的不完全抵消。并设置 V_{res} 为 0 的数字观察点 D_{vinsp} , 该流水线 ADC 结构中可选取的数字观察点为 1024, 2048, 3072 中任意一点。使用观察点根据式(4.7)(4.8)所示进行计数并获得能够体现实际级间增益误差和理想级间增益误差差值的点数差 e 。最后选取合适的迭代步长 u 使用 LMS 算法对增益校准系数 $G(k)$ 进行迭代至最佳值, 多个迭代周期后即可得到抵消 PN 注入电压且完成级间增益误差校准后的数字码 D_{out} 。

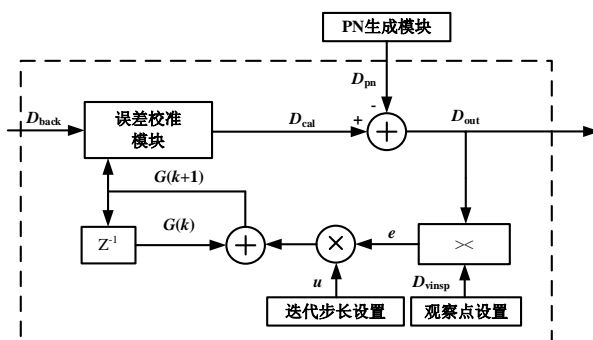


图 4-22 级间增益误差校准算法结构

4.4.3 基于 PN 注入级间增益误差后台校准算法仿真结果与分析

考虑在第一级流水级加入 2% 的级间增益误差观察对流水线 ADC 的影响, 增益校准后得到的增益校准系数为 1.0204, 与理论计算相符。

图 4-23 为未校准级间增益误差时流水线 ADC 输出信号频谱图, 可见级间增益误差引入了大量谐波, SNDR 和 SFDR 仅为 48.75dB 和 53.06dB。

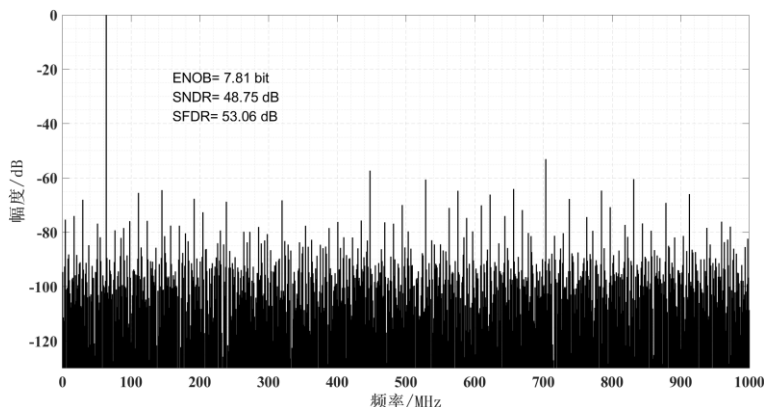


图 4-23 未校准级间增益误差流水线 ADC 输出信号频谱图

经过基于 PN 注入级间增益误差后台校准算法校准后, 流水线 ADC 输出信号频谱图如图 4-24 所示, SNDR 和 SFDR 分别提升至 73.83dB 和 115.33dB。

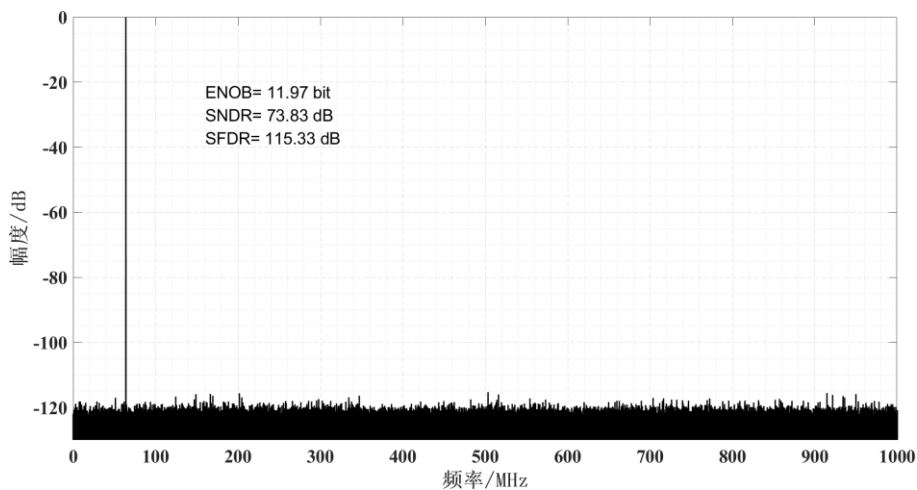


图 4-24 校准级间增益误差后流水线 ADC 输出信号频谱图

根据 12 bit 450MS/s 流水线 ADC 后仿结果设置 2%级间增益误差时, 图 4-23, 4-24 所示仿真结果证明了基于 PN 注入级间增益误差后台校准算法在该情况下的校准效果。但在某些流水线 ADC 中, 级间增益误差可能达到 10%。为了验证本算法的校准范围, 设置 4%、6%、8%和 10%级间增益误差, 基于 PN 注入级间增益误差后台校准算法的校准效果如表 4-1 所示, 仿真结果表明级间增益误差小于 10%时, 该级间增益误差后台校准算法均能完成校准。

表 4-1 存在不同级间增益误差时级间增益误差后台校准算法校准效果

级间增益 误差	校准前 ENOB	校准后 ENOB	校准前 SNDR	校准后 SNDR	校准前 SFDR	校准后 SFDR
4%	6.81 bit	11.94 bit	42.75dB	73.64dB	47.05dB	101.69dB
6%	6.22 bit	11.84 bit	39.23dB	73.04dB	43.49dB	90.00dB
8%	5.81 bit	11.86 bit	36.74dB	73.15dB	41.01dB	94.91dB
10%	5.49 bit	11.85 bit	34.81dB	73.11dB	39.07dB	106.71dB

4.5 基于 PN 注入三次谐波失真误差后台校准算法实现

4.5.1 基于 PN 注入三次谐波失真误差后台校准算法原理

本文中三次谐波失真误差校准算法基于以下原理, 在子 ADC 中注入不同极性的 PN 注入电压, 等价于比较器向不同的方向移动, 当存在偶次谐波失真, PN 注入电压极性不同时输出曲线将在比较器阈值周围出现偶对称误差。当存在奇次谐波失真, PN 注入电压极性不同时输出曲线将在比较器阈值周围出现奇对称误差。如图 4-25 所示, 实线为 PN 注入电压为正时传输曲线, 虚线为 PN 注入电压为负时传输曲线, 当 PN 注入电压极性不同时, 比较器阈值周围的数字输出体现出因三次谐波失真导致的奇对称性。

本文三次谐波失真误差校准算法通过对 PN 极性不同时的输出曲线的形状进行评估从而完成校准。具体原理如下：当存在三次谐波时，在子 ADC 处注入 PN，当 PN 极性不同时，选择能够暴露谐波的观察点，小于或大于该观察点的点数会随三次谐波大小发生变化。只要确保在观察点设定的范围内有足够数量的样本来暴露这种非线性，观察点的确切幅度并不重要。例如，观察三次谐波导致的奇对称性，观察点根据余差电压 V_{res} 为 0 的点对称能够暴露谐波失真引起的传输曲线形变即可。

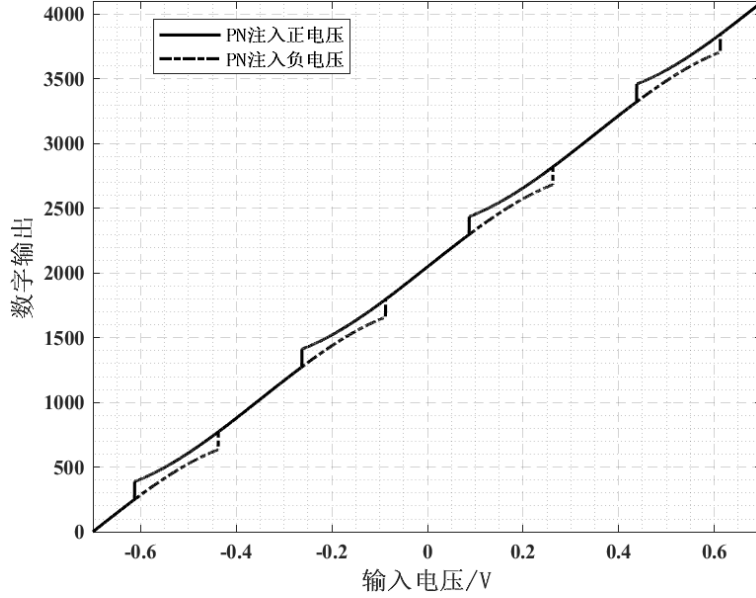


图 4-25 三次谐波导致输出曲线奇对称性

选取合适观察点后，如式(4.12)(4.13)通过计数的方式对传输曲线的形状进行评估：

$$e_{V_{\text{insp}}} = \text{sum}_{V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} < 0 - \text{sum}_{V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} > 0 \quad (4.12)$$

$$e_{-V_{\text{insp}}} = \text{sum}_{-V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} < 0 - \text{sum}_{-V_{\text{insp}}} (V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} > 0 \quad (4.13)$$

式(4.12)(4.13)中 V_{insp} 和 $-V_{\text{insp}}$ 是根据余差电压 V_{res} 为 0 对称的一对观察点， $\text{sum}_{V_{\text{insp}}}$ 是实际数字输出（即减去 MDAC 注入 PN 影响的数字输出）大于观察点 V_{insp} 的点数， $\text{sum}_{-V_{\text{insp}}}$ 是实际数字输出小于观察点 $-V_{\text{insp}}$ 的点数， $V_{\text{pn}} > 0$ ， $V_{\text{pn}} < 0$ 分别代表 PN=0 和 PN=1 两种情况。

当不存在三次谐波失真时，在子 ADC 处注入不同极性 PN 后输出曲线仍然相同， $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 点数相同，当存在三次谐波失真时， $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 因 PN 注入电压极性不同时输出曲线成奇对称性而出现点数差，且三次谐波失真越大，传输曲线奇对称性越明显，该点数差越大，即 $e_{V_{\text{insp}}}$ 和 $e_{-V_{\text{insp}}}$ 点数差与三次谐波失真大小成正比。

那么如式(4.14)即可定义三次谐波误差项 e ：

$$e = e_{V_{\text{insp}}} - e_{-V_{\text{insp}}} \quad (4.14)$$

该三次谐波误差项可以评估传递曲线的形状，通过配置三次谐波抵消系数 α_{3_cal} 最小化三次谐波失真误差对数字输出的影响，可以将传递曲线的形状均衡为期望的形状。如式(4.15)可使用 LMS 算法对三次谐波抵消系数进行迭代至最佳值：

$$\alpha_{3_cal}(n+1) = \alpha_{3_cal}(n) + u \cdot e \quad (4.15)$$

式(4.15)中 u 为 LMS 算法迭代步长。 u 越大, 迭代速度越快, 但是校准精度越低。确定 u 的最佳值, 可以实现算法迭代速度和精度的折中。最终通过式(4.16)消除三次谐波失真带来的影响:

$$D_{\text{cal}} = D_1 + D_{\text{back}} - \alpha_{3_cal} \cdot D_{\text{back}}^3 - \alpha_{3_cal}^2 \cdot D_{\text{back}}^5 \quad (4.16)$$

其中第二项 $\alpha_{3_cal} \cdot D_{\text{back}}^3$ 用于抵消三次谐波失真误差的影响, 但在该过程中又引入高次谐波失真, 需要使用第三项 $\alpha_{3_cal}^2 \cdot D_{\text{back}}^5$ 抵消引入的五次谐波失真影响。

4.5.2 基于 PN 注入三次谐波失真误差后台校准算法实现

基于 Simulink 和 Matlab 进行了上述三次谐波失真误差后台校准算法的实现, 由 Simulink 建立一个 12 bit 流水线 ADC 模型, 首级为存在三次谐波失真的折叠 1.5 bit 流水级结构, 后级为 9 级非折叠 1.5 bit 流水级, 最后一级为快闪型 ADC。校准算法由 Simulink 中的 Matlab Function 模块实现, 主要结构如图 4-26 所示, 流水线 ADC 输出除第一级外的后级数字输出码 D_{back} , 根据第一级 MDAC 注入的 PN 注入电压 (包括用于级间增益校准的单比特 PN_2 和抵消子 ADC PN 注入对动态输出范围影响的多比特 PN_1), 使用数字码 D_{pn} 进行 PN 注入电压的不完全抵消。再选择余差电压 V_{res} 为 0 对称的一对观察点, 由于 V_{res} 越大受三次谐波失真影响越大, 所以观察点对应的 V_{res} 越大能够检测到越明显的奇对称性, 但由于其幅度较大, 在所有的数字输出中满足式(4.12)(4.13)要求的数字输出占比低, 导致对校准无用的样本数增加。考虑到上述因素, 本文选取的观察点分别位于 $3/4V_{\text{ref}}$ 和 $-3/4V_{\text{ref}}$ 对应的数字码处。使用观察点根据式(4.12)(4.13)所示进行计数并获得能够体现三次谐波失真的点数差 e 。最后使用 LMS 算法对三次谐波失真校准系数 $\alpha_{3_cal}(n)$ 不断迭代至最佳值, 多个迭代周期后得到抵消 PN 注入电压且完成三次谐波失真误差校准后的数字码 D_{out} 。

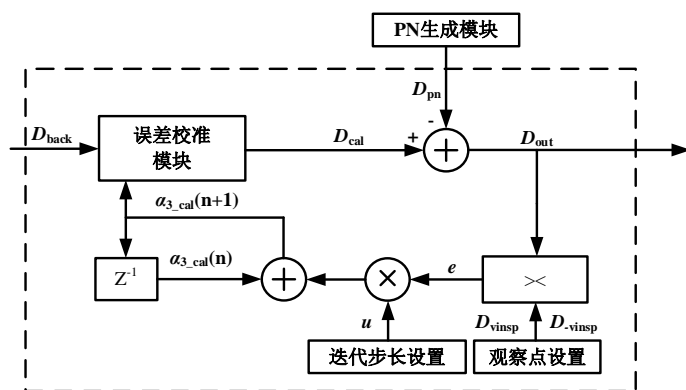


图 4-26 三次谐波失真误差校准算法结构

4.5.3 基于 PN 注入三次谐波失真误差后台校准算法仿真结果与分析

在 12 bit 流水线 ADC 的第一级流水级设置三次谐波失真系数 α_3 为 0.25, 三次谐波失真误差校准后得到的三次谐波失真误差校准系数为 -2.039, 与理论计算相符。图 4-27 为未校准三次谐波失真误差时流水线 ADC 输出信号频谱图, SNDR 和 SFDR 仅为 48.67dB 和 55.99dB。

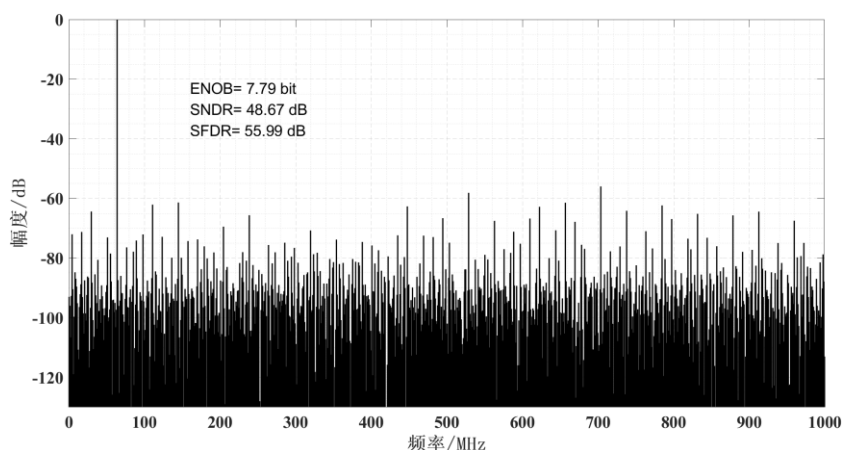


图 4-27 未校准三次谐波失真误差时流水线 ADC 输出信号频谱图

经过基于 PN 注入三次谐波失真误差后台校准算法校准后, 流水线 ADC 输出信号频谱图如图 4-28 所示, SNDR 和 SFDR 分别提升至 72.72dB 和 94.95dB。

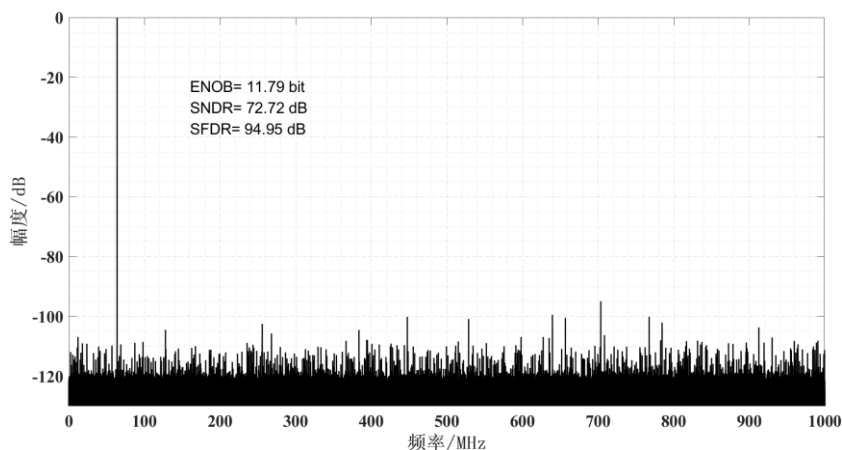


图 4-28 校准三次谐波失真误差后流水线 ADC 输出信号频谱图

根据 12 bit 450MS/s 流水线 ADC 后仿结果设置三次谐波失真系数 α_3 为 0.25 时, 图 4-27, 4-28 所示仿真结果证明了基于 PN 注入三次谐波失真误差后台校准算法在该误差条件下的校准效果。但在某些流水线 ADC 中, 可能存在更大的三次谐波失真误差。为了验证本算法的校准范围, 设置三次谐波失真校准系数分别为 0.30、0.35、0.40 和 0.45, 基于 PN 注入三次谐波失真误差后台校准算法的校准效果如表 4-2 所示, 仿真结果表明在三次谐波失真系数在小于 0.45 时, 该三次谐波失真误差后台校准算法均能完成校准。

表 4-2 存在不同三次谐波失真误差时三次谐波失真误差后台校准算法校准效果

三次谐波失真系数	校准前 ENOB	校准后 ENOB	校准前 SNDR	校准后 SNDR	校准前 SFDR	校准后 SFDR
0.30	7.53 bit	11.76 bit	47.10dB	72.53dB	54.42dB	99.28dB
0.35	7.31 bit	11.78 bit	45.76dB	72.67dB	53.09dB	90.41dB
0.40	7.12 bit	11.60 bit	44.60dB	71.61dB	51.97dB	92.19dB
0.45	6.95 bit	11.41 bit	43.57dB	70.44dB	50.89dB	81.02dB

4.6 基于 PN 注入 INL 跳跃误差后台校准算法实现

4.6.1 基于 PN 注入 INL 跳跃误差后台校准算法原理

基于 PN 注入 INL 跳跃误差后台校准算法基于如下原理：当注入子 ADC 的 PN 注入电压极性不同时，等效于比较器阈值向不同方向移动，存在子 DAC 误差的 12 bit ADC 的传输曲线也将不同。如图 4-28 所示，当存在子 DAC 误差时，由于注入子 ADC 的 PN 码极性不同，将导致本应只在比较器阈值处出现的 INL 跳跃进行扩展。也就是说注入不同极性的 PN 使暴露 INL 跳跃的数字输出范围扩大，暴露的原理是当输入电压在比较器阈值附近时，在子 ADC 加入 PN 注入电压后，根据 PN 注入电压极性不同，导致相同输入在不同极性 PN 注入条件下，输出位于传输曲线的不同子区域内，即比较器阈值的两端。即使将 PN 注入电压进行抵消，最终的数字输出也将不同。

如图 4-29 所示，实线为 PN 注入电压为正时传输曲线，虚线为 PN 注入电压为负时传输曲线。当在子 ADC 注入不同极性 PN 注入电压时，INL 跳跃不只出现在比较器阈值处，而是被扩展至一个输出范围内，该范围与子 ADC 处 PN 注入电压大小成正比。

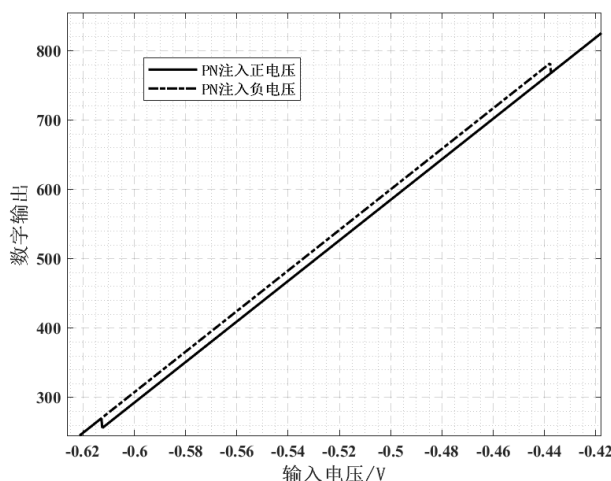


图 4-29 子 ADC 注入不同极性 PN 后传输曲线

INL 跳跃由比较器阈值处被扩展至一个输入输出范围后，只需要在该范围内选取任何一个观察点，就可以检测到 INL 跳跃值，选择观察点公式如式(4.17)：

$$V_{\text{insp1}} \in \left[(V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} < 0 \text{ and flash} = \text{subrange1} \right] \cap \left[(V_{\text{out}} - G_{\text{ideal}} V_{\text{pn}}) | V_{\text{pn}} > 0 \text{ and flash} = \text{subrange2} \right] \quad (4.17)$$

式中， V_{insp1} 为第一个子范围和第二个子范围间检测 INL 跳跃误差的观察点，子范围由子 ADC 数字输出划分， V_{out} 为输出， $G_{\text{ideal}} V_{\text{pn}}$ 用于抵消 MDAC 处注入的 PN 码对输出的影响，即第一个子范围和第二个子范围间的观察点 V_{insp1} 为当 $V_{\text{pn}} < 0$ 时子 ADC 数字输出在第一个子范围时和 $V_{\text{pn}} > 0$ 时子 ADC 数字输出在第二个子范围时实际数字输出交集中任意一点。

由 V_{insp1} 可以进行第一个子范围和第二个子范围间的 INL 跳跃的校准，若第一级子 ADC 为折叠 1.5 bit 半摆幅 ADC，还需要计算 V_{insp2} ， V_{insp3} ， V_{insp4} ，分别进行第二个子范围和第三个子范围间的 INL 跳跃的校准、第三个子范围和第四个子范围间的 INL 跳跃的校准、第四个子范围和第五个子范

$V_{\text{insp}2}$, $V_{\text{insp}3}$, $V_{\text{insp}4}$, 所有子区域间的 INL 跳跃校准均结束时完成基于 PN 注入后台 INL 跳跃误差校准算法。

4.6.3 基于 PN 注入 INL 跳跃误差后台校准算法仿真结果与分析

在 12 bit 流水线 ADC 的第一级子 DAC 处设置误差, ADC 参考电压为 0.7V, 分别对第一个子区域、第三个子区域、第五个子区域设置 0.003V, 0.003V, -0.003V 余差参考电压误差。INL 跳跃误差校准后得到的 5 个子区域间的 INL 跳跃校准值为-4, -4, 5, 5, 与理论计算相符。图 4-31 为未校准 INL 跳跃误差时流水线 ADC 输出信号频谱图, SNDR 和 SFDR 仅为 53.08dB 和 53.92dB。

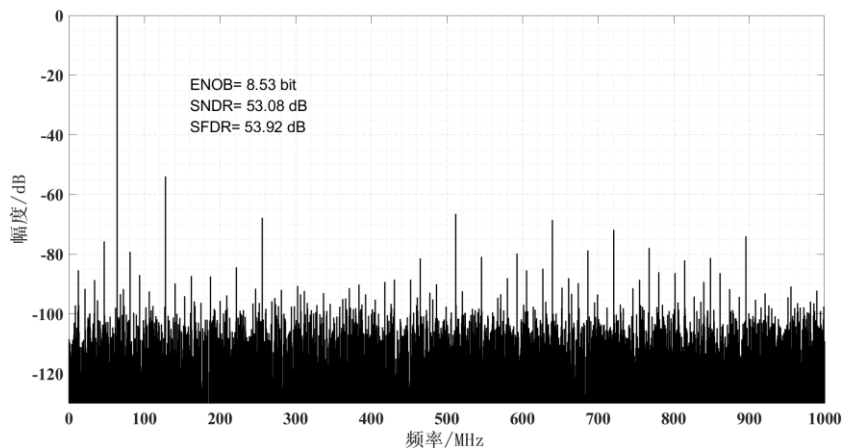


图 4-31 未校准 INL 跳跃误差时流水线 ADC 输出信号频谱图

经过基于 PN 注入 INL 跳跃误差后台校准算法后,流水线 ADC 输出信号频谱图如图 4-32 所示, SNDR 和 SFDR 分别提升至 72.69dB 和 85.89dB。

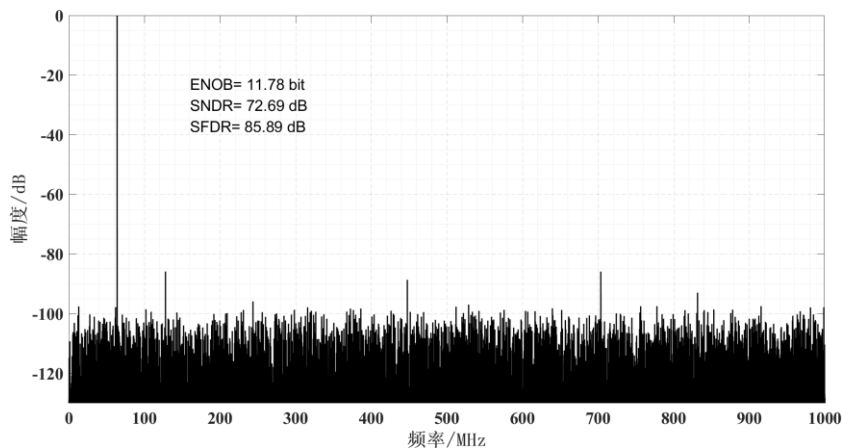


图 4-32 校准 INL 跳跃后流水线 ADC 输出信号频谱图

根据 12 bit 450MS/s 流水线 ADC 后仿结果在第一级流水级子 DAC 第一个子区域、第三个子区域、第五个子区域设置幅度为 0.003V 余差参考电压误差时,图 4-31, 4-32 所示仿真结果证明了基于 PN 注入 INL 跳跃误差后台校准算法在该误差条件下的校准效果。但在某些流水线 ADC 中,可能存在更大的子 DAC 余差参考电压误差。为了验证本算法的校准范围,设置子 DAC 余差参考电压误差分别为 0.006V、0.009V、0.012V 和 0.015V,基于 PN 注入 INL 跳跃误差后台校准算法的校准效果如表 4-3 所示,仿真结果表明在子 DAC 余差参考电压误差小于 0.015V 时,该 INL 跳跃误差后台校准

算法均能完成校准。

表 4-3 存在不同子 DAC 余差参考电压误差时 INL 跳跃误差后台校准算法校准效果

子 DAC 余差 参考电压误差	校准前 ENOB	校准后 ENOB	校准前 SNDR	校准后 SNDR	校准前 SFDR	校准后 SFDR
0.006V	7.53 bit	11.69 bit	47.10dB	72.11dB	47.96dB	81.71dB
0.009V	6.94 bit	11.86 bit	43.57dB	73.17dB	44.42dB	81.83dB
0.012V	6.53 bit	11.53 bit	41.07dB	71.20dB	41.93dB	79.92dB
0.015V	6.21 bit	11.55 bit	39.14dB	72.29dB	39.99dB	78.11dB

4.7 流水线 ADC 数字校准模块实现

在前几节中分别描述了基于 PN 注入级间增益误差校准算法、三次谐波失真误差校准算法、INL 跳跃误差校准算法的原理，Simulink 建模和三种后台校准算法的联仿，分别验证了三种 Matlab 语言后台校准算法功能。本节主要描述将三种后台校准算法结合的 ADC 数字校准模块实现，并使用 Simulink 建模与 Matlab 联仿方式验证 Matlab 级数字校准模块性能，最后完成该模块的 RTL 级代码设计，并使用 Simulink 建模和 Modelsim 联仿方式验证 RTL 级数字校准模块性能。

4.7.1 流水线 ADC 数字校准模块实现

流水线 ADC 数字校准模块具体 FSM 控制逻辑如图 4-33 所示。

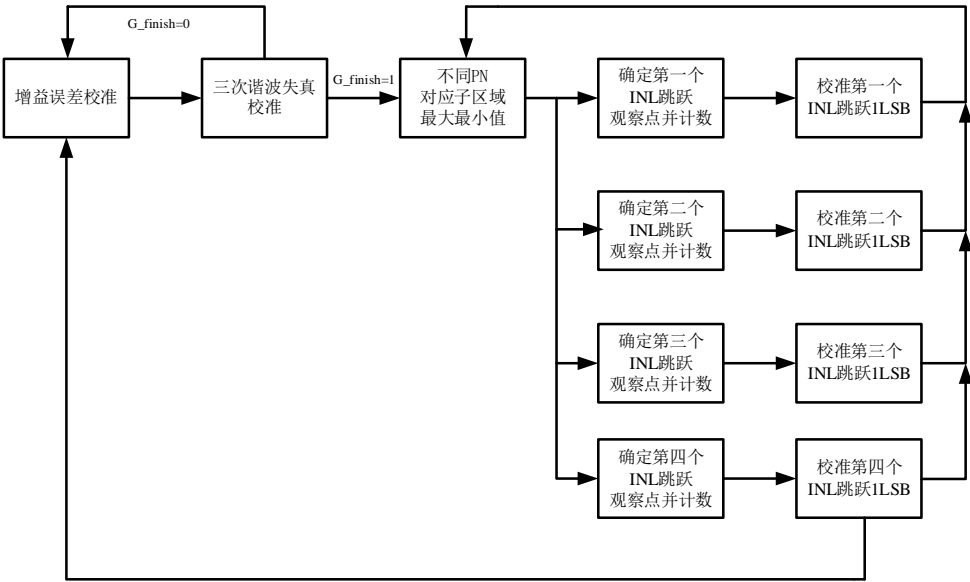


图 4-33 数字校准模块 FSM

本文设计的级间增益误差校准算法虽然能隔离大部分三次谐波失真影响，但在保证校准方向正确的同时级间增益误差校准系数提取依然会因三次谐波失真存在一定误差。所以流水线 ADC 数字校准模块中先进行级间增益误差粗校准，接着进行三次谐波失真误差粗校准。在级间增益误差和三次谐波失真误差未校准至最佳值前，两种校准算法不断迭代，直至级间增益误差校准系数保持不变，

此时将寄存器 G_finish 置 1 指示级间增益误差校准完成, 得到级间增益误差校准系数, 在级间增益误差校准完成前提下, 三次谐波失真误差校准也能校准至收敛, 得到三次谐波失真误差校准系数。

级间增益误差校准和三次谐波失真误差校准结束后跳转至 INL 跳跃误差校准阶段, 该阶段需要对不同极性 PN 注入下每个子区域的最大值最小值进行计算。从第一个 INL 跳跃 (第一个子区域和第二个子区域间 INL 跳跃) 误差校准开始, 先根据不同极性 PN 注入下每个子区域的最大值最小值确定第一个子区域和第二个子区域间 INL 跳跃的观察点, 并完成指示第一个 INL 跳跃方向的误差系数 e_{vinsp1} 计数, 接着在第一个子区域和第二个子区域间完成 1LSB 的 INL 跳跃校准。在第一个 INL 跳跃所有 LSB 校准完成前需不断重复上述过程。第一个 INL 跳跃校准结束后, 得到第一个 INL 跳跃校准系数, 继续完成第二个、第三个、第四个 INL 跳跃校准, 直至所有子区域间 INL 跳跃均校准结束, 跳转回级间增益误差校准, 进行下一轮后台数字校准。

最终在数字校准和数字合成模块通过组合逻辑使用级间增益误差校准系数、三次谐波失真误差校准系数、INL 跳跃误差校准系数完成三种校准, 并完成第一级数字码和后级数字码的错位相加, 完成 PN_1 (多比特同时注入子 ADC 和 MDAC), PN_2 (单比特只注入 MDAC) 的抵消, 输出校准后 12 位数字码。

4.7.2 流水线 ADC 数字校准模块仿真结果与分析

在 12 bit 流水线 ADC Simulink 模型第一级设置 2% 级间增益误差, 设置第一级三次谐波失真误差系数 α_3 为 0.25, 并在第一级子 DAC 分别对第一个子区域、第三个子区域、第五个子区域设置 0.003V, 0.003V, -0.003V 余差参考电压误差。使用 *Matlab Function* 编写的数字校准模块校准后得到的增益校准系数为 1.0204, 三次谐波失真误差校准系数为 -2.0723, 4 个 INL 跳跃校准系数分别为 -4, -4, 5, 5。图 4-34 为未校准时流水线 ADC 输出信号频谱图, SNDR 和 SFDR 仅为 42.76dB 和 48.58dB。

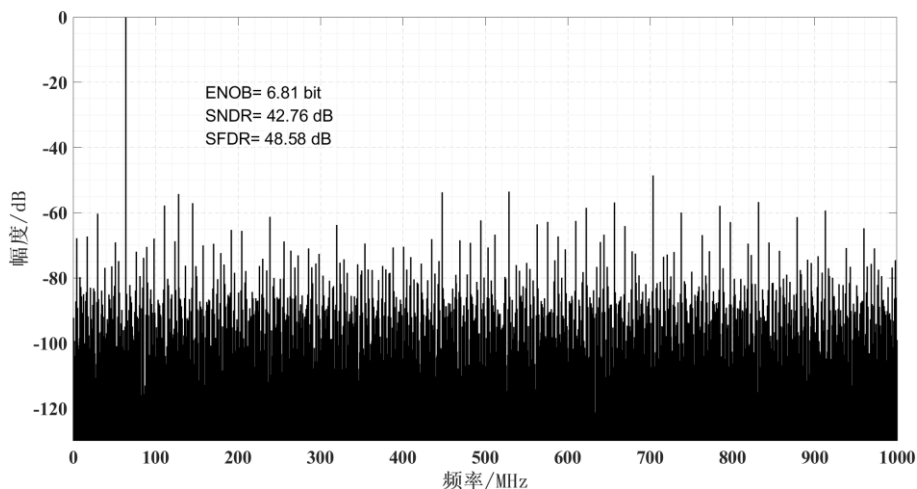


图 4-34 未经数字校准模块校准时流水线 ADC 输出信号频谱图

图 4-35, 4-36 分别为未校准时的 DNL 特性和 INL 特性。

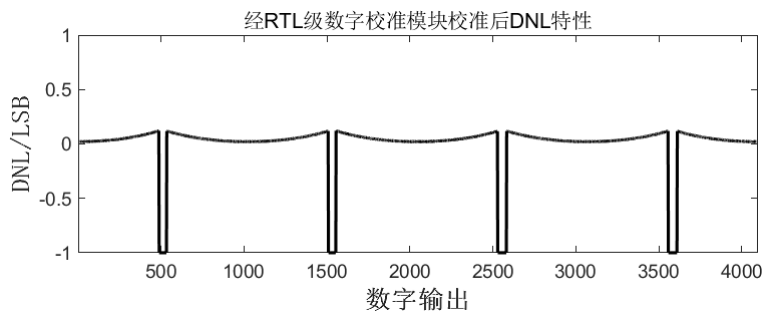


图 4-35 未经数字校准模块校准时 DNL 特性

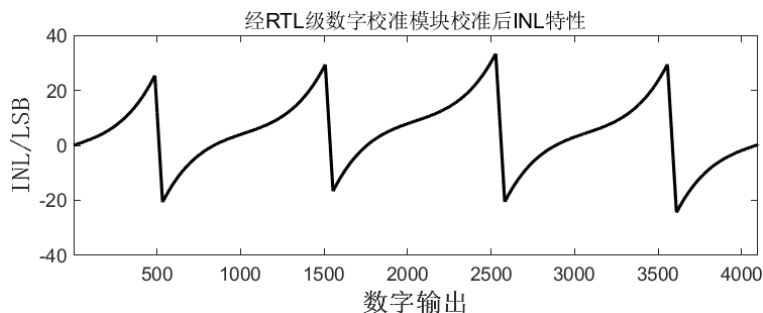


图 4-36 未经数字校准模块校准时 INL 特性

经过 Matlab 级数字校准模块校准三种误差后, 流水线 ADC 输出信号频谱图如图 4-37 所示, SNDR 和 SFDR 分别提升至 72.07dB 和 83.98dB。

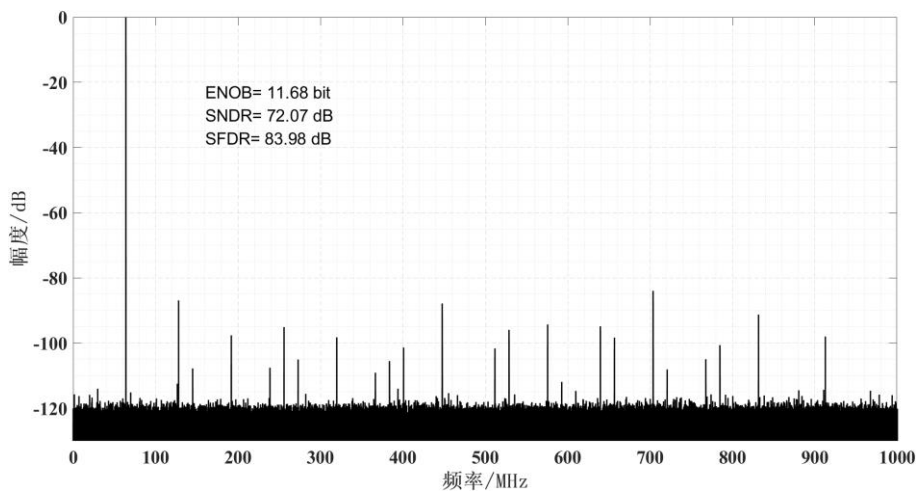


图 4-37 经 Matlab 级数字校准模块校准后流水线 ADC 输出信号频谱图

由于基于 PN 注入的所有校准算法需要的数据量过大, 无法使用流水线 ADC 原理图仿真或版图提参后仿真产生足够的输出数据进行 RTL 级代码验证, 本文利用 Simulink 和 Modelsim 联合仿真的方式进行 RTL 级代码验证。由于本文在进行数字校准时多处需要使用乘法器, 乘数与被乘数精度的提高使算法复杂度和延时增加。基于以上因素权衡, 本文使用定点浮点数的方法, 对所有校准系数保留 13 位小数位, 即精度均为 $1/8192$ 。将 Verilog HDL 编写的 RTL 级数字校准模块放入 12 bit 流水线 ADC Simulink 模型后, 校准后输出的关键信号如图 4-38, 增益校准系数为 $14'd8357$, 三次谐波失真校准系数为 $-16'd16949$, 4 个 INL 跳跃校准系数为 $-7'd4$, $-7'd4$, $7'd5$, $7'd5$, 均和理论分析相符。

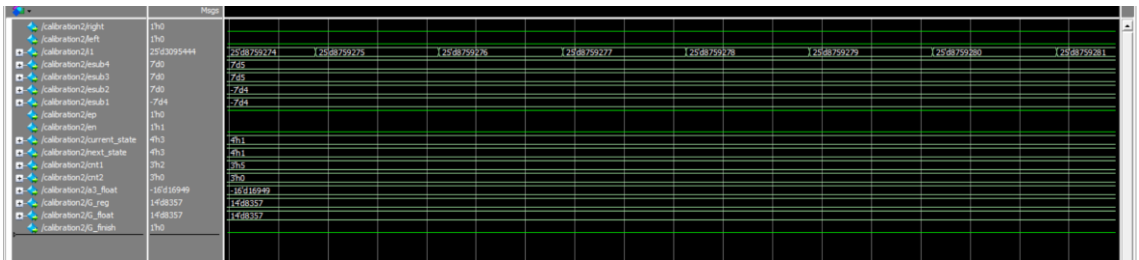


图 4-38 经数字校准模块校准后输出关键信号

经过 RTL 级数字校准模块校准三种误差后，流水线 ADC 输出信号频谱图如图 4-39 所示，SNDR 和 SFDR 分别提升至 70.36dB 和 86.95dB。

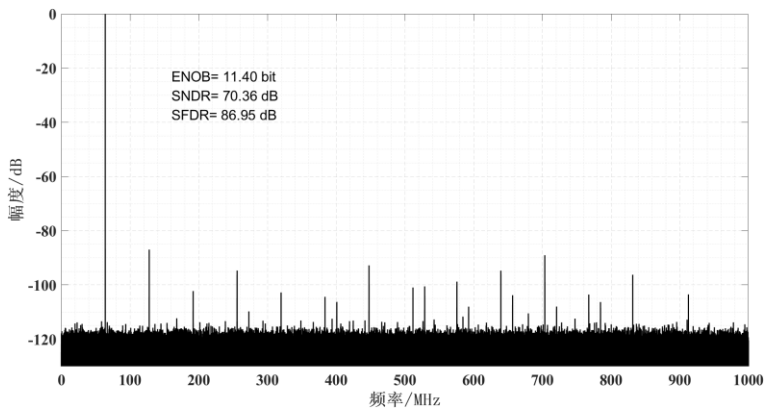


图 4-39 经 RTL 级数字校准模块校准后流水线 ADC 输出信号频谱图

图 4-40，4-41 分别为经 RTL 级数字校准模块校准后流水线 ADC 输出信号 DNL，INL 特性。DNL 保持在 $\pm 0.15\text{LSB}$ 范围内，INL 保持在 $\pm 0.8\text{LSB}$ 范围内。

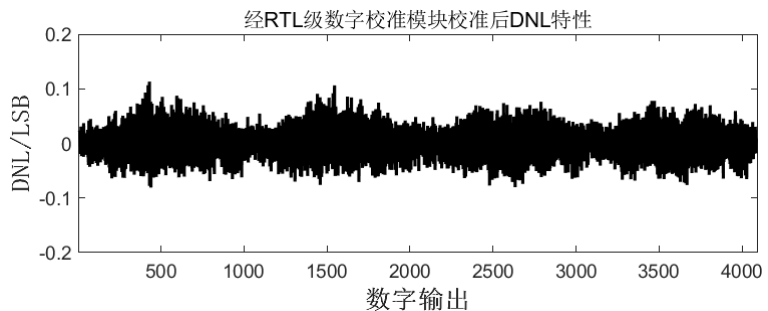


图 4-40 经 RTL 级数字校准模块校准后 DNL 特性

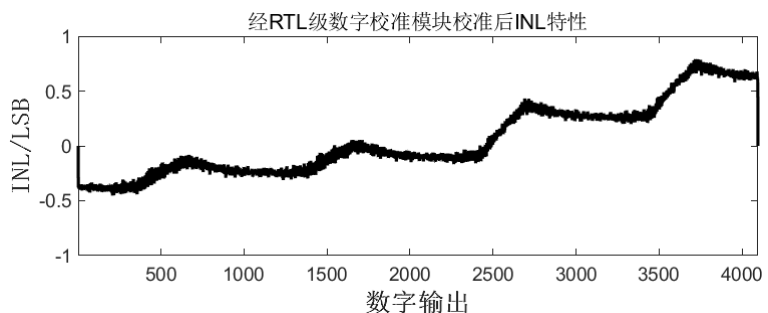


图 4-41 经 RTL 级数字校准模块校准后 INL 特性

如表 4-4 所示为本设计 12 bit 流水线 ADC 校准前，经 Matlab 级代码校准后和经 RTL 级代码校准后的性能对比。从表中可以看出，虽然 RTL 级代码出于小数精度原因和 Matlab 级代码校准效果有

一定偏差,但相比校准前流水线 ADC 输出信号,SNDR 提升约 28 dB, SFDR 提升约 38.5 dB, ENOB 提升约 4.6 bit,证明了本设计的可行性。

表 4-4 12 bit 500MS/s 流水线 ADC 数字校准算法仿真性能指标对比

	未校准	Matlab 代码校准	RTL 级代码校准
ENOB	6.81 bit	11.68 bit	11.40 bit
SNDR	42.76dB	72.07dB	70.36dB
SFDR	48.58dB	83.98dB	86.95dB

本设计 12 bit 流水线 ADC 数字校准后性能提升与预计性能提升对比如表 4-5 所示,满足设计指标要求。

表 4-5 本设计流水线 ADC 数字校准后性能提升与预计性能提升对比

	本设计性能提升	预计性能提升
ENOB	4.6 bit	≥ 2 bit
SNDR	28dB	≥ 12 dB
SFDR	38.5dB	≥ 12 dB

如表 4-6 所示为本设计数字校准算法和文献[16][17][18]数字校准算法仿真结果对比。与文献[16][17]相比,本设计的数字校准算法可应用于 12 bit 500MS/s 流水线 ADC,能够在更高采样速率条件下工作;与文献[16][17][18]相比,本设计同时校准级间增益误差、三次谐波失真误差和子 DAC 参考电压误差引起的 INL 跳跃误差,能够校准更多的非理想因素;经本设计 RTL 级数字校准模块校准后 12 bit 流水线 ADC 的 SNDR 达到 70.36dB, SFDR 达到 86.95dB,动态性能指标均接近或超过文献[16][17][18]中动态性能指标,证明了本设计的先进性。

表 4-6 本设计与其他已发表设计对比

	本设计	文献[16]	文献[17]	文献[18]
分辨率	12 bit	12 bit	12 bit	12 bit
采样速率	500MS/s	125MS/s	250MS/s	500MS/s
工艺	40nm CMOS	40nm CMOS	55nm CMOS	40nm CMOS
电源电压	1.1V	1.1V	1.1V	/
验证方式	Simulink	Matlab	流片	Matlab
可校准的误差	级间增益误差 三次谐波失真误差 子 DAC 误差	级间增益误差	级间增益误差	级间增益误差
SNDR (校准前)	42.76dB	42.08dB	31.80dB	50.50dB
SNDR (校准后)	70.36dB	67.61dB	66.70dB	63.30dB
SFDR (校准前)	48.58dB	47.10dB	48.30dB	55.78dB
SFDR (校准后)	86.95dB	74.49dB	75.20dB	74.48dB

4.8 本章小结

本章基于第二章非理想因素影响对高速高精度流水线 ADC 进行了误差分析, 并使用 Simulink 软件建立了带级间增益误差、三次谐波失真误差、子 DAC 参考电压误差的 12 bit 流水线 ADC 模型。讨论了本设计使用的伪随机序列的注入位置和注入比特数。分析了基于 PN 注入级间增益误差后台校准算法、三次谐波失真误差后台校准算法、INL 跳跃误差后台校准算法的原理和实现, 并使用 Simulink 和 Matlab 软件仿真了三种校准算法各自的校准效果。最后将三种校准算法统一使用一个数字校准模块实现, 针对同时存在级间增益误差、三次谐波失真误差、子 DAC 误差的流水线 ADC 进行校准。通过 Simulink 和 Matlab 联仿以及 Simulink 和 Modelsim 联仿分别验证了数字校准模块 Matlab 级代码和 RTL 级代码的校准效果, 证明了本设计的可行性。

第5章 数字校准模块 ASIC 实现

基于上一章流水线 ADC 数字校准算法的实现,本章将以专用集成电路(Application Specific Integrated Circuit, ASIC)设计流程为基础,使用 DC(Design Compiler)对时钟时序进行约束并综合 RTL 级数字校准模块,生成门级网表。使用 FM(Formality)进行 RTL 级代码和门级网表的一致性检验。再将一致性检验后的门级网表输入到 ICC(IC Compiler),进行物理综合和优化,完成流水线 ADC 数字校准模块的版图设计。使用 PT(Prime Time)完成版图的时序分析,并将版图导入 Cadence,进行设计规则检查(Design Rule Check, DRC)及版图和门级网表的一致性检查(Layout Versus Schematic, LVS)。

5.1 ASIC 设计流程

ASIC 设计流程主要可以分为逻辑设计和物理设计两个部分,在第四章内容中已经完成了流水线 ADC 数字校准算法的逻辑设计和功能验证,该节主要介绍 ASIC 设计流程中的物理设计部分。

物理设计的流程如图 5-1 所示,先建立设计和综合环境,将 RTL 级源代码输入到 DC,给设计加上时序约束后对设计进行逻辑综合,得到门级网表。DC 综合之后使用 FM 做形式验证,验证 DC 综合生成的门级网表与 RTL 源代码在功能上是否一致。验证功能一致性后将满足要求的门级网表输入到 ICC 进行物理实现和优化。在 ICC 中,可以对设计在时序、功耗、面积和可布线性等方面进行优化,得到布局布线之后的门级网表和优化版图。完成版图设计后,得到实际时钟和实际连线延迟,将这些信息提供给 PT,进行关键路径时序分析。确定时序无违例后,将版图导入 Cadence,进行设计规则检查及版图和门级网表的一致性检查。

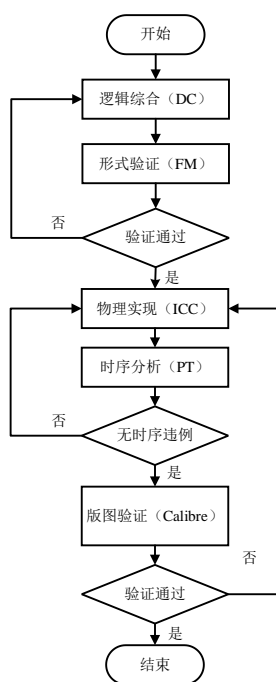


图 5-1 ASIC 流程图

5.2 逻辑综合

逻辑综合以数字标准单元库与时序、布局等设计约束为基础,将 RTL 级代码转换为门级网表^[46]。其中数字标准单元库包含逻辑单元和宏单元,如各种门电路、加法器、触发器等。目前 DC 综合工具可自动实现 RTL 级代码向门级网表的转换,设计者不需要考虑综合的底层原理,只需要关注设计架构和设计约束。

本设计使用的数字标准单元库为 40nm CMOS 工艺,设计约束如图 5-2 所示:

```
set all_in_ex_ck [remove_from_collection [all_inputs] [get_ports clk]]
set T 2

create_clock -period $T -waveform [list 0 1] [get_ports clk]

set_clock_uncertainty [expr 0.1*$T] [get_clocks clk]
set_clock_latency [expr 0.05*$T] [get_clocks clk]
set_clock_transition [expr 0.05*$T] [get_clocks clk]

set_input_delay [expr 0.1*$T] -clock clk $all_in_ex_ck
set_output_delay [expr 0.1*$T] -clock clk [all_outputs]

set_driving_cell -lib_cell BUFFD0BWPLVT -no_design_rule $all_in_ex_ck
set_load [expr [load_of tcbn45gsbwplvtc/AN2D0BWPLVT/A2]*3] [all_outputs]

set_fix_hold clk
set_dont_touch_network [get_ports clk]
```

图 5-2 设计约束

如图 5-2 主要对本设计的时序和环境进行了约束,包括使用 create_clock 建立一个 500MHz 的时钟 clk;使用 set_clock_uncertainty 设置时钟的不确定性,描述时钟抖动(jitter)和时钟偏移(skew);使用 set_clock_latency 设置时钟的延迟,定义时钟从芯片端口出发到达触发器时钟端口的延时;使用 set_clock_transition 设置时钟的转换时间,即时钟的上升沿跳变到下降沿或者时钟下降沿跳变到上升沿的时间;使用 set_input_delay 和 set_output_delay 分别设置输入路径延迟和输出路径延迟,方便 DC 计算留给内部逻辑的时间;使用 set_driving_cell 设置输入端口的驱动单元, set_load 设置输出端口负载,加强输入输出端口驱动能力。

综合后所有关键路径均满足时序需求,流水线 ADC 数字校准模块的面积报告如图 5-3,综合后组合逻辑面积约为 0.015mm²,非组合逻辑面积约为 0.004mm²,总面积约为 0.019mm²。

```
Number of ports: 95
Number of nets: 11896
Number of cells: 10322
Number of combinational cells: 9428
Number of sequential cells: 894
Number of macros/black boxes: 0
Number of buf/inv: 1758
Number of references: 151

Combinational area: 15194.566924
Buf/Inv area: 985.546832
Noncombinational area: 3762.611943
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (Wire load has zero net area)

Total cell area: 18957.178867
Total area: undefined

Core Area: 36599
Aspect Ratio: 1.0022
Utilization Ratio: 0.5180
```

图 5-3 综合后面积报告

5.3 形式验证

通过逻辑综合将 RTL 级代码转换成网表文件，但当数字电路规模较大时，无法保证 RTL 级代码和网表文件功能一致，此时需要使用 FM 进行形式验证，确定 RTL 级代码和网表文件功能一致。

形式验证属于一种静态验证技术，相比动态仿真验证，具有验证周期短的优点。具体流程如图 5-4，验证过程中将 RTL 级代码作为参考设计，网表文件作为实现设计，通过将两种设计划分为多个比较点，再对比较点的逻辑功能进行比较，从而确定 RTL 级代码和网表文件功能一致。

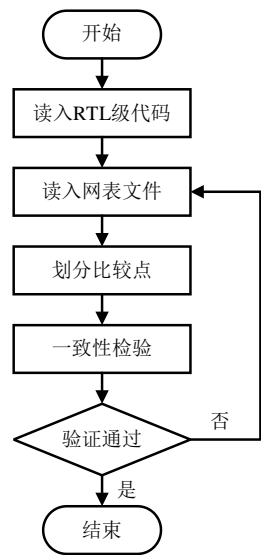


图 5-4 形式验证流程图

形式验证后输出的报告如图 5-5 所示，RTL 级代码和网表文件功能一致。

```
Verification SUCCEEDED
-----
Reference design: r:/WORK/calibration_500M_v2
Implementation design: i:/WORK/calibration_500M_v2
964 Passing compare points
-----
```

Matched Compare Points	BBPin	Loop	BBNet	Cut	Port	DFF	LAT	TOTAL
Passing (equivalent)	0	0	0	0	70	744	150	964
Failing (not equivalent)	0	0	0	0	0	0	0	0

1

图 5-5 形式验证报告

5.4 物理实现

ASIC 设计中的物理实现又叫布局布线，主要功能是将网表转换为实际版图^[47]，本设计使用 ICC 基于 40nm CMOS 工艺库完成流水线 ADC 数字校准模块物理实现。物理实现流程主要包括电源规划、时钟树综合、布线等内容。电源规划包括电源/地 Pad 规划、电源环设计、电源条设计和全局电源网络的互连^[48]。全局电源网络互联在电源/地 Pad 规划，电源环设计和电源条设计均完成后将对应的端口和网络连接至合适的电源和接地网络，从而完成整个芯片的供电。下面主要介绍本设计的电源/地 Pad 规划，电源环设计和电源条设计。

5.4.1 电源/地 Pad 规划

根据综合后的平均功耗 P_{AVG} 和公式(5.1)计算出所需供电的电源/地最小 Pad 数 m :

$$m = \frac{P_{AVG}}{V_{PAD} I_{PAD}} K \quad (5.1)$$

式(5.1)中 V_{PAD} 为芯片工作电压, I_{PAD} 为芯片供电最大电流, K 为调整因子, 根据实际情况选取, 最小为 1~2, 最大为 5~10。

I_{PAD} 可由公式(5.2)进行计算^[48], 其中 C_d 为工艺决定的电流密度, W_{metal} 为 Pad 宽度。在 40nm CMOS 工艺中, C_d 为 1.196mA/ μm , 当 W_{metal} 为 60 μm 时, 可得 $I_{PAD}=71.76mA$ 。

$$I_{PAD} = C_d W_{metal} \quad (5.2)$$

将 I_{PAD} 带入公式(5.1), 且综合后平均功耗 P_{AVG} 为 2.9mW, V_{PAD} 为 1.1V, 取 $K=4$ 时可得:

$$m = (2.9mW \times 4) / (1.1V \times 71.76mA) \approx 0.147 \quad (5.3)$$

取 $m=1$, 本设计需要 1 对电源/地 Pad 进行供电。在进行电源/地 Pad 摆放时, 可利用电源/地 Pad 降低噪声和隔离信号间干扰。进行 Pad 封装时, 要避免信号交叉。

5.4.2 电源环设计

电源环是供电焊盘和芯片内核的桥梁, 通过电源环可对芯片中的标准单元进行供电。电源环总宽度 W_{ring} 可由公式(5.4)进行估算^[48]:

$$W_{ring} = (I_p / C_d) K \quad (5.4)$$

式(5.4)中 I_p 为芯片峰值电流, C_d 为工艺决定的电流密度, K 为调整因子。由于本设计的电源环有上、下、左、右四条边, 每边将承担 1/4 电流, 单边电源环宽度将为电源环总宽度的 1/4^[48], 如式(5.5):

$$W = W_{ring} / 4n \quad (5.5)$$

式(5.5)中 n 为电源环的对数, 本设计中 $n=1$ 。根据式(5.6)可计算芯片峰值电流 I_p , 其中 P_{AVG} 为平均功耗, V_{DD} 为芯片工作电压。

$$I_p = 1.4 \times \frac{P_{AVG}}{V_{DD}} = 1.4 \times \frac{2.9mW}{1.1V} \approx 3.69mA \quad (5.6)$$

将芯片峰值电流 I_p 带入公式(5.4), 且取 $K=4$, C_d 为 1.196mA/ μm , 可得:

$$W_{ring} = (3.69mA / (1.196mA / \mu m)) \times 4 \approx 12.34\mu m \quad (5.7)$$

那么单边电源环的宽度 $W=12.34\mu m/4=3.085\mu m$, 在本设计中取 $W=4\mu m$ 保证芯片供电正常。

5.4.3 电源条设计

为了解决芯片的电源压降问题, 一般使用增加电源条的方法来减小芯片内部压降。由于横向存在很多标准单元的电源线和地线, 所以一般纵向放置电源条。计算纵向电源条的宽度和数量首先需要根据平均功耗 P_{AVG} 和电源电压 V_{DD} 对电源网络的上、下、左、右侧电流 I_{top} , I_{bottom} , I_{left} , I_{right} 进行计算^[48]:

$$I_{\text{total}} = \frac{P_{\text{AVG}}}{V_{\text{DD}}} = \frac{2.9\text{mW}}{1.1\text{V}} \approx 2.64\text{mA} \quad (5.8)$$

$$I_{\text{top}} = I_{\text{bottom}} = I_{\text{total}} \times W / (W + H) = 1.32\text{mA} \quad (5.9)$$

$$I_{\text{left}} = I_{\text{right}} = I_{\text{total}} \times H / (W + H) = 1.32\text{mA} \quad (5.10)$$

若电源条网格点处存在 5% 的电压降, 网格点垂直有效电阻 $R_{\text{E-V}}$ 和水平有效电阻 $R_{\text{E-H}}$ 如下^[48]:

$$R_{\text{E-V}} = 0.05 \times (V_{\text{DD}} / 2) / I_{\text{top}} = 0.05 \times (1.1\text{V} / 2) / 1.32\text{mA} \approx 20.83\Omega \quad (5.11)$$

$$R_{\text{E-H}} = 0.05 \times (V_{\text{DD}} / 2) / I_{\text{left}} = 0.05 \times (1.1\text{V} / 2) / 1.32\text{mA} \approx 20.83\Omega \quad (5.12)$$

选取 Metal6 作为纵向电源条, 当电源条宽度为 $4\mu\text{m}$ 时, 纵向电源条的阻值为:

$$R_{\text{V}} = R_{\text{VW}} \times H / W_{\text{V}} = 0.278\Omega \times 211.08\mu\text{m} / 4\mu\text{m} = 14.67\Omega \quad (5.13)$$

式(5.13)中 R_{VW} 为方块电阻值, H 为电源条垂直宽度, W_{V} 为电源条水平宽度。

最后纵向电源条的数量 n 由(5.14)确定为 1 条。

$$n = R_{\text{V}} / R_{\text{E-V}} = 14.67\Omega / 20.83\Omega \approx 0.7 \quad (5.14)$$

5.4.4 时钟树综合

时钟树综合和优化主要为了满足版图的时序要求, 通过在 ASIC 设计的时序路径插入缓冲器的方式平衡所有时钟输入的时钟延迟并减小负载。本设计在时钟树综合优化后, 建立时间满足要求, 但裕量较小, 使用 CCD (Concurrent Clock Datapath) 技术^[47]借用有用时钟偏移 (useful skew) 重新进行时钟树综合, 将裕量放大。时钟延时, 时钟偏斜和时钟信号转换时间是时钟树综合时考虑的三项重要因素。本设计中的时钟 clk 最大路径延时为 0.06ns , 最小路径延时为 0.05ns , 时钟偏斜为 0.01ns 。

5.4.5 布线及优化

布线及优化负责根据物理设计规则和时序要求将版图中的数字标准单元, 输入输出端口进行互联并消除布线过程中的 DRC 错误。如图 5-6 为本文的流水线 ADC 数字校准算法模块版图, 版图核心面积为 $200\mu\text{m} \times 200\mu\text{m}$, 功耗约为 3.1mW 。为方便供电, 在版图周围设置了宽度为 $4\mu\text{m}$ 的电源环和地环; 为了使版图供电均匀, 在版图中央设置了宽度为 $4\mu\text{m}$ 的电源带和地带。

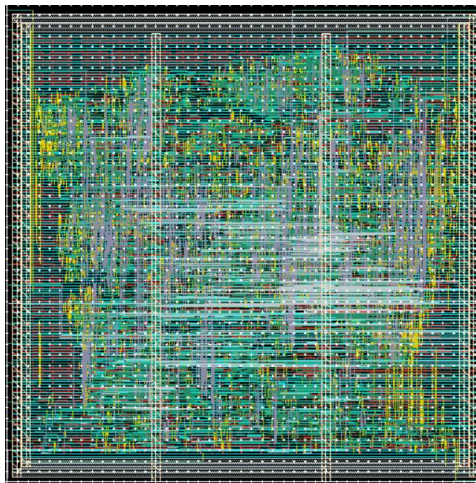


图 5-6 流水线 ADC 数字校准算法模块版图

5.5 静态时序分析

完成版图物理实现后，得到了实际时钟和连接线延迟信息，需要检验版图的最大延时能否满足时序约束条件，主要是在固定频率下能否满足建立时间要求和保持时间要求。本设计使用 PT 软件，分析所有路径是否存在时序违例，时序路径可分为四类，输入端口到寄存器、寄存器到寄存器、寄存器到输出端口、输入端口到输出端口。以寄存器到寄存器时序路径分析为例，如图 5-7、5-8 所示分别为本设计中所有寄存器到寄存器时序路径建立时间分析和保持时间分析。在关键路径插入一级寄存器并平衡寄存器两端延时后，本设计工作在 500MS/s 时钟下不存在时序违例。

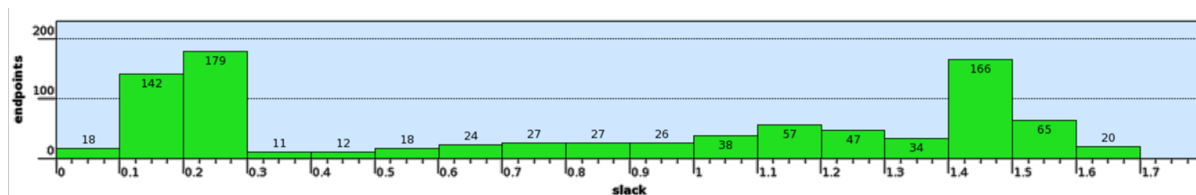


图 5-7 建立时间分析

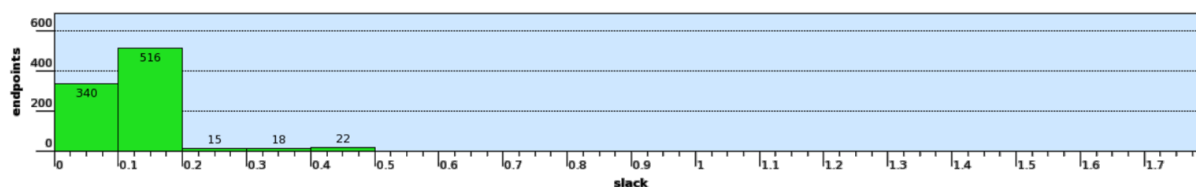


图 5-8 保持时间分析

5.6 版图验证

最后还需要对版图进行 DRC 验证和 LVS 验证，DRC 验证主要检测版图中所有器件和布线的尺寸、间距等内容，和物理设计规则进行比较，并标记所有违反物理设计规则的器件和布线在版图中位置以便修改。LVS 验证主要检验版图和原理图或网表的结构是否一致，并标记所有版图和网表中不同的结构，包括器件数量、连接线数量、器件类型和参数、连接方式等。若在逻辑综合，物理实现等步骤设计不合理，如逻辑综合时时序约束过紧，物理实现时版图面积过小导致布线出现拥塞等都可能使版图的 DRC 验证和 LVS 验证出错。本设计经过多次调整和反馈后使用 Calibre 完成流水线 ADC 数字校准算法模块版图的 DRC 和 LVS 检测，均满足设计规则要求。

5.7 本章小结

本章基于 ASIC 设计流程，对流水线 ADC 数字校准算法模块进行了版图设计与实现，包括逻辑综合、一致性检验、物理实现、时序分析、版图验证等内容。由于数字校准模块完成所有误差校准使用的数据量过大，完成 Simulink 与 RTL 级代码前仿耗时数十个小时，加入 sdf 文件反标网表进行后仿的仿真速度为前仿的几十分之一，由于硬件限制无法完成 sdf 文件反标后数字校准模块后仿真。且如文献[37]和本文 4.1 节中对流水线 ADC 电路仿真时间分析可知，受硬件条件限制，也无法使用模拟和数字混合后仿真方式验证数字校准算法模块。针对本设计中只有同步时序逻辑的数字校准算

法模块，以分别验证版图时序功能和逻辑功能的方式完成该模块后仿^[15]。使用 PT 时序分析完成数字校准模块版图的时序验证；使用 Simulink 与 RTL 级代码联仿、FM 验证网表和 RTL 级代码功能一致性、以及使用 Calibre 完成数字校准算法模块版图的 DRC 和 LVS 检测，完成了数字校准模块的逻辑功能验证。

第6章 总结与展望

6.1 总结

本文基于流水线 ADC 的基本结构和原理,分析了流水线 ADC 中多种非理想因素;对 4 种流水线 ADC 典型校准算法进行了分析和对比,详细介绍其优缺点;针对 12 bit 500MS/s 的流水线 ADC 指标,采用首级折叠 1.5 bit 流水级,9 级非折叠 1.5 bit 流水级加 2 bit 快闪型 ADC 结构,使用 Simulink 软件建立了行为级模型;针对级间增益误差、三次谐波失真误差和电容失配、失调电压等因素导致的子 DAC 误差三种误差建立了误差模型;讨论了数字校准算法所使用伪随机序列注入位置和比特数;针对三种误差影响,设计并实现了基于 PN 注入级间增益误差后台校准算法、三次谐波失真误差后台校准算法、INL 跳跃误差后台校准算法,并将三种校准算法使用一个流水线 ADC 数字校准模块进行实现;通过 Simulink 和 Matlab 联仿分别验证了三种校准算法的性能,并完成了包含三种校准算法的整体流水线 ADC 数字校准模块的 RTL 级代码实现,通过 Simulink 和 Modelsim 联仿真其性能;最后进行了流水线 ADC 数字校准模块的 ASIC 实现,基于 40nm CMOS 工艺完成了版图设计。

本文的主要研究工作包括:

(1) 分析了流水线 ADC 的基本结构与原理,流水线 ADC 中的各种非理想因素,建立了相应的误差模型。建立了首级折叠 1.5 bit 流水级,9 级非折叠 1.5 bit 流水级加 2 bit 快闪型 ADC 结构的 12 bit 500MS/s 流水线 ADC Simulink 模型,并根据误差模型在首级引入级间增益误差、三次谐波失真误差和电容失配、失调电压等因素导致的子 DAC 余差参考电压误差。

(2) 研究并分析了 4 种流水线 ADC 典型数字校准算法,包括级间增益误差前台校准算法、基于相关性的级间增益误差后台校准算法、基于 LMS 算法的级间增益误差后台校准算法和电容失配误差前台校准算法。从原理和实现的角度分析了 4 种校准算法的优缺点以及应用场景。

(3) 针对流水线 ADC 级间增益误差,设计了在 MDAC 注入单比特 PN 的 PN 注入方式,实现了一种能够隔离三次谐波失真对级间增益误差校准影响的基于 PN 注入级间增益误差后台校准算法,该算法通过计数的方式基于 LMS 算法计算余差电压 $V_{res}=0$ 附近数字码实际级间增益,不断迭代得到实际级间增益误差的倒数,可在存在三次谐波失真误差情况下完成级间增益误差校准。

(4) 针对流水线 ADC 三次谐波失真误差,设计了在子 ADC 和 MDAC 同时注入多比特 PN 的 PN 注入方式,实现了一种通过计数检测余差传输曲线奇对称性的三次谐波失真误差后台校准算法。该算法使用 LMS 算法迭代得到三次谐波失真误差校准系数,最终在数字域抵消三次谐波失真误差影响。

(5) 针对流水线 ADC 中子 DAC 余差参考电压误差,设计了一种基于观察点计算不同子区域间 INL 跳跃的 INL 跳跃误差后台校准算法。该算法将由于电容失配、失调电压、电荷注入电压等因素导致的位于比较器阈值处的 INL 跳跃扩展至一个范围内,在该范围内选择一个可移动的观察点完成所有不同子区域间的 INL 跳跃误差校准。

(6) 将基于 PN 注入的级间增益误差后台校准算法、三次谐波失真误差后台校准算法、INL 跳跃误差后台校准算法整合成一个数字校准模块，完成流水线 ADC 第一级的级间增益误差、三次谐波失真误差、子 DAC 误差校准。

(7) 基于 ASIC 设计流程，完成了流水线 ADC 数字校准模块的版图设计。

6.2 展望

虽然本文验证了三种校准算法的校准效果，但还有很多可进步的空间，还需要进行的研究和改善如下：

(1) 本文设计的三种校准算法均只校准了第一级的非理想因素，在某些实际流水线 ADC 中，后级也可能存在级间增益误差、三次谐波失真误差、子 DAC 余差参考电压误差。对于多级存在非理想因素的流水线 ADC 而言，使用本设计的校准算法需要从后级向前级校准，保证后级数字码的有效性。在后续的迭代版本中，针对不同需求的流水线 ADC，在算法中加入可配置校准级数的功能。

(2) 除级间增益误差、三次谐波失真误差、子 DAC 误差三种常见流水线 ADC 误差外，在高速高精度流水线 ADC 中还存在回踢噪声、采样时刻误差等误差，这类误差在近年研究中也得到了越来越多的关注。在后续的迭代版本中，可以考虑引入更多校准算法，校准更多非理想因素，扩展应用范围。

(3) 出于工艺渠道限制和课题规划安排，基于 ASIC 设计流程实现流水线 ADC 数字校准模块的版图设计后，未进行流片和相应测试工作，在未来可通过流片测试来验证本设计的可行性。

参考文献

- [1] Pelgrom M. Analog-to-Digital Conversion[M]. Third Edition. Netherlands: Springer, 2017.
- [2] Zhang Y, Yang L, Dang R, et al. A 14-bit 500MS/s and 1GS/s Configurable Pipelined ADC with Background Calibration[C]. 2018 IEEE 3rd International Conference on Integrated Circuits and Microsystems (ICICM), 2018, p.308-312.
- [3] Chen X, Li X, Shen Y, et al. A 14 bit 500 MS/s SHA-less Pipelined ADC with a Highly Linear Input Buffer and Power-Efficient Supply Voltage Domain Arrangement in 40 nm CMOS[J]. IEICE Electronics Express, 2019, 16(11):20190197.
- [4] Setterberg B, Poulton K, Ray S, et al. A 14b 2.5GS/s 8-way-Interleaved Pipelined ADC with Background Calibration and Digital Dynamic Linearity Correction[C]. IEEE International Solid-State Circuits Conference Digest of Technical Papers, 2013, p.466-467.
- [5] Pu J, Huang X, Xu M, et al. A 14-bit 1.2GS/S Time-Interleaved Pipeline ADC with Calibration[C]. 2018 14th IEEE International Conference on Solid-State and Integrated Circuit Technology, 2018, p.1-3.
- [6] Ramkaj A T, Ramos J C P, Pelgrom M J M, et al. A 5-GS/s 158.6-mW 9.4-ENOB Passive-Sampling Time-Interleaved Three-Stage Pipelined-SAR ADC with Analog-Digital Corrections in 28-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2020, 55(6):1553-1564.
- [7] Wang J C, Hung T C, Kuo T H. A Calibration-Free 14-b 0.7-mW 100-MS/s Pipelined-SAR ADC Using a Weighted-Averaging Correlated Level Shifting Technique[J]. IEEE Journal of Solid-State Circuits, 2020, 55(12):3271-3280.
- [8] Ali A, Dinc H, Bhoraskar P, et al. A 14-bit 1GS/s RF Sampling ADC with Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12):2857-2867.
- [9] Ali A, Dinc H, Bhoraskar P, et al. A 14-bit 2.5GS/s and 5GS/s RF Sampling ADC with Background Calibration and Dither[C]. IEEE Symposium on VLSI Circuits Digest of Technical Papers, 2016, p.1-2.
- [10] Devarajan S, Singer L, Kelly D, et al. A 12-b 10-GS/s Interleaved Pipeline ADC in 28-nm CMOS Technology[J]. IEEE Journal of Solid-State Circuits, 2017, 52(12): 3204-3218.
- [11] Zhou D, Briseno-Vidrios C, Jiang J, et al. A 13-bit 260MS/s Power-Efficient Pipeline ADC Using a Current-Reuse Technique and Interstage Gain And Nonlinearity Errors Calibration[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(9): 3373-3383.
- [12] Ali A, Dinc H, Bhoraskar P, et al. A 12-b 18-GS/s RF Sampling ADC with an Integrated Wideband Track-and-Hold Amplifier and Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2020, 55(12):3210-3224.
- [13] Hershberg B, Dermit D, van Liempd B, et al. A 4-GS/s 10-ENOB 75-mW Ringamp ADC in 16-nm CMOS with Background Monitoring of Distortion[J]. IEEE Journal of Solid-State Circuits, 2021, 56(8): 2360-2374.
- [14] Lagos J, Markulić N, Hershberg B, et al. A 10.1-ENOB, 6.2-fj/conv.-step, 500-MS/s, Ringamp-Based Pipelined-sar ADC with Background Calibration and Dynamic Reference Regulation in 16-nm

- CMOS[J]. IEEE Journal of Solid-State Circuits, 2022, 57(4): 1112-1124.
- [15] 张燕华. 14 Bit 1 GS/s流水线ADC中校准技术的研究与实现[D]. 浙江大学学位论文, 2018.
- [16] 周鹏飞. 基于分裂结构的流水线ADC的数字校正技术研究与设计[D]. 电子科技大学学位论文, 2019.
- [17] Peng X, Guo J, Bao Q, et al. A Low-Power Low-Cost on-Chip Digital Background Calibration for Pipelined ADCs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) systems, 2019, 27(11): 2568-2574.
- [18] Liu S, Xing X, Qian L. A 2GS/s 12bit Time-Interleaved Pipelined ADC in 40nm CMOS[C]. IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), 2021, 185-186.
- [19] Lan J, Zhang Y, Ye F, et al. A Single-Channel 1.25-GS/s 11-bit Pipelined ADC with Robust Floating-Powered Ring Amplifier and First-Order Gain Error Calibration[C]. IEEE 65th International Midwest Symposium on Circuits and Systems (MWSCAS), 2022, 1-5.
- [20] Shu Y S, Song B S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated with Signal-Dependent Dithering[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 342-350.
- [21] Ahmed I. Pipelined ADC Design and Enhancement Techniques[M]. Springer Science & Business Media, 2010.
- [22] Lewis S H, Fetterman H S, Gross G F, et al. A 10-b 20-Msample/s Analog-to-Digital Converter[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3): 351-358.
- [23] Lee B G, Min B M, Manganaro G, et al. A 14-b 100-MS/s Pipelined ADC with a Merged SHA and First MDAC[J]. IEEE Journal of Solid-State Circuits, 2008, 43(12): 2613-2619.
- [24] Razavi B. Design of Analog CMOS Integrated Circuits[M]. Second Edition. McGraw-Hill, 2015.
- [25] Sarma V, Ravi C, Sahoo B D. Achieving Theoretical Limit of SFDR in Pipelined ADCs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(11): 3175-3185.
- [26] Panigada A, Galton I. A 130 mW 100 MS/s Pipelined ADC with 69 dB SNDR Enabled by Digital Harmonic Distortion Correction[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3314-3328.
- [27] Grace C R, Hurst P J, Lewis S H. A 12-bit 80-MSample/s Pipelined ADC with Bootstrapped Digital Calibration[J]. IEEE Journal of Solid-State Circuits, 2005, 40(5): 1038-1046.
- [28] Maloberti Franco. 数据转换器[M]. 程军, 陈贵灿, 译. 西安: 西安交通大学出版社, 2013.
- [29] Song Bang-Sup. 深亚微米 CMOS 模拟集成电路设计[M]. 刘力源, 译. 北京: 科学出版社, 2014.
- [30] Wu M S, Hong H C. A Digital Background Calibration Scheme for Pipelined ADCs Using Multiple-Correlation Estimation[C]. IEEE International Symposium on Circuits and Systems, 2018, p.1-5.
- [31] Siragusa E, Galton I. A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC[J]. IEEE Journal of Solid-State Circuits, 2004, 39(12): 2126-2138.
- [32] Li J, Moon U K. A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC Using Time-Shifted CDS Technique[J]. IEEE Journal of Solid-State Circuits, 2004, 39(9): 1468-1476.
- [33] Ray S, Song B S. A 13-b linear, 40-MS/s Pipelined ADC with Self-Configured Capacitor Matching[J]. IEEE Journal of Solid-State Circuits, 2007, 42(3): 463-474.
- [34] Karanicolas A N, Lee H S, Barcrania K L. A 15-b 1-Msample/s Digitally Self-Calibrated Pipeline

- ADC[J]. IEEE Journal of Solid-State Circuits, 1993, 28(12): 1207-1215.
- [35] Wang X, Hurst P J, Lewis S H. A 12-bit 20-Msample/s Pipelined Analog-to-Digital Converter with Nested Digital Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 1799-1808.
- [36] Tseng C J, Chen H W, Shen W T, et al. A 10-b 320-MS/s Stage-Gain-Error Self-Calibration Pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2012, 47(6): 1334-1343.
- [37] 郭金峰. 一种低功耗高速高精度 Pipelined ADC 设计[D]. 电子科技大学学位论文, 2020.
- [38] 包晴晴. 一种高精度流水线 ADC 数字后台校准技术[D]. 电子科技大学学位论文, 2019.
- [39] 何秋秀. 流水线 ADC 数字校准技术研究 with 实现[D]. 东南大学学位论文, 2021.
- [40] Fu D, Dyer K C, Lewis S H, et al. A Digital Background Calibration Technique for Time-Interleaved Analog-to-Digital Converters[J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 1904-1911.
- [41] Jamal S M, Fu D, Chang N C J, et al. A 10-b 120-Msample/s Time-Interleaved Analog-to-Digital Converter with Digital Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1618-1627.
- [42] Galton I. Digital Cancellation of D/A Converter Noise in Pipelined A/D Converters[J]. IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2000, 47(3): 185-196.
- [43] Siragusa E J, Galton I. Gain Error Correction Technique for Pipelined Analog-to-Digital Converters[J]. Electronics Letters, 2000, 36(7): 1.
- [44] Chiu Y, Tsang C W, Nikolic B, et al. Least Mean Square Adaptive Digital Background Calibration of Pipelined Analog-to-Digital Converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(1): 38-46.
- [45] 余金山, 梁盛铭, 马卓等. 改善辐照加固设计流水线型模数转换器性能的抖动电路技术[J]. 上海交通大学学报, 2013, 47(01): 129-132+137.
- [46] 虞希清. 专用集成电路设计实例教程[M]. 浙江: 浙江大学出版社, 2017.
- [47] 杨宗凯, 黄建, 杜旭. 数字专用集成电路的设计与验证[M]. 西安: 电子工业出版社, 2004.
- [48] 陈双燕, 赖松林, 杨尊先等. 一种电子系统认证芯片的电源规划[J]. 现代电子技术, 2011, 34(06): 166-169+174.

毕业/学位论文答辩委员会名单

毕业/学位论文题目		高速高精度流水线 ADC 数字校准技术研究与设计		
作 者		胡超逸		
专 业		电子信息		
研究方向		通信芯片与微系统		
导 师		樊祥宁/黎飞		
答辩委员会组成	姓 名	职 称	学科专业	工作单位
	刘海涛 (主席)	高级 工程师	电路与系统	南京筠芯科技有限公司
	陈莹梅	教授	电路与系统	东南大学
	唐路	副教授	电路与系统	东南大学
	练萌 (秘书)	工程师	电子信息	信息科学与工程学院

备注：

- 1、本表格适用于所有研究生。
- 2、本表格排版在终版毕业/学位论文中，附在毕业/学位论文的最后。