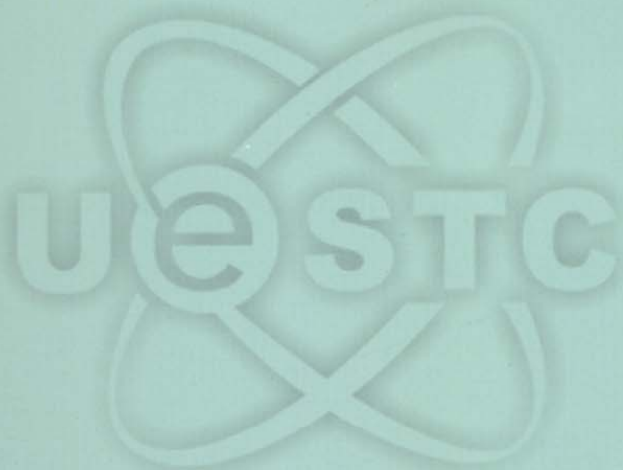




UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

硕士学位论文

MASTER DISSERTATION



论文题目 窄带 Dither 算法在流水线 ADC 中的研究与应用设计

学科专业 通信与信息系统

指导教师 李广军 教授 博导

作者姓名 张 云

学 号 200921010408

分类号_____密级_____

UDC^{注1}_____

学 位 论 文

窄带 Dither 算法在流水线 ADC 中的研究与应用设计

(题名和副题名)

张 云

(作者姓名)

指导教师姓名_____李广军_____教授 博导

电子科技大学_____成 都

(职务、职称、学位、单位名称及地址)

申请专业学位级别_____硕士_____专业名称_____通信与信息系统

论文提交日期_____2011.3_____论文答辩日期_____2011.5

学位授予单位和日期_____电子科技大学

答辩委员会主席_____

评阅人_____

年 月 日

注 1：注明《国际十进分类法 UDC》的类号。

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名： 张云 日期：2011年5月31日

论文使用授权

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名： 张云 导师签名： 李广
日期：2011年5月31日

摘 要

流水线结构的模数转换器（Pipelined ADC）具有高分辨率、高精度的特点以及良好的速度与功耗性能，其结构在面积和功耗上具有很大的优势。然而，由于电路中存在各种非理想因素，极大地限制了流水线 ADC 性能的提高。对于提高 ADC 的 SFDR（无杂散动态范围）特性，引入 Dither 噪声是一种重要的方法。Dither 能够有效地改善因量化过程、相干采样和 ADC 的非线性特性而造成的谐波失真，从而提高 ADC 的无杂散动态范围。因此，将 Dither 噪声和当前主流的流水线 ADC 结构相结合，对于设计下一代高性能 ADC 具有重要的作用。

本文首先分析从理论上分析了 ADC 的量化过程、相干采样和非线性特性所引起的谐波失真和 Dither 对 ADC 动态性能的改善，并对改善的原理进行了说明。

然后，从数学上推导了 Dither 通过影响 ADC 的输出码密度函数来改善 DNL 所引起的总误差，推导了高斯分布的 Dither 对理想 ADC 的量化误差的改善。

接着，本文在分析流水线 ADC 结构的基础上，搭建了一个 14 位的流水线 ADC 行为级模型，并构建窄带 Dither 的仿真系统，对窄带 Dither 对流水线 ADC 无杂散动态范围指标的改善情况进行了仿真分析，并提出了一种与传统窄带 Dither 产生方式略有不同的新型窄带 Dither，这种新的窄带 Dither 可以避免频率由设计的模拟滤波器所限制，要改变 Dither 信号的频率只能重新设计新的 Dither 发生电路的局限性。

针对引入 Dither 后发生信号溢出的情况，本文进行了一些探讨，提出了两种解决方案，并进行了仿真验证，证明所提出的方案能够有效的解决引入 Dither 后信号溢出的问题。

最后，通过设计 PCB 电路板，以 12 位的 ADC（AD9235）为目标实测了窄带 Dither 对 ADC 性能的影响，证明了窄带 Dither 对 ADC 的 SFDR 性能的改善。

关键词：Dither，模数转换器，动态性能，无杂散动态范围

ABSTRACT

Pipelined ADCs are characteristic of high resolving power, high precision and have good characteristic of rate and consumement. But nonideal factors in circuit restrict the enhancement of performance of pipelined ADC. Dither technolgoy is a important means to enhancement of SFDR (Spurious Free Dynamic Range) performance of pipelined ADC. Dither technology is possible to reduce the harmonic distortion caused by quantization, coherent and nonlinearities of ADC to improve Spurious Free Dynamic Range. Therefore, combining the dither technolgoy and pipelined ADC is a important process to design next generation high performance ADC.

First of all, this paper analysis theoretically the the harmonic distortion caused by quantization, coherent and nonlinearities of ADC and dither's influence on ADC's dynamic performance, and explain the principle of improvement.

Afterward, by mathematic manner, explain the dither improve ADC's total error result from DNL (Differential Nonlinearity Error) by affecting the probability of code occurrence and reduce the quantization Errors of ideal ADC.

Next, this paper design behaviro model of a 14 bits pipelined ADC via analysing the structure of pipelined ADC and emulate the improvement of pipelined ADC's SFDR performance after adding the narrow-band dither into the input signal. After that, introduce a new narrow-band dither which is brought by different manner from conventional narrow-band dither. The new narrow-band dither can avoid its frequency restricted by a Analogue filter which require a new design when the frequency of dither is changed.

For the problem that the signal may overflow the maximum of ADC after adding dither, this paper advance two blue print and prove its correctness by emulation mode.

In the end, prove that narrow-band dither can improve ADC's SFDR performance by designing Printed Circuit Board whose objective is AD9235 and test the improvement of ADC after adding dither into the input signal.

Keywords: Dither, ADC, dynamic performance, Spurious-Free Dynamic Range

目 录

第一章 绪论	1
1.1 项目研究背景	1
1.2 研究现状	2
1.2.1 国内外 ADC 研究技术的发展现状及趋势	2
1.2.2 Dither 技术的发展历史及研究现状	3
1.3 论文的内容及结构	5
第二章 Dither 算法原理	7
2.1 Dither 信号的种类与引入方式	7
2.1.1 加性 Dither	7
2.1.2 频移 dither	9
2.2 Dither 对 ADC 性能的影响	11
2.2.1 提高 ADC 的采样精度	11
2.2.2 消除相干采样的谐波	13
2.2.3 消除 DNL 的周期性引起的谐波	14
第三章 Dither 影响 ADC 性能的数学推导	16
3.1 从 ADC 输出码密度函数角度分析 Dither 对 DNL 总误差的影响	16
3.1.1 均匀分布 Dither	17
3.1.2 离散 Dither	20
3.2 高斯 Dither 影响对理想 ADC 量化误差的改善	21
第四章 流水线 ADC 的行为级建模与性能测试	24
4.1 行为级建模工具 Simulink 简介	24
4.2 流水线 ADC 的结构	24
4.3 流水线 ADC 的关键单元结构的行为级建模	25

4.3.1 流水线 ADC 行为级模型的总体设计	25
4.3.2 采样保持电路的建模	26
4.3.3 Flash ADC 的建模	27
4.3.4 MDAC 模块的建模	28
4.3.5 14 位流水线 ADC 的行为级模型实现	29
4.4 ADC 的性能指标	31
4.4.1 静态指标	31
4.4.2 动态指标	33
4.5 ADC 性能的测试	35
4.5.1 码密度法	35
4.5.2 FFT 频谱分析法	36
4.5.3 14 位流水线 ADC 行为级模型的动态性能测试结果	37
第五章 流水线 ADC 的窄带 Dither 算法仿真与改进	38
5.1 仿真系统的设计	38
5.2 仿真环境与参数的设置	39
5.3 各种窄带 Dither 的仿真与结果分析	40
5.3.1 窄带 Dither 结构及仿真	40
5.3.2 窄带 Dither 仿真结果分析	43
5.3.3 改进的窄带 Dither 结构	47
5.4 防止引入 dither 后信号溢出方案与仿真	48
5.4.1 改变流水线 ADC 内部残差的方法	49
5.4.2 外部预判 Dither 幅度的方法	52
第六章 流水线 ADC 的窄带 Dither 验证板的设计	55
6.1 验证板的总体结构	55
6.2 Dither 发生电路设计	55
6.2.1 噪声发生电路	56
6.2.2 可变增益电路	56
6.2.3 滤波电路	56
6.3 Dither 与信号叠加电路设计	57

6.4 ADC 外围电路设计	58
6.5 数字滤波器设计	59
6.5.1 分布式算法原理	60
6.5.2 移位寄存器模块	62
6.5.3 优化模块	63
6.5.4 加法模块	63
6.5.5 LUT 模块	63
6.6 验证板与 PC 通信模块设计	64
6.6.1 SRAM 控制器的设计	65
6.6.2 串口电路的设计	66
6.7 时钟电路设计	67
6.8 电源模块设计	67
6.9 窄带 Dither 的验证	68
第七章 总结	70
7.1 总结	70
7.2 展望	70
致谢	72
参考文献	73
个人简历	76
攻读硕士学位期间的研究成果	77

图目录

图 1-1	ADC 结构和速度及精度的比较	2
图 2-1	三种主要的加性 Dither.....	7
图 2-2	宽带大幅度 Dither 原理框图.....	8
图 2-3	窄带 Dither 原理框图.....	8
图 2-4	频移 Dither 原理框图.....	9
图 2-5	频移 Dither 仿真频谱.....	10
图 2-6	加性频移 Dither 原理框图.....	10
图 2-7	理想 ADC 对正弦信号的量化	11
图 2-8	小于 1LSB 的正弦信号的量化输出	11
图 2-9	小于 1LSB 的正弦信号引入 Dither 后的量化输出	11
图 2-10	Dither 提高 ADC 的分辨率	12
图 2-11	相干采样量化误差的周期性	13
图 2-12	Dither 消除相干采样引入的谐波.....	14
图 2-13	AD9042 的 DNL 曲线.....	14
图 2-14	流水线 ADC 的传输曲线与量化误差曲线	15
图 3-1	正弦信号码密度曲线.....	17
图 3-2	幅度为 0.9 的 sine 信号引入 Dither 后的码密度曲线	18
图 3-3	幅度为 0.1 的 sine 信号引入 Dither 后的码密度曲线	19
图 3-4	正弦信号引入离散 Dither 后的码密度曲线.....	21
图 3-5	理想 ADC 的量化误差函数	22
图 3-6	平均量化误差的频谱.....	22
图 3-7	高斯 Dither 影响下平均量化误差的频谱.....	23
图 4-1	流水线 ADC 结构框图	25
图 4-2	流水线 ADC 行为级建模总体设计	26
图 4-3	采样保持电路系统功能框图.....	26
图 4-4	采样保持电路模型.....	27
图 4-5	比较器电路模型.....	27
图 4-6	1.5 位子级 FlashADC 模型.....	28

图 4-7	1.5 位子级 MDAC 模块误差示意图.....	29
图 4-8	1.5 位子级 MDAC 模型.....	29
图 4-9	14 位流水线 ADC 模型	30
图 4-10	各子级的实现模型.....	30
图 4-11	失调误差和增益误差.....	31
图 4-12	微分非线性和积分非线性.....	32
图 4-13	绝对精度误差.....	33
图 4-14	无杂散动态范围.....	34
图 4-15	码密度法的测试流程图.....	36
图 4-16	码密度法计算机数据处理流程.....	36
图 4-17	FFT 频谱分析法流程图.....	37
图 4-18	14 位流水线 ADC 模型的动态指标	37
图 5-1	仿真系统方案.....	38
图 5-2	仿真参数设置.....	39
图 5-3	ADC 模型与下采样模块	39
图 5-4	窄带 Dither 仿真结构.....	40
图 5-5	模拟滤波器模块设置.....	41
图 5-6	FDATool 设置	41
图 5-7	大幅度 Dither 消除 DNL 周期性引起的谐波	45
图 5-8	改进的窄带 Dither 原理框图.....	47
图 5-9	改进的窄带 Dither 仿真结构.....	48
图 5-10	改进的窄带 Dither 仿真结果.....	48
图 5-11	3bit subADC 残差曲线.....	49
图 5-12	3bit subADC 残差改变示意图.....	49
图 5-13	子级前引入 Dither 的残差改变示意图.....	50
图 5-14	增加残差改变模块后的流水线 ADC 行为级模型	50
图 5-15	残差改变模块.....	51
图 5-16	Dither 对改变残差后的 ADC 的 SFDR 性能的改善	52
图 5-17	输入信号幅度判断原理图.....	53
图 5-18	输入信号幅度判断模块和 Dither 产生模块.....	53
图 5-19	正弦信号对应的 Dither 时域波形.....	54
图 6-1	验证板总体结构.....	55

图 6-2	窄带 Dither 信号发生电路原理图.....	55
图 6-3	Dither 产生和可变增益电路.....	56
图 6-4	4 阶 Chebyshev 低通滤波器	57
图 6-5	Dither 发生电路原理图.....	57
图 6-6	Dither 与输入信号叠加电路.....	58
图 6-7	AD9235 外围电路	59
图 6-8	数字滤波器的总体结构.....	60
图 6-9	4 输入分布式算法硬件结构图.....	62
图 6-10	加法器组结构.....	63
图 6-11	RS-232 引脚图.....	64
图 6-12	验证板与 PC 通信模块原理.....	65
图 6-13	RS-232 串口电路.....	67
图 6-14	系统时钟分配结构.....	67
图 6-15	电源电路原理图.....	68
图 6-16	窄带 Dither 验证板实物图.....	69
图 6-17	窄带 Dither 验证结果.....	69

表目录

表 5-1	理想 ADC 仿真结果	43
表 5-2	非理想 ADC 仿真结果	44
表 5-3	不同频带的窄带 Dither 仿真结果.....	46
表 5-4	防止溢出仿真结果	51
表 5-5	Dither 幅度判决表.....	53
表 6-1	AD9235 的 SFDR 性能表	58
表 6-2	AD9235 引脚信息	58
表 6-3	fi的查找表.....	61
表 6-4	4 输入查找表	61
表 6-5	RS-232 针脚信息.....	65
表 6-6	IS61LV25616 引脚功能表	66
表 6-7	IS61LV25616 引脚组合与读写状态	66
表 6-8	验证板所需电压表	67

第一章 绪论

1.1 项目研究背景

模数转换器 ADC (Analog to Digital Converter) 是实现数字信号处理的基础和关键芯片, 它将现实世界的模拟信号转换为处理更方便的数字信号, 是模拟世界和数字世界之间的接口。现实世界的模拟信号, 如温度、压力、声音等, 需要转换成更容易存储、处理和传输的数字信号。目前, ADC 已经成为各种高性能整机系统和电子产品的核心器件, 对雷达、通信、电子对抗、航天航空、测控、医疗、仪器仪表等电子设备的性能起着关键性作用。

流水线结构的模数转换器 (Pipelined ADC) 具有高分辨率、高精度的特点以及良好的速度与功耗性能。流水线 ADC 采用多级结构, 利用低精度的子级 ADC 电路, 分时分级转换输入信号, 与 Flash ADC 相比在面积和功耗上具有很大的优势。

然而, 由于电路中存在各种非理想因素, 如运算放大器的有限开环增益、比较器的输入偏置电压和电容的匹配误差等, 单靠模拟电路的设计, 流水线 ADC 的有效分辨率精度很难超过 12 位, 极大地限制了流水线 ADC 性能的提高。

在改善 ADC 的性能方面, 人们已经做出了很大的努力。大量的研究和实践表明, ADC 性能的改善可以通过以下几种方法来实现: (1) 利用先进的工艺 (电子制造技术) 来改进器件特性; (2) 通过提高电路设计技术来提高 ADC 的动态范围等指标; (3) 通过校正和补偿来改善现有技术所能达到的性能。研究表明, 在不断提高电路设计和工艺水平的同时, 要解决各种误差对流水线 ADC 性能的影响, 使用有效的校正技术对误差进行补偿和纠正是利用现有技术提高流水线 ADC 性能切实有效的方法。

特别地, 在通信系统中, 对 ADC 的无杂散动态范围 (SFDR) 有着很高的要求。尽管目前许多商用 ADC 的最好指标已经达到甚至超过了这些要求, 但是仍然不能够满足日益发展的各种应用需求。

对于提高 ADC 的 SFDR (无杂散动态范围) 参数和分辨率 (1LSB) 等主要特性, Dither 噪声是一种重要的方法。Dither 技术处理简单, 实时性强, 几乎不影响流水线 ADC 的转换速率, 需要的额外电路较少, 因而功耗增加相对很少。因此,

将 Dither 噪声和当前主流的高度、高精度 ADC 结构相结合,研究最大限度发挥其积极作用并尽力遏制其消极作用的方法,对于设计下一代高性能 ADC 具有重要的作用。

1.2 研究现状

1.2.1 国内外 ADC 研究技术的发展现状及趋势

目前国际主流的 ADC 结构有 Flash ADC、 Σ - Δ ADC、逐次逼近型 ADC、流水线 ADC 等。

Flash ADC 转化速率高,但随着转换位数增加,所需的比较器会呈 2^N 规律增加,这不仅大大增加了芯片面积,而且功耗也急剧增加,因而 Flash ADC 一般用于 8 位以下的 ADC。

Σ - Δ ADC 结构简单,具有高性能、集成化的数字滤波功能,而且能与 DSP 兼容,但由于只能处理低频信号,因而只能用于音频信号的处理。

逐次逼近型 ADC 用简单的结构实现了一定的转换速率和精度(可以覆盖 8 至 18 位),而且可以与 CMOS 工艺很好地兼容,但是速度提升空间小的困难目前还难以克服。

流水线 ADC 适合几 Mms/s 到几百 MS/s 的采样率,而且兼顾芯片面积和转化速率的需求,随着分辨率的增加,其结构的复杂性指示线性增加,因而具有高速、高精度、低功耗的优点。目前市场的高速高精度 ADC 一般都采用流水线结构。

图 1-1 给出了 ADC 的结构和采样速率、分辨率的关系。

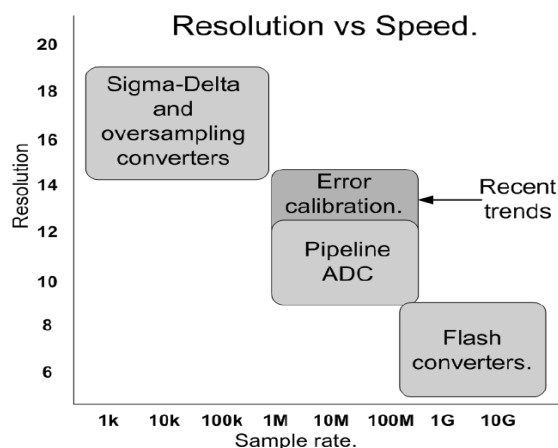


图 1-1 ADC 结构和速度及精度的比较

我国从 20 世纪 70 年代开始研制模数转换器，至今为止已经研制出 8 位、10 位、14 位、16 位的 AD 转换器。与国际上相比较，国内的 ADC 产品种类较少，水平较低，虽然能够进入商品市场，但是提供给用户的批量生产产品却不多。同时，由于我国半导体行业的设计和制造工艺技术落后，高性能的 ADC 设计发展较慢，对高速高精度的新型 ADC 研究并不多见^[1]。

1.2.2 Dither 技术的发展历史及研究现状

国际上对 Dither 技术的研究起步较早，早在 1951 年 Goodall 就首先在视频码脉冲调制 (PCM) 中利用 Dither 信号来降低量化效应^[2]。他发现使用高速 ADC 再生电视图像时，由于量化而产生的轮廓效应，而且这种轮廓是很容易被肉眼察觉的。但是如果在输入信号中引入一定的随机噪声，轮廓反而消失了，因此用肉眼观察就比较完美。随后，Robert 对噪声改善轮廓效应进行了进一步的研究，提出了在 ADC 输入端加入噪声并在量化后将其减去的概念，这是最早提出的加减 Dither 概念^[3]。

到 60 年代早期，Dither 得到广泛的研究和应用，研究者应用 Robert 的加入和减去噪声的方法，即在量化器的输入信号中引入一个模拟噪声，量化后再去除这个噪声，在这个过程有了许多新的发现。

Widrow 阐明了量化噪声与输入信号在统计上相互独立能够使量化的损失最小化^[4]。

Schuchman 研究了作用在量化噪声上的 Dither 效应，给出了使量化噪声与信号在统计上相互独立的条件。他认为最优的 Dither 信号是宽度为量化步长、幅度为均匀概率密度的噪声信号，这样的 Dither 信号能够使每次采样信号在统计上相互独立^[5]。

Spang 和 Schultheiss 的研究发现 Dither 能够使 ADC 的噪声频谱发生改变。在 Dither 发生作用的过程中，虽然指定频域的噪声有所减少，但是总的噪声却增加了^[6]。

Blessner 在数字音频的研究和验证中最早提出了只加不减 Dither 的概念。他认为量化信号的平均值能够在两个值之间被连续去除，而且数字音频信号中的 Dither 只需要简单地把一个噪声加到 ADC 的输入信号中即可，并不一定非要采用加减结构^{[7][8]}。

1984 年，Vanderkooy 和 Lipshitz 在研究中发现 Dither 效应能够提高量化的分

分辨率^[9]。他们研究了从理论和实验上分析了 Dither 在视频中的应用,并将研究结果应用于音频信号,证实了 Dither 能够将畸变转化为小幅度的噪声,从而使量化器的传递函数从平均的阶梯状变得线性化,从而达到改善音频信号的效果,而且这种改善后的效果能够被人耳所察觉。这是一个全新的观点,因为在此之前,人们一直认为:当信号或者信号细节小于量化步长时,信号会有丢失。Vanderkooy 和 Lipshitz 在研究证实了当量化信号中引入一个幅度近似于量化步长的宽带噪声时,上述结论就不成立了。

1987 年, Blesser 和 Locanthi 最早发现了窄带 Dither 方法^[10]。他们用位于 Nyquist 频点附近的窄带信号达到了改变 ADC 信噪比的效果。通过对 Nyquist 频点附近的窄带 Dither 和常规的 Dither 进行实验并比较,得出以下结论:窄带 Dither 同宽带 Dither 一样,增加其幅度也能够提高窄带 Dither 的效果;4~5LSB 的 Nyquist 频点的窄带 Dither 在 ADC 量化畸变中有很明显的作用。

到了 20 世纪 90 年代, Mahmoud Fawzy Wagdy 等人做了大量关于 Dither 技术和 ADC 的理论分析,包括 Dither 对 ADC 量化噪声的改善、ADC 传递函数的微分非线性和积分非线性等^{[11][12][13][14][15][16][17]}。从而 Dither 在 ADC 性能改善中的作用得到广泛的认可, Dither 技术开始大量在 ADC 中的应用。比如 HP 公司在其产品 HP8900 系列矢量信号分析仪中应用 Dither 技术,使得 12 位的 ADC 的达到 23 位的等效分辨率。

2005 年 Josef Goette, Marcel Jacomet, and Markus Hager 从理论上探讨了 Dither 是对有损的 sigma-delta 调制器性能的提升,并在 FPGA 和微处理器上进行了仿真验证^[18]。

2008 年 Yun-Shiang Shu 和 Bang-Sup Song 提出并实现了基于信号幅度调整的 Dither 技术,对加性宽带大幅度 dither 技术做了一定的改进,使其可以加入更大幅度的 Dither,从而提高了对 ADC 的 SFDR 的改善作用。他们针对 15 位 20Ms/s 1.5 比特每级的流水线 ADC 加入基于信号幅度调整的 dither 进行改善,使其 SFDR 达到 95dB^[19]。

在国外, Dither 技术的研究和应用主要集中在音频领域,以低速高精度的 Sigma-delta 型 ADC 为主,研究相对比较成熟。然而对于高速高精度的流水线结构 ADC 的研究却很少,仅仅在一些国际顶级的模数混合电路设计公司(如 LTC)有研究,而且已经在其产品中得到了应用,使得 ADC 的 SFDR 性能获得一定提升。但是,对流水线结构 ADC 中的 Dither 技术研究,仍然存在很大的空间,其性能研究也需要进一步的挖掘。

近年, 由于对高性能 ADC 需求的增大, 美国等发达国家对 ADC 和 Dither 的相关理论研究越来越重视。美国电子电器工程师协会 (IEEE) 的杂志和会议刊载了多篇关于 Dither 噪声对 ADC 性能提高的论文。基于 Dither 噪声的 ADC 系统也成为近年的专利申请热点, 出现了许多优秀的设计, 主要集中于 Dither 噪声的引入方式和 ADC 结构的改进, 遗憾的是这些设计都缺乏对 Dither 噪声及 ADC 性能提升的理论分析和论证, 没有提出一个判断最佳 Dither 的通用原则^{[20][21][22][23][24][25]}。

在国内, 由于 ADC 设计和工艺技术比较落后, 目前对 Dither 的研究开展较少, 仅仅处于起步阶段, 而研究的方式多为计算机仿真, 缺乏理论的分析 and 实际的电路测试。

1.3 论文的内容及结构

本课题源于国家预研项目《高速高精度流水线结构中的 Dither 算法及其应用研究》, 主要研究应用于流水线 ADC 的 Dither 算法 (本论文侧重对窄带 Dither 的研究)。

论文的研究方法和步骤如下:

- A) 调研 Dither 噪声应用于流水线 ADC 的发展趋势, 特别关注 Dither 噪声对 ADC 性能的影响, 结合国内外的最新研究成果和自身的研究思路, 设计研究方案;
- B) 从理论上分析 Dither 噪声对 ADC 的 SFDR 参数的影响, 建立数学模型;
- C) 建立仿真平台验证理论的正确性;
- D) 设计 PCB 电路板, 实测 Dither 噪声对已有 ADC 的 SFDR 参数的改善情况并与理论分析和仿真结果对比分析。

论文的主要结构如下:

第一章介绍了课题的研究背景, 并在此基础上简单介绍了目前国内外 ADC 研究技术的发展现状以及 Dither 技术的研究历史及现状。

第二章介绍了应用于 ADC 的 Dither 算法的相关理论, 包括 Dither 信号的种类和 Dither 对 ADC 性能的影响: 提高 ADC 的采样精度、消除相干采样的谐波、消除 DNL 的周期性引起的谐波。

第三章从数学上推导了 Dither 通过影响 ADC 的输出码密度函数来改善 DNL 引起的总误差, 以及高斯分布的 Dither 对理想 ADC 量化误差的改善。

第四章介绍了流水线 ADC 的结构, 完成了流水线 ADC 的行为级建模。之后对 ADC 的性能指标及性能测试方法进行了简单介绍, 并给出了流水线 ADC 行为

级模型的动态性能测试结果。

第五章通过构建窄带 Dither 的仿真系统,对窄带 Dither 对流水线 ADC 无杂散动态范围指标的改善情况进行了仿真分析,并提出了一种与传统窄带 Dither 产生方式略有不同的新型窄带 Dither,这种新的窄带 Dither 可以避免频率由设计的模拟滤波器所限制,要改变 Dither 信号的频率只能重新设计新的 Dither 发生电路的局限性。针对引入 Dither 后发生信号溢出的情况,进行了一些探讨,提出了两种解决方案,并进行了仿真验证,证明所提出的方案能够有效的解决引入 Dither 后信号溢出的问题。

第六章根据项目实际情况介绍了通过设计 PCB 电路板来实测窄带 Dither 改善 ADC 的 SFDR 性能的情况。

第二章 Dither 算法原理

Dither 的字面意思是“抖动”、“颤动”，所谓 Dither 技术就是将抖动信号（即噪声）加在 ADC 的模拟输入信号中以提高 ADC 性能的方法。

Dither 技术可以应用于很多领域，如雷达天线的自适应补偿、电子线路的非线性畸变、提高扫描光学显微镜的灵敏度以及研究无序系统等。Dither 技术应用在 ADC 中，能够有效地提高 ADC 的无杂散动态范围性能。

在 ADC 中应用 Dither 技术，实际上是在 ADC 的输入信号中加入一种噪声，并在 ADC 的输出端对加入的噪声进行去除，在这个过程中实现 ADC 无杂散动态范围参数的改善。研究 Dither 技术在 ADC 中的应用，主要是研究 Dither 噪声的类型和产生方式、去除方式，以及对 ADC 性能的影响效果。

2.1 Dither 信号的种类与引入方式

2.1.1 加性 Dither

加性 Dither 信号是加在 ADC 模拟输入信号上的一种“抖动”信号(噪声信号)，它相对于 ADC 的模拟输入信号是随机的。从幅度上可以分为大幅度和小幅度 Dither，从频率上可以分为宽带 Dither 和窄带 Dither。

如图 2-1 所示，图中（1）为小幅度 Dither（幅度小于 1LSB），（2）为宽带大幅度 Dither（幅度为一般为几十 LSB），（3）为窄带 Dither（频率范围在有用信号带宽之外）。

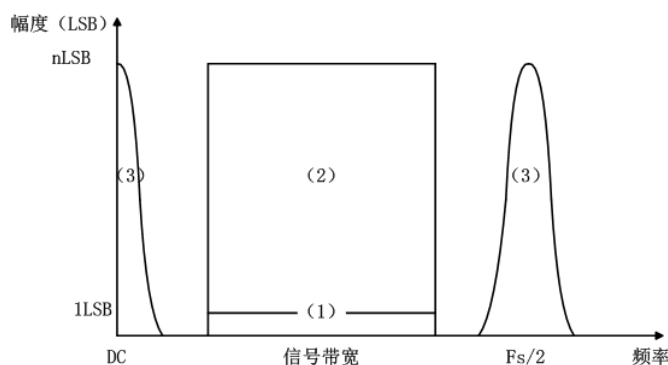


图 2-1 三种主要的加性 Dither

Dither 信号的分布可以是高斯分布、均匀分布或是三角波分布等等。其中高斯分布的信号在自然界中最常见的，也很容易产生，如用噪声二极管来产生高斯噪声就是一种简单而有效地方式，因此在实际应用中选取的 Dither 信号分布多为高斯分布。均匀分布和三角波分布的噪声在自然界中几乎没有，如需使用则必须利用专业的数字技术来产生。

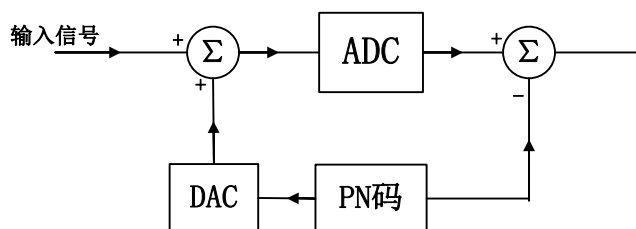


图 2-2 宽带大幅度 Dither 原理框图

针对不同的 Dither，其引入方式和去除方式也不相同。图 2-2 为宽带大幅度 Dither 的结构框图。这种 Dither 结构，是由 DAC 将随机码转化为模拟信号，并加入到输入信号中。在 ADC 的输出端，再将加入的 Dither 信号减去。引入的 Dither 幅度一般几十个 LSB。当然，也可以在 ADC 的前端减去模拟 Dither 信号而在输出相应的加上对应的数字 Dither。显然，在理想的状态下，宽带大幅度 Dither 不会引入噪声，也不会降低 ADC 的信噪比。

在宽带大幅度 Dither 实现上，DAC 的数模转换和 ADC 的模数转换都需要时间，必须准确的调整延时，才能够在数字端准确地去除 Dither。另外，要确保引入的 Dither 能够准确的去除，要求 DAC 的精度足够高。因此，宽带大幅度 Dither 的实现还存在一定的困难。

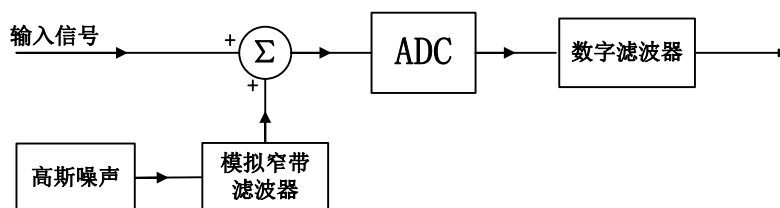


图 2-3 窄带 Dither 原理框图

图 2-3 为窄带 Dither 结构框图，如图所示，窄带 Dither 是直接产生高斯噪声，用模拟窄带滤波器滤出期望带宽内的噪声后，将噪声加入到输入信号中。由于 Dither 噪声和输入信号在频域上没有交叠，在数字端只需用数字滤波器滤除即可。根据需要，Dither 噪声也可以是均与分布的。显然，在理想状态下，当数字滤波器和模拟窄带滤波器的性能足够好时，窄带 Dither 也不会引入噪声，不会降低 ADC

的信噪比。

与宽带 Dither 相比，窄带 Dither 的优势在于不要调整延时来确保 Dither 的准确去除，也不要高精度 DAC 来产生模拟的 Dither，其去除效果完全由数字滤波器和模拟窄带滤波器直接决定。

宽带大幅度 Dither 和窄带 Dither 都是大幅度的 Dither，其应用必须注意一个问题：当 Dither 的幅度较大时，信号的幅度加上 Dither 的幅度不能超过 ADC 的量程，否则必然会造成溢出。

至于小幅度 Dither，是指加入的 Dither 幅度小于 1LSB，这种 Dither 不需要在数字端进行去除。而现实中，ADC 的输入信号不可避免带有一定的噪声，再加上热噪声，这本身就相当于一个小幅度的 Dither，所以一般在应用中，不需要再用小幅度 Dither 来改善 ADC 的性能。

2.1.2 频移 dither

应用频移 Dither 可以进一步通过减小 ADC 产生的谐波来改善其动态性能。所谓的频移 Dither，就是模拟输入端对 ADC 输入信号的整个频谱进行搬移，在数字端用数字信号处理技术对信号的频率进行恢复。

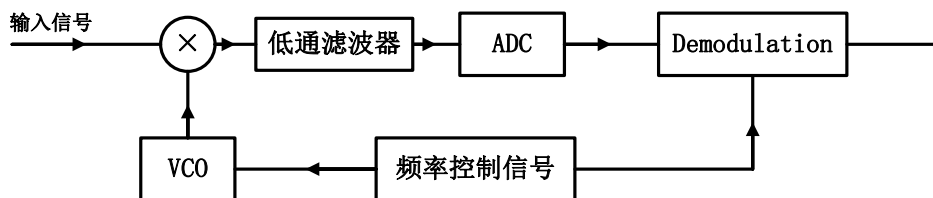


图 2-4 频移 Dither 原理框图

频移 Dither 的原理框图如图 2-4 所示，其中 VCO 的作用是使用频率控制信号来对输入信号进行频率调制。如果通过频率控制信号使输入信号的频率偏移 1MHz，那么 ADC 输入频谱的每部分都会发生偏移，ADC 产生的二次谐波失真会偏移 2MHz，三次谐波失真偏移 3MHz，以此类推。而解调的过程中，这些谐波只会按照原始的频率（1MHz）进行恢复。所以对 ADC 使用频移 Dither 后，量化过程会使信号的 3 次谐波以及更高次的谐波发生频移，因此这些谐波的能量会分散到更宽的频谱中，ADC 的动态性能会得到改善。图 2-5 给出了频移 Dither 解调前后的频谱图。

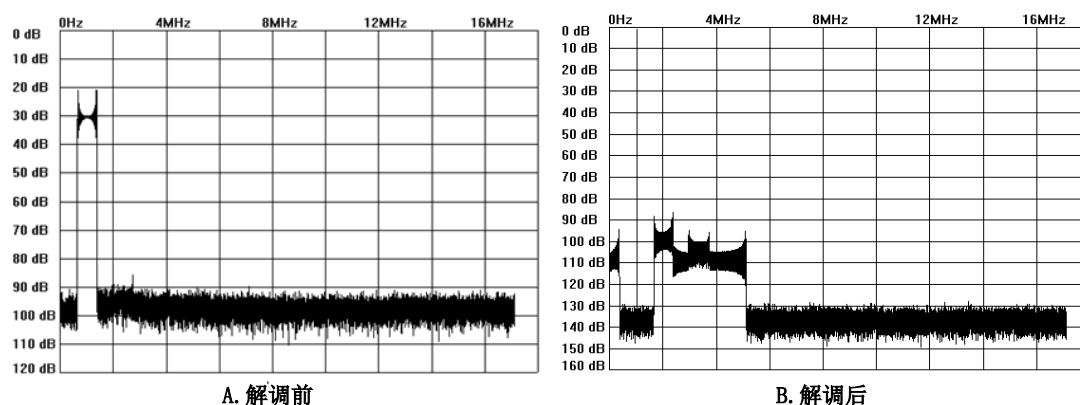


图 2-5 频移 Dither 仿真频谱

上面介绍的 Dither 算法可以单独使用，也可以结合使用，甚至还可以与其他数字校准技术联合使用来共同改善 ADC 的性能。如加性 Dither 能够使 ADC 在小输入信号时具有更好的线性状态，频移 Dither 能够使 ADC 量化的谐波有更大的衰减，联合使用加性 Dither 和频移 Dither，可以是 ADC 在大输入信号和小输入信号时都具有很好的性能。加性频移 Dither 的原理如图 2-6 所示。

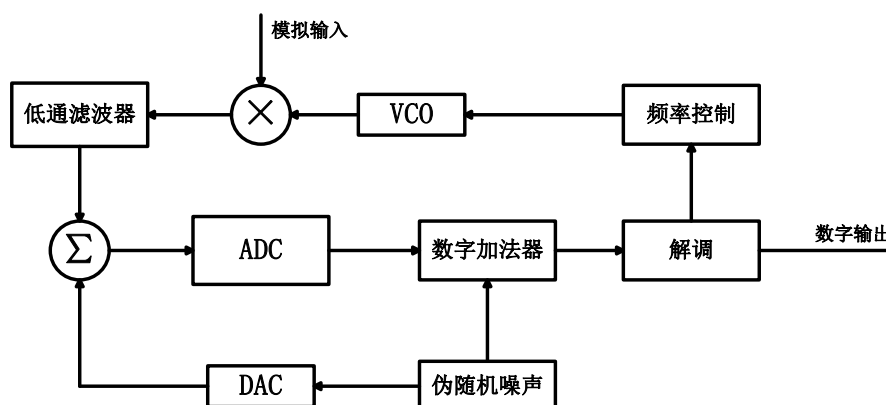


图 2-6 加性频移 Dither 原理框图

从实现上考虑，要求 Dither 结构所引入的失真必须能够在数字端准确的去处，加性 Dither 是能够满足这个要求的。而要实现频移 Dither，必须要有一个能够精确控制的 VCO，以确保产生的频率调制能够在数字端用 DSP 技术进行恢复。显然，传统的 VCO 并不能够达到要求，因为 FM 调制器所产生的调制信号的典型失真高于待改善的 ADC 的失真水平。同时，由于频率乘法器会允许调频信号具有一定的频率偏移，低通滤波器会引入非线性群延迟，因此频移 Dither 仅仅是一种理论上的研究，它的实现在目前有着很大的困难。

2.2 Dither 对 ADC 性能的影响

2.2.1 提高 ADC 的采样精度

对于一个 ADC，其输出是以 1LSB 为单位的阶梯状波形，显然任何幅度的输入信号都只能对应唯一的编码输出，而介于 1LSB 之间的信息将会丢失，丢失的信息不能够通过同步平均技术进行恢复。

图 2-7 为一个正弦信号经理想 ADC 量化后，再通过理想 DAC 转化为模拟信号的过程，输出的波形为一个阶梯状的正弦波。显然，即使应用同步采样再叠加平均技术，所得的波形也不会改变。

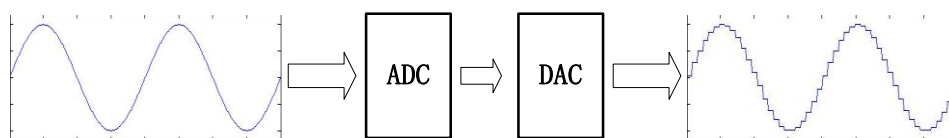


图 2-7 理想 ADC 对正弦信号的量化

进一步推论，在 ADC 中输入一个幅度很小的信号 ($<1\text{LSB}$) 时，ADC 的输出可能是方波或者是 0，如图 2-8 所示。

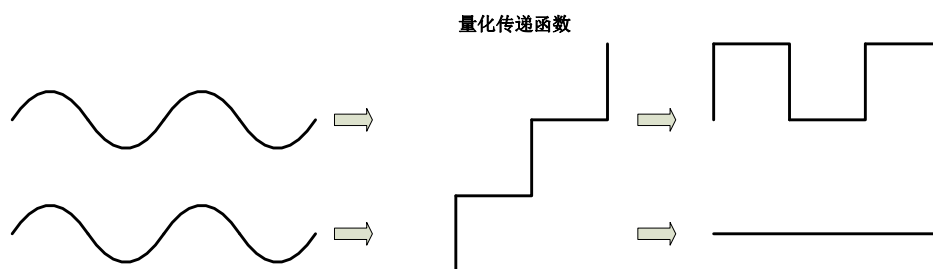


图 2-8 小于 1LSB 的正弦信号的量化输出

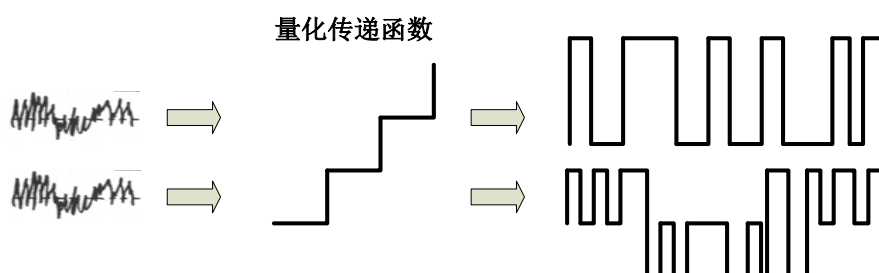


图 2-9 小于 1LSB 的正弦信号引入 Dither 后的量化输出

如果在小于 1LSB 的正弦信号中加入小幅度的 Dither 信号，再输入到 ADC 中，ADC 的输出将会发生变化。如图 2-9 所示，由于 Dither 信号的引入，原本的方波

变成了宽度调制的波形，原本的 0 信号变成了上下宽度调制的波形。显然，调制后波形包含有原始的正弦信号的信息，是可以通过叠加平均技术来对原始信号进行恢复的。

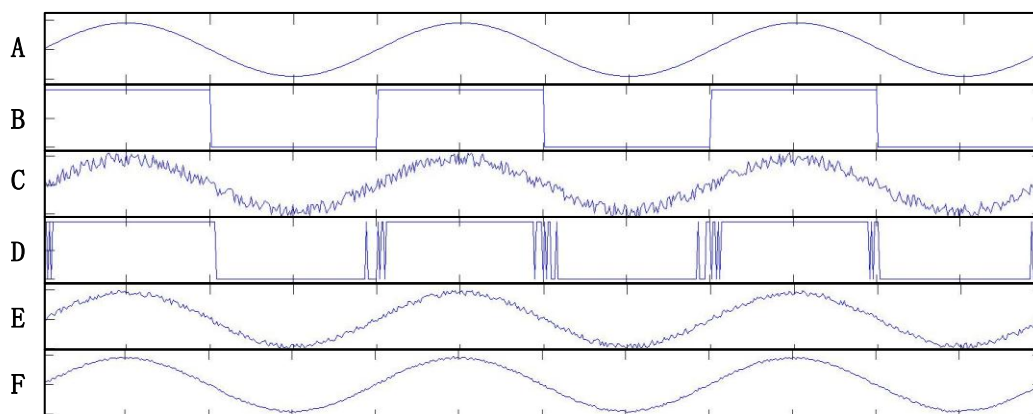


图 2-10 Dither 提高 ADC 的分辨率

图 2-10 中, A 为幅度为 0.9LSB 的正弦信号; B 为 0.9LSB 的正弦信号通过 ADC 后输出地方波信号; C 为叠加了 Dither 后的正弦信号; D 为正弦信号叠加 Dither 后的输出, 即宽度调制的波形; E 为同步采样, 输出结果叠加 100 次后所得的波形, F 为同步采样, 输出结果叠加 600 次后所得的波形。

从图 2-10 可以看出, Dither 和叠加平均技术可以提高 ADC 的分辨率, 使得低于 1LSB 的信号也能够被分辨出来, 也就是增加了 ADC 的有效位数。

可以这样理解 Dither 对 ADC 分辨率的提高, 假如一个 10 位的 ADC, 其信号的输入范围为 $0\sim 1.024\text{V}$, 即 $1\text{LSB}=1.0\text{mV}$ 。显然, 没有引入 Dither 的时候, 任何 $0.5\text{mV}\sim 1.5\text{mV}$ 的输入信号都会被量化为 1.0mV 的输出, 任何 $1.5\text{mV}\sim 2.5\text{mV}$ 的输入信号都会被量化为 2.0mV 的输出, 以此类推。

当在信号中引入 Dither 后, 假设 Dither 的幅度均值为 0, 最大幅度为 $\pm 0.5\text{LSB}$, 即 $\pm 0.5\text{mV}$ 。那么对于 $0.5\text{mV}\sim 1.5\text{mV}$ 之间的一个输入, 如 0.6mV , 引入 Dither 使得该点的信号幅度范围在 0.1mV 至 1.1mV 的范围内, 于是 ADC 可能将这个点的信号量化输出为 0.0mV 或 1.0mV 。由于 Dither 的均值为 0, 则通过多次采样, 会得到 40% 的 0.0mV 输出和 60% 的 1.0mV 输出, 对这些输出进行算术平均, 就可以得到一个近似于 0.6mV 的结果, 这样引入 Dither 后 ADC 就已经能够分辨出 0.6mV 的输入信号。

叠加平均对 ADC 分辨率的提高在理论上是没有限制的。实际应用中, 由于叠加平均次数会随着分辨率的提高而提高, 使得采样次数也会迅速增加。因此, 引

用 Dither 技术来提高 ADC 的分辨率实际上是以采样次数来换取精度的提高。

2.2.2 消除相干采样的谐波

相干采样是指采样频率与输入信号的频率成整倍数关系。相干采样必然造成量化误差呈周期性能分布。图 2-11 为一个正弦信号经理想 ADC 量化后的量化输出和量化误差图,图中 A 点至 B 点为量化误差的一个周期,与输入信号的周期一致。当量化误差为周期性分布时,反应在频谱上,会有许多谐波出现,这将大大降低 ADC 的动态性能。

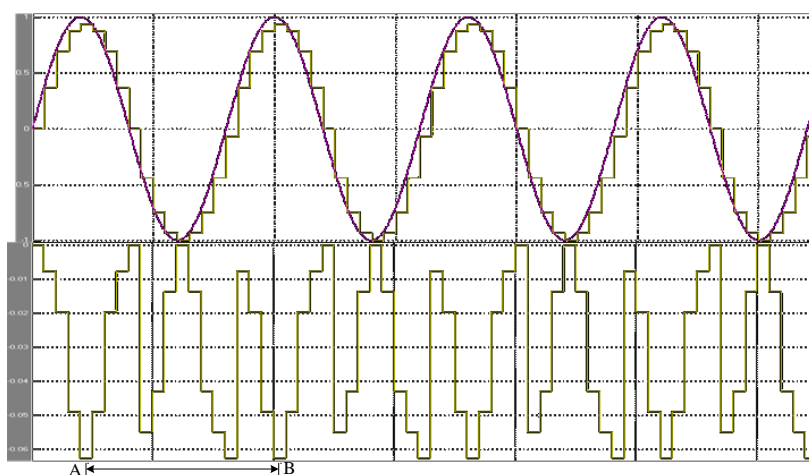


图 2-11 相干采样量化误差的周期性

由相干采样的定义可知,相干采样只会在输入信号为单频信号的情况下发生。但是任何信号都可以看成一个或多个单频分量的组合,因此对于一个采样频率,总会有一个或多个单频分量与之形成相干采样。也就是说,在实际采样的过程中,相干采样几乎是不可避免的,而相干采样形成的谐波也不可避免。为了消除相干采样所产生的谐波,提高 ADC 的动态性能,在输入信号中引入 Dither 信号是一种有效的方法。

如前所述,相干采样是指采样频率与输入信号的频率成整倍数关系,而在输入信号中引入 Dither 后,由于 Dither 信号的随机性,使得采样频率与输入信号的整倍数关系被打破,量化噪声将不再具有周期性,而是更接近于随机噪声,由于量化噪声呈周期而形成的谐波自然消失了。需要指出的是,打破采样频率与输入信号频率的整倍数关系的 Dither 信号所要求的幅度很小,小于 1LSB 的小幅度 Dither 就可以满足要求。

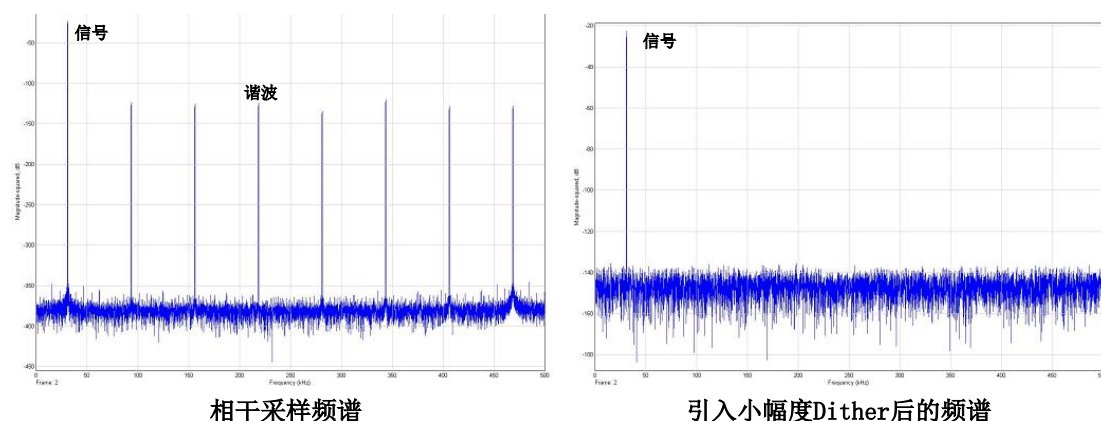


图 2-12 Dither 消除相干采样引入的谐波

图 2-12 中左图为一个 14 位的理想量化器对一个正弦信号进行相干采样(采样频率为正弦信号频率的 16 倍)后,输出的结果经 FFT 变换所得的频谱图,图中因相干采样而引起的谐波十分明显。右图为引入小于 1LSB 的 Dither 信号后的频谱图,由于 Dither 信号打乱了输入信号与量化噪声的固有关系,使得输入信号与量化噪声变得不相关,因而相干采样引起的谐波全部消失了。

2.2.3 消除 DNL 的周期性引起的谐波

对于流水线 ADC 来说,由于其分级结构的特点,它的 DNL 会呈现一定的周期性。这个周期性跟 ADC 具体的结构有关系,一般来说,流水线 ADC 的分级越多,其 DNL 的周期性就会越复杂。图 2-13 为 AD9042 的 DNL 曲线,AD9042 为 ADI 公司生产的 12 位两级流水线结构 ADC,第一子级为 6 位,第二子级为 7 位(其中最高位用来矫正误差)。AD9042 的 DNL 曲线整体形状由第一子级决定,共有 64 个周期,每 64LSB 为一个循环;DNL 曲线每个周期的细节由第二子级决定。

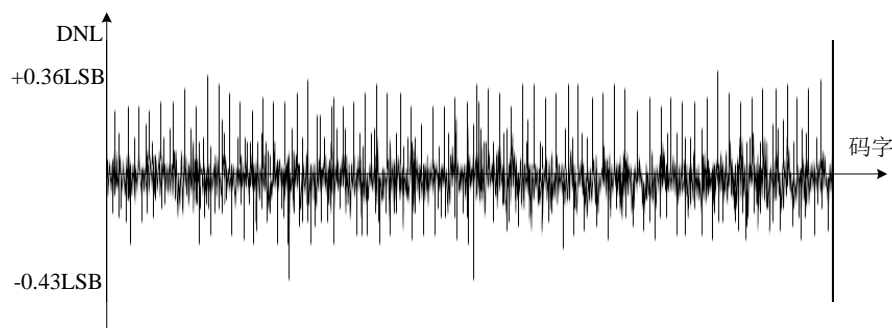


图 2-13 AD9042 的 DNL 曲线

由于流水线 ADC 的 DNL 具有一定的周期性，使得其量化误差也会呈现周期性，如图 2-14 所示。量化误差的周期性反应在频谱上会产生许多谐波，必然会使 ADC 的动态性能降低。

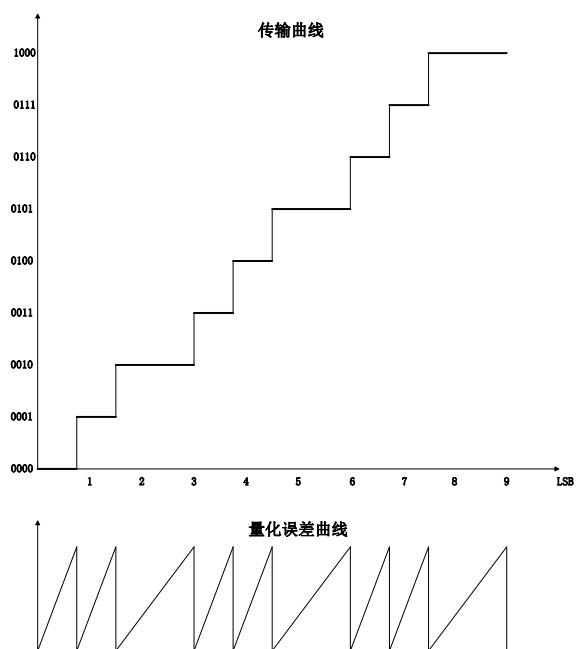


图 2-14 流水线 ADC 的传输曲线与量化误差曲线

从流水线 ADC 的传递函数的角度也可以理解 DNL 周期性对量化误差的影响，根据 ADC 的量化特性可以推出，理想 ADC 的传递函数可以由式表示：

$$X \leftrightarrow Yn \quad (2-1)$$

其中： $X \in [(n-1)LSB, nLSB]$ 。

那么对于非理想的 ADC，传递函数可以表示为

$$X \leftrightarrow Yn \quad (2-2)$$

其中： $X \in [(n-1)LSB + \sum_{k=1}^{n-1} DNL(k), nLSB + \sum_{k=1}^n DNL(k)]$ 。

由式 (2-2) 可以看出，由于流水线 ADC 的 DNL 具有周期性，其传递函数也必然具有周期性。

由传递函数周期性而产生的谐波可以用 Dither 来进行改善。例如当传递函数的周期以 n 个 LSB 为一个循环时，那么只要引入的 Dither 的均方值 (RMS) 大于 $nLSB$ ，由于 Dither 的影响，使得信号加上 Dither 的总电平就可能跳过传递函数的周期，再由于 Dither 相对于输入信号是随机的，因而输入信号加上 Dither 就不会受到传递函数周期性的影响，也就是输入信号不再受传递函数周期性的影响 (Dither 会在数字端被去除)。

第三章 Dither 影响 ADC 性能的数学推导

3.1 从 ADC 输出码密度函数角度分析 Dither 对 DNL 总误差的影响

DNL 是 ADC 的静态误差，由于 DNL 的存在，会对 ADC 的量化过程造成失真，一个信号在 ADC 的量化过程中由 DNL 造成的总误差可以表示为：

$$Error = \int_{I-\min.code}^{\max.code} P(I) \cdot DNL(I) \quad (3-1)$$

式 (3-1) 中， $P(I)$ 表示 ADC 输出码的概率密度，特别地，对于正弦信号，其输出码的概率密度函数为

$$P(I_{th}code) = \frac{1}{\pi} \left[\arcsin \frac{V(I-2^{N-1})}{A \cdot 2^N} - \arcsin \frac{V(I-1-2^{N-1})}{A \cdot 2^N} \right] \quad (3-2)$$

其中， V 表示 ADC 的满量程电压值， A 表示正弦信号的峰值电压， N 表示 ADC 的位数， I 表示所求的第几个码。

通过式 (3-1)，可以看出，仅仅用 DNL 总体曲线来评价一个 ADC 的失真远远不够的。例如，如果一个 ADC 在最大输出码处有一个非常坏的 DNL，但由于其输入信号很少达到最大幅度，这个非常坏的 DNL 不会带给 ADC 的很大的失真；但是如果这个 ADC 在其量程的中间有几个码连续的有几个 $+0.2LSB$ 的 DNL，由于输入信号会反复地经过这些点，不断积累的误差会给量化过程带来很大的失真。因此，DNL 对 ADC 量化失真的影响没有决定性的作用，DNL 影响失真必须根据 ADC 输出码的具体分布（即输出码密度）来进行分析。

由式子和前面的分析，DNL 对 ADC 失真的影响是根据 ADC 输入信号的不同而不同的，而输入信号的特点可以反映在它的码密度上。DNL 和输出码密度一起决定了 DNL 所引起的失真。然而，对于一个 ADC，其 DNL 是静态的和固定的，很难改变，再加上即使同一型号的 ADC，其 DNL 也不会是完全相同的。从一般的情况来考虑，最大的量化误差通常是 DNL 的误差最大处与 ADC 的输出码密度最大处相重合的时候发生。当 ADC 输出码密度曲线趋向于一条直线的时候，这时量化误差受 DNL 的影响就会较小。当然，对于任何输入信号来说，ADC 的输出码密度曲线都不可能为一条直线，但如果我们引入 Dither，能够对输入信号的码密度进行改善，使得它的最大码密度能够变小，那么它和 DNL 引起的失真较小，引入

Dither 的过程实际上也改善了 ADC 的性能。

对于一个信号，其概率密度函数可用 $p_f(x)$ 表示，则信号在电压区间 (V_a, V_b) 的概率为：

$$P_f(V_a, V_b) = \int_{V_a}^{V_b} p_f(V) dV \quad (3-3)$$

运用式 (3-3)，不难得出信号通过理想 ADC 后的输出码概率密度函数为

$$P(I) = P_f(V_a(I), V_b(I)) = \int_{V_a}^{V_b} p_f(V) dV \quad (3-4)$$

对于正弦信号，其输出码概率密度曲线如图 3-1 所示，可见，正弦信号的概率密度曲线是一个两边高中间凹下的形状。这是因为正弦信号在中间值附近变化较快，在最大值附近变化较慢。

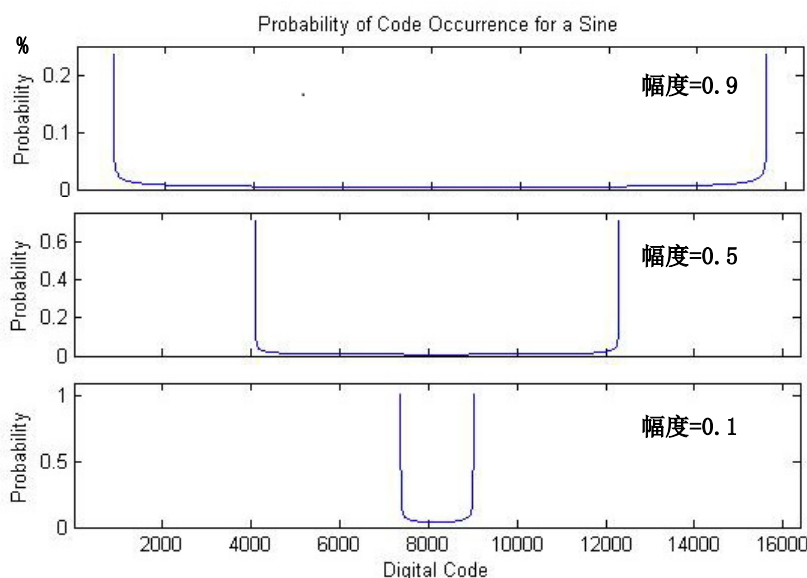


图 3-1 正弦信号码密度曲线

对于 Dither 信号，其输出码概率密度用 $p_d(x)$ 表示，则一个幅度为 A 正弦信号与幅度为 c 的 Dither 叠加后的概率密度为：

$$p(x) = \int_{-c}^c p_f(x+\tau) p_d(\tau) d\tau \quad (3-5)$$

式中， $-A < x < A$ 。

3.1.1 均匀分布 Dither

当 Dither 信号为均匀分布的信号时，由于均匀分布的信号的概率密度为

$$f_d(x) = \begin{cases} \frac{1}{2c}, & -c \leq x \leq c \\ 0, & \text{otherwise} \end{cases} \quad (3-6)$$

当 $c < A$ 时，正弦信号与 Dither 叠加后的概率密度为

$$p(x) = \begin{cases} \phi(A) + \phi(x+c), & -A-c < x < -A+c \\ \phi(x+c) - \phi(x-c), & -A+c < x < A-c \\ \phi(A) - \phi(x-c), & A-c < x < A+c \end{cases} \quad (3-7)$$

其中， $\phi(x) = \frac{1}{2\pi c} \arcsin \frac{x}{A}$ 。

正弦信号与 Dither 叠加后通过理想 ADC 的输出码概率密度为

$$P(I) = \begin{cases} \frac{1}{4c}(V_b - V_a) + \phi(V_b + c) - \phi(V_a + c), & -A-c < V_a < V_b < -A+c \\ \frac{1}{4c}(-A+c-V_a) + \phi(V_b + c) - \phi(V_a + c) - \phi(V_b - c) + \phi(A), & -A-c < V_a < -A+c < V_b \\ \phi(V_b + c) - \phi(V_a + c) - \phi(V_b - c) + \phi(V_a - c), & -A+c < V_a < V_b < A-c \\ \phi(A) - \phi(V_a + c) - \phi(V_b - c) + \phi(V_a - c) + \frac{1}{4c}(V_b - A+c), & -A+c < V_a < A-c < V_b \\ \frac{1}{4c}(V_b - V_a) - \phi(V_b - c) + \phi(V_a - c), & A-c < V_a < V_b < A+c \end{cases} \quad (3-8)$$

其中， $\phi(x) = \frac{1}{2\pi c} (x \arcsin \frac{x}{A} + \sqrt{A^2 - x^2})$

码密度曲线如图 3-2 所示。

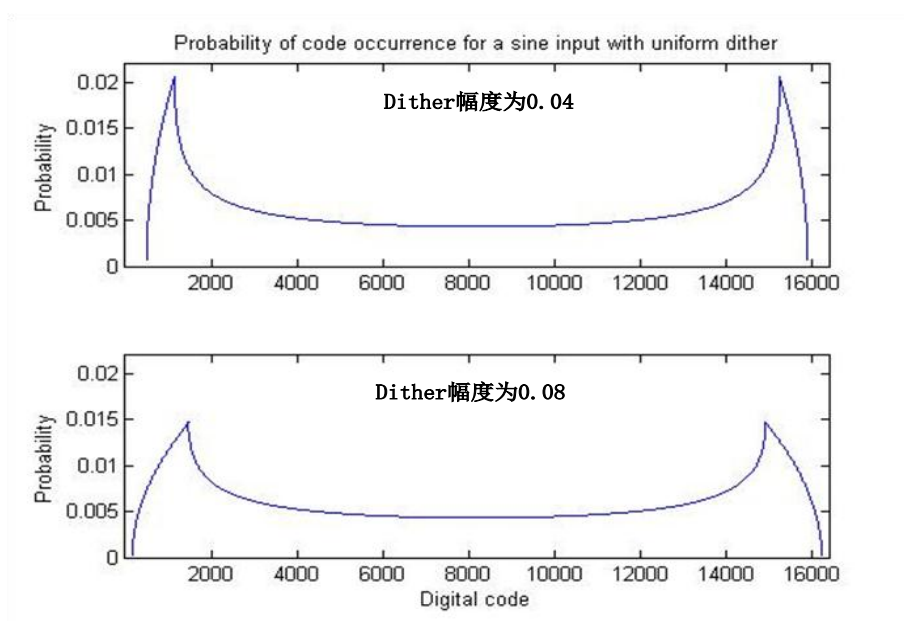


图 3-2 幅度为 0.9 的 sine 信号引入 Dither 后的码密度曲线

与图 3-1 对比, 引入 Dither 后, 正弦信号码密度曲线上的最大概率点有了很明显的减小, 从 0.24% 减小到了 0.021%, 而且随着引入 Dither 幅度的增大, 最大概率点减小到了 0.014%, 这样, 由 ADC 的 DNL 所引起的失真会明显地减小。

而当 $c > A$ 时, 正弦信号与 Dither 叠加后的概率密度为

$$p(x) = \begin{cases} \phi(A) + \phi(x+c), & -A-c < x < -A+c \\ 2\phi(A), & -A+c < x < A-c \\ \phi(A) - \phi(x-c), & A-c < x < A+c \end{cases} \quad (3-9)$$

其中, $\phi(x) = \frac{1}{2\pi c} \arcsin \frac{x}{A}$ 。

正弦信号与 Dither 叠加后通过理想 ADC 的输出码概率密度为

$$P(I) = \begin{cases} \frac{1}{4c} (V_b - V_a) + \phi(V_b+c) - \phi(V_a+c), & -A-c < V_a < V_b < -A+c \\ \frac{1}{4c} (2V_b - V_a - A+c) + \phi(A) - \phi(V_a+c), & -A-c < V_a < -A+c < V_b \\ \frac{1}{2c} \phi(V_b - V_a), & -A+c < V_a < V_b < A-c \\ \phi(A) - \phi(V_b-c) + \frac{1}{4c} (V_b - 2V_a - A+c), & -A+c < V_a < A-c < V_b \\ \frac{1}{4c} (V_b - V_a) - \phi(V_b-c) + \phi(V_a-c), & A-c < V_a < V_b < A+c \end{cases} \quad (3-10)$$

其中, $\phi(x) = \frac{1}{2\pi c} (x \arcsin \frac{x}{A} + \sqrt{A^2 - x^2})$

码密度曲线如图 3-3 所示。

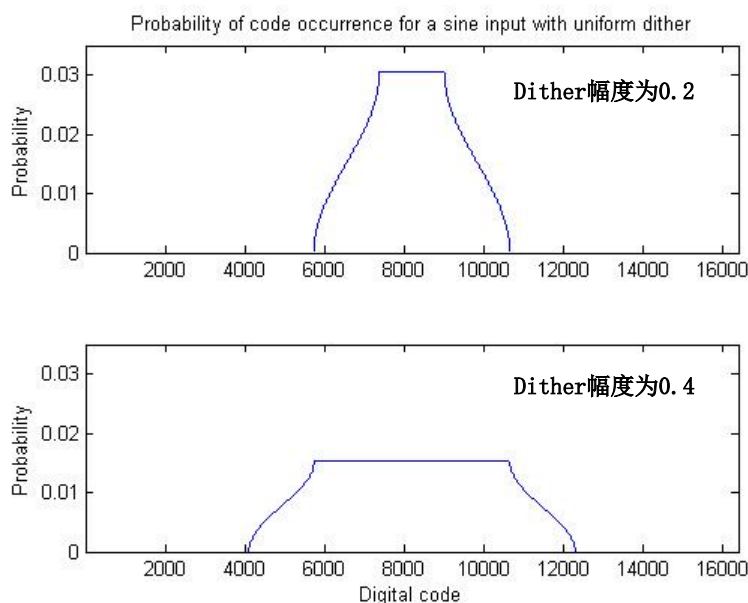


图 3-3 幅度为 0.1 的 sine 信号引入 Dither 后的码密度曲线

引入 Dither 后, 正弦信号码密度曲线上的最大概率也有了很明显的减小。可见均匀 Dither 的确能够改变 ADC 输出码密度函数的分布, 改变后使得 ADC 的 DNL 引起的失真变小了, 而且随着 Dither 幅度的增大, 改善情况变得越来越好。

3.1.2 离散 Dither

当引入的 Dither 为离散分布的情况, 即数字 Dither, 通过 PN 码产生的宽带大幅度 Dither 实际上就是一种离散 Dither。离散 Dither 的概率密度函数式多个等幅度的冲击。

对于两冲击的离散 Dither, 其概率密度可以表示为

$$f_d(x) = \begin{cases} \frac{1}{2}, & d = c \\ 0, & otherwise \end{cases} \quad (3-11)$$

正弦信号叠加两冲击的离散 Dither 后, 其概率密度为

$$p(x) = \frac{1}{2} f_x(x+c) + \frac{1}{2} f_x(x-c) \quad (3-12)$$

通过 ADC 后的码密度函数为

$$p(x) = \begin{cases} \frac{1}{2} f_x(x+c), & -A-c < x < A+c \\ \frac{1}{2} f_x(x+c) + \frac{1}{2} f_x(x-c), & -A+c < x < A-c \\ \frac{1}{2} f_x(x-c), & A-c < x < A+c \end{cases} \quad (3-13)$$

对于三冲击的离散 Dither, 其概率密度可以表示为

$$f_d(x) = \begin{cases} \frac{1}{3}, & d = c, -c, 0 \\ 0, & otherwise \end{cases} \quad (3-14)$$

正弦信号叠加两冲击的离散 Dither 后, 其概率密度为

$$p(x) = \frac{1}{3} f_x(x+c) + \frac{1}{3} f_x(x-c) + \frac{1}{3} f_x(x) \quad (3-15)$$

通过 ADC 后的码密度函数为

$$p(x) = \begin{cases} \frac{1}{3} f_x(x+c), & -A-c < x < A \\ \frac{1}{3} f_x(x+c) + \frac{1}{3} f_x(x), & -A < x < -A+c \\ \frac{1}{3} f_x(x+c) + \frac{1}{3} f_x(x-c) + \frac{1}{3} f_x(x), & -A+c < x < A-c \\ \frac{1}{3} f_x(x-c) + \frac{1}{3} f_x(x), & A-c < x < A \\ \frac{1}{3} f_x(x-c), & A < x < A+c \end{cases} \quad (3-16)$$

正弦引入离散 Dither 后的码密度曲线如图 3-4 所示。

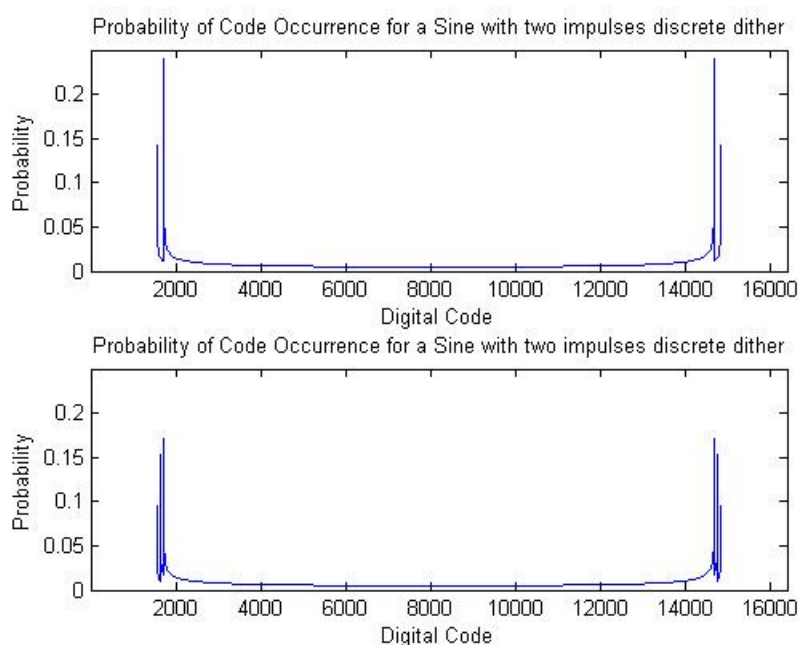


图 3-4 正弦信号引入离散 Dither 后的码密度曲线

3.2 高斯 Dither 影响对理想 ADC 量化误差的改善

对于一个理想的 ADC，其量化误差函数如图 3-5 所示，图中 x 表示输入信号的幅度。

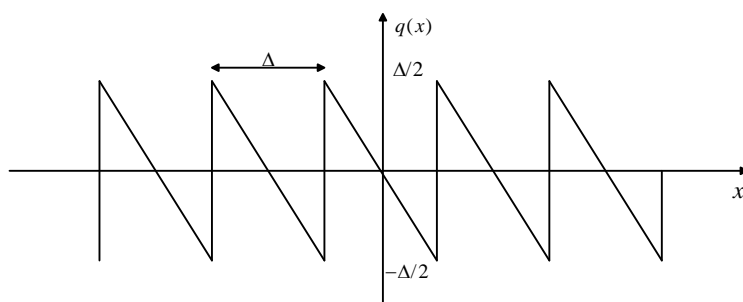


图 3-5 理想 ADC 的量化误差函数

理想 ADC 的量化误差函数可以用傅里叶级数展开如式 (3-17) 所示：

$$q(x) = \sum_{n=1}^{\infty} \frac{1}{n\pi} \sin \frac{2\pi nx}{\Delta} \cdot (-1)^n \quad (3-17)$$

将量化误差函数转化为频域表达式，可得到平均量化误差，如下：

$$|Q(x)| = \sum_{n=1}^{\infty} \frac{\Delta}{n} \delta(\omega - n\omega_0) \quad (3-18)$$

式中， $\omega_0 = 2\pi/\Delta$ 。图 3-6 显示了平均量化误差频谱图中的谐波分布情况。

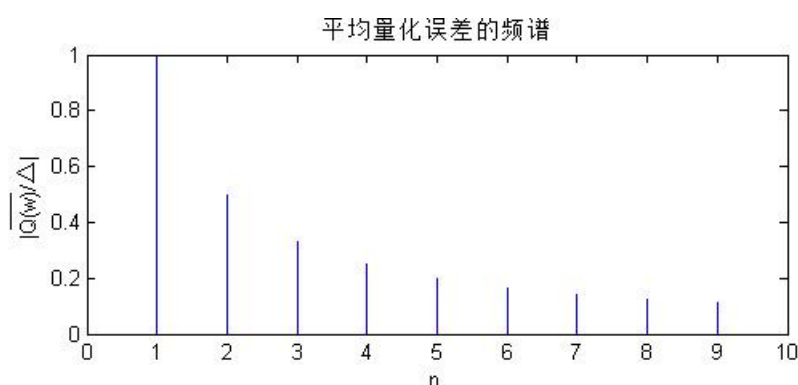


图 3-6 平均量化误差的频谱

由式 (3-17) 可得，当在输入信号中加入一个 Dither（幅度用 d 表示），经过 ADC 的量化输出后，其量化误差可以表示为

$$\bar{q}(x) = \int_{-\infty}^{+\infty} q(x+d) p(d) dd \quad (3-19)$$

式中 $p(d)$ 表示 dither 的概率密度函数（PDF）。

式 (3-19) 可以看成是一个卷积积分，其频域表达式为

$$\bar{Q}(f) = Q(f) \cdot P(f) \quad (3-20)$$

当 Dither 信号为高斯分布时，高斯分布的信号的概率密度函数为

$$p(d) = \frac{1}{\sigma\sqrt{2\pi}} e^{-d^2/2\sigma^2} \quad (3-21)$$

其傅里叶形式为

$$P(f) = e^{-2\pi^2 f^2 \sigma^2} \quad (3-22)$$

在信号中加入高斯 Dither 后，平均量化误差为

$$\bar{Q}(\omega) = \sum_{n=1}^{\infty} \frac{\Delta}{n} \exp\left[-\frac{2\pi^2 \sigma^2 n^2}{\Delta^2}\right] \cdot \delta(\omega - n\omega_0) \quad (3-23)$$

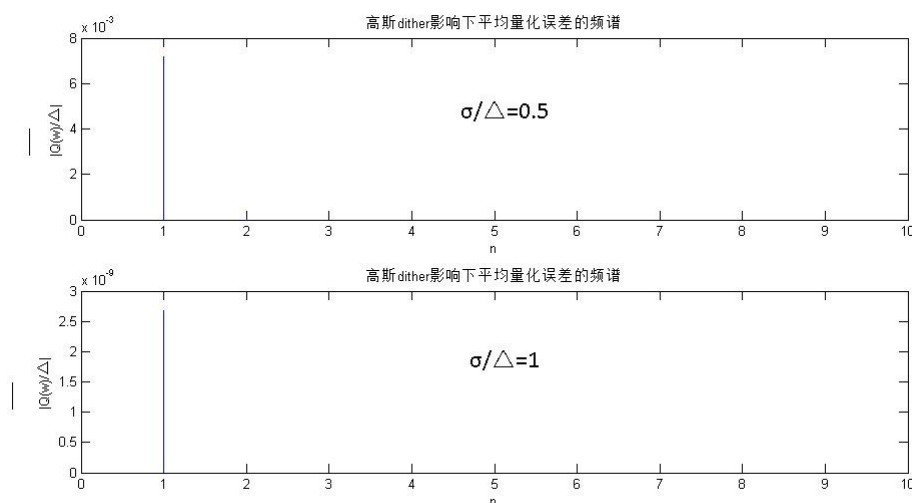


图 3-7 高斯 Dither 影响下平均量化误差的频谱

图 3-7 显示了高斯 Dither 影响下平均量化误差频谱图中的谐波分布情况。由图可见，由于高斯 Dither 的影响，平均量化误差的频谱中都只有第一个谐波成分存在，其他高次的谐波成分都消失了。而且随着 σ 值的增大，仅存的谐波成分的幅度也明显的变小了，这有效地说明了高斯 Dither 对量化误差的改善。

与此相似，其他分布的 Dither 也可以按上述方法推导其对量化误差的改善情况。

第四章 流水线 ADC 的行为级建模与性能测试

本章首先分析流水线 ADC 的基本结构，然后在对子模块的结构进行功能划分的基础上，考虑电路的误差因素，在 Simulink 中完成一种 14 位流水线 ADC 的行为级建模。最后在对 ADC 的主要性能指标和性能测试方法进行简单介绍后，给出了所搭建的 14 位流水线 ADC 的性能测试结果。

4.1 行为级建模工具 Simulink 简介

Simulink 是 Matlab 的一种可视化工具，提供基于 Matlab 的框图设计环境，是实现动态系统建模、仿真和分析的一个软件包。Simulink 支持线性系统和非线性系统的仿真，可以进行连续系统和非连续系统的仿真，也可以进行连续系非连续相混合的系统的仿真，同时，Simulink 还支持多种速率的仿真系统。在 Simulink 中，系统建模非常简单，其仿真的过程是交互的，可以通过改变仿真参数来进行不同条件下的仿真。

在关于系统性能的研究方面，由于构建实验系统来通过各种仪器进行测量得到需要的数据会花费大量的资金，而且系统的构建周期长，系统的参数调整非常困难，通过 Simulink 对系统建模仿真来得到需要的数据就具有很大的优势。因此 Simulink 对系统性能研究中的应用越来越广泛。

Simulink 仿真具有如下特点：

- 1) 交互建模。利用 Simulink 提供的功能模块，可以很快建立动态的系统模型。
- 2) 交互仿真。仿真的时候可以采用交互或批处理的方式，通过设置不同的参数来进行各种分析。
- 3) 能够扩充和定制。Simulink 提供自定义的块和库，仿真时可以可以对仿真环境进行扩展。

4.2 流水线 ADC 的结构

流水线 ADC 的结构如图 4-1 所示，主要由多个子级和一个数字校准部分组成。在通常情况下，各子级的结构是完全相同的，功能也完全一致。在实际设计中，

从系统功耗和版图简化,以及各级设计的具体要求考虑,第一级和最后一级的比特位数可能会和中间级不同,以致具体的电路略有不同。

流水线 ADC 的时钟产生电路提供两个互相之间没有交叠的时钟,通过时钟控制每一子级结构中的采样保持电路和级间增益电路,使它们分别工作不同的时间相里。

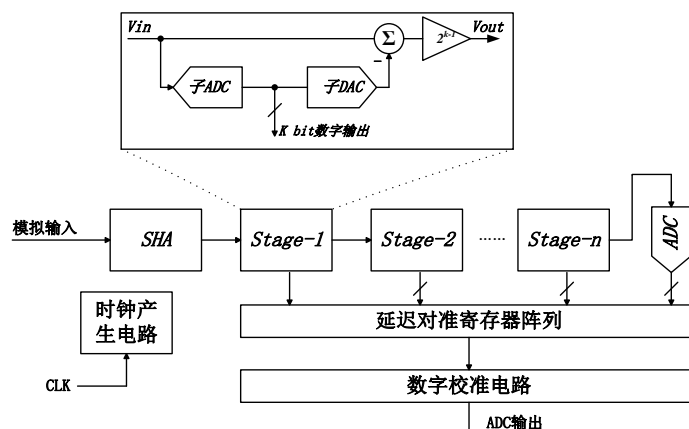


图 4-1 流水线 ADC 结构框图

4.3 流水线 ADC 的关键单元结构的行为级建模

4.3.1 流水线 ADC 行为级模型的总体设计

参考国内外的相关文献,对流水线 ADC 进行行为级建模,其结构为“4+8×1.5+3”流水线结构。如图 4-2 所示,第一级 subADC 为 4 位并行结构,中间级 subADC 采用 8 级 1.5 位相同的结构,最后一级 subADC 采用 3 位并行结构,各级采用并行结构,有利于高速 ADC 的实现。这样的设计在实际中有利于降低系统功耗和降低各级设计的要求,有利于版图的设计和电路的简化。

其中,流水线 ADC 的子级是一个包含了采样保持功能、子 ADC 功能、子 DAC 功能、减法功能和残差放大功能的模块。建模时,可以对上述功能划分为三个模块(采样保持电路、Flash ADC、MDAC)来进行实现。其中,MDAC 模块主要实现采样保持功能、子 DAC 功能、减法功能和残差放大功能。

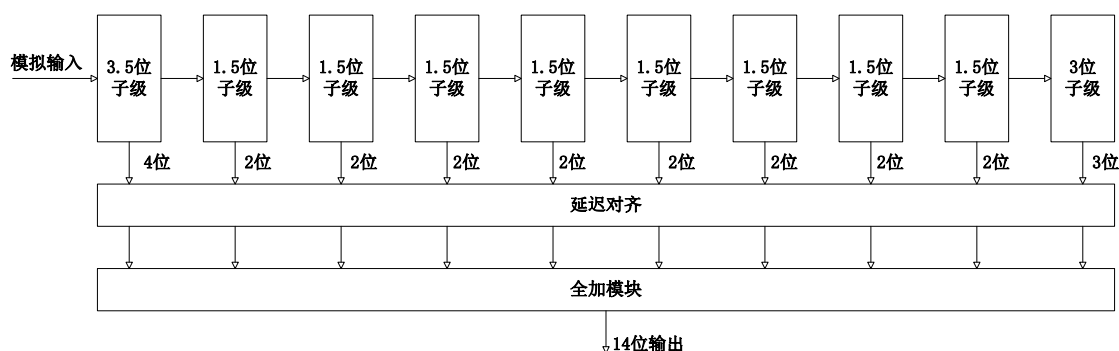


图 4-2 流水线 ADC 行为级建模总体设计

4.3.2 采样保持电路的建模

采样保持电路是以运算放大器为核心的开关电容电路，S/H 电路模型可分为静态误差模型和动态过程模型。其中，静态误差模型需要考虑的方面主要有：（1）在有限直流增益和运放寄生电容的条件下保持电路的精度；（2）开关沟道电荷注入；（3）噪声；（4）时钟抖动；（5）时钟溃通。而动态过程模型则是对运放对输出电容充放电的两个阶段：即压摆阶段和线性阶段进行建模。对于采样保持电路的建模，其功能划分如图 4-3 所示。

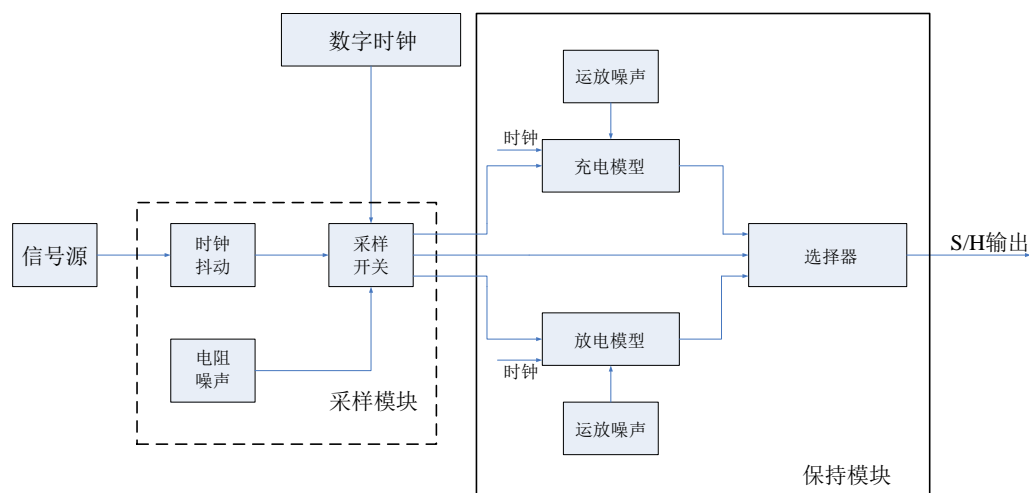


图 4-3 采样保持电路系统功能框图

整个采样保持电路模型如图 4-4 所示。

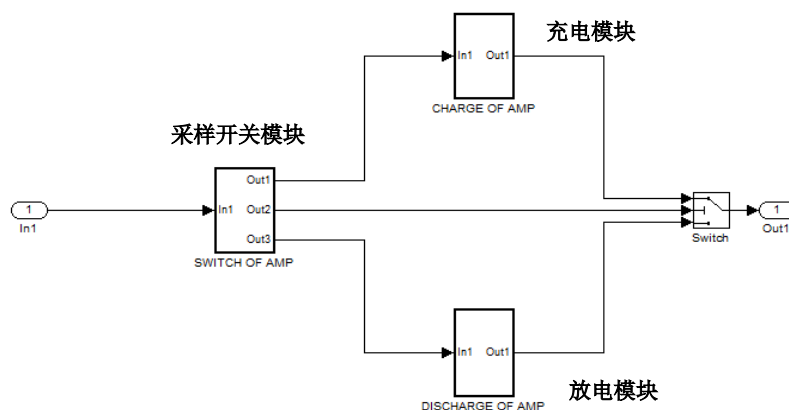


图 4-4 采样保持电路模型

4.3.3 Flash ADC 的建模

流水线 ADC 的每一子级都包含一个 Flash ADC，其功能是量化输入的模拟信号，由于 Flash ADC 的输出为数字信号，故建模时可以忽略运放的非理想因素，再由于比较器的传输时延一般为几百 ps，对流水线 ADC 来说影响很小，也可以忽略不计。因此建模时只需要考虑比较器的失调误差。

比较器电路可以建模如图 4-5 所示：

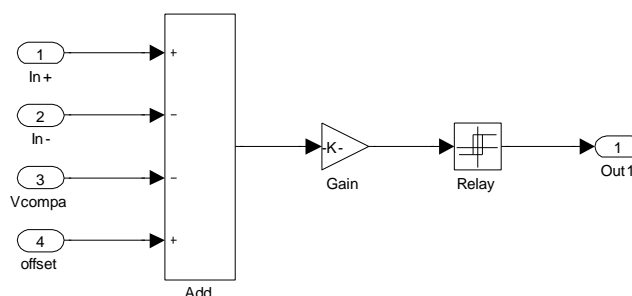


图 4-5 比较器电路模型

根据模型的整体设计可知，整个建模只需考虑三种 Flash ADC 模型，分别为 1.5bit 子级、4bit 子级、3bit 子级的 FlashADC。下面以 1.5bit 子级为例说明 Flash ADC 的建模。

1.5bit 子级 Flash ADC 的输出函数为：

$$Dout = \begin{cases} 00, & -V_{ref} \leq V \leq 0.25 \cdot V_{ref} \\ 01, & -0.25 \cdot V_{ref} \leq V \leq 0.25 \cdot V_{ref} \\ 10, & -V_{ref} \leq V \leq 0.25 \cdot V_{ref} \end{cases} \quad (4-1)$$

对 1.5bit 子级的 Flash ADC 建模可以由两个比较器进行实现，如图 4-6 所示。

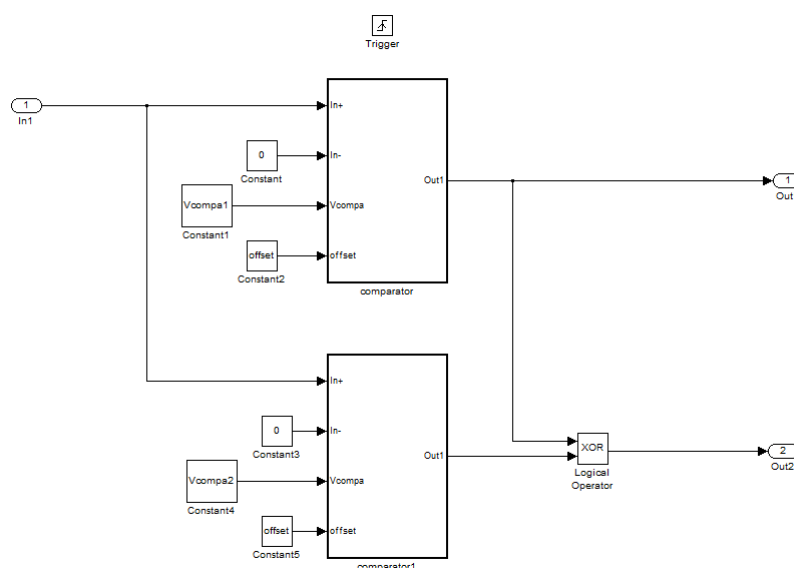


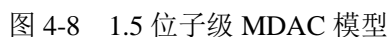
图 4-6 1.5 位子级 FlashADC 模型

4.3.4 MDAC 模块的建模

MDAC 模块主要实现采样保持功能、子 DAC 功能、减法功能和残差放大功能，其转换的精度由残差信号的精度决定，转换的速度由残差放大器的建立时间决定。显然，MDAC 电路的核心部件与 SHA 电路很相似，都是运算放大器，因此在误差方面的考虑也与 SHA 电路相似，只考虑电容失配和有限放大增益的影响。图 4-7 为 1.5bit 子级的 MDAC 模块的误差示意图。MDAC 的模块输出地残差可用式表示如下：

$$V_{RES} = (1 + \delta) \left[(2 + \alpha) V_{IN} - (1 + \alpha) b V_{REF} \right] \quad (4-2)$$

其中， δ 表示电容失配； α 表示有限放大增益； V_{IN} 表示上一子级的残差输出； b 表示子级 ADC 的量化输出结果； V_{REF} 表示子级 DAC 的参考电压； V_{RES} 为子级输出地残差，将输入下一子级进一步量化。



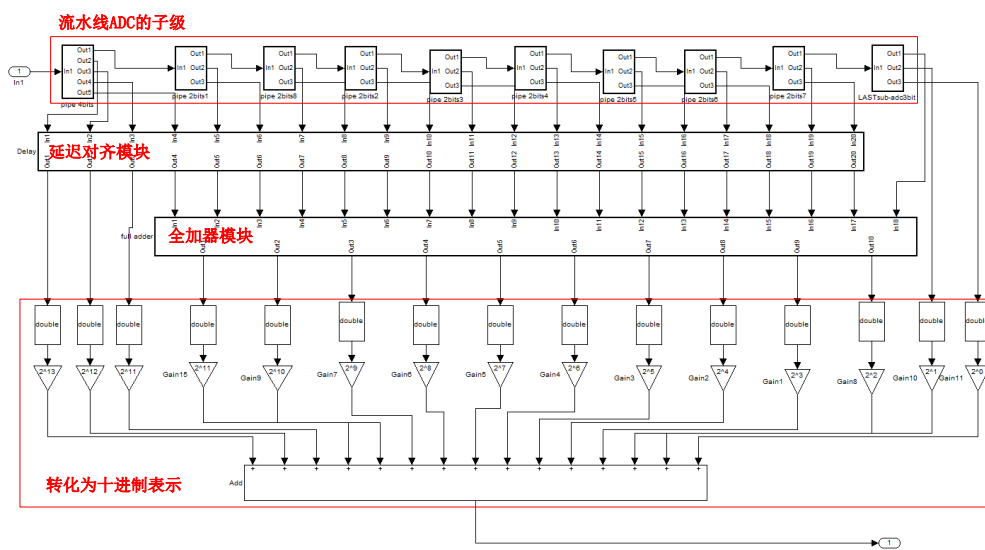
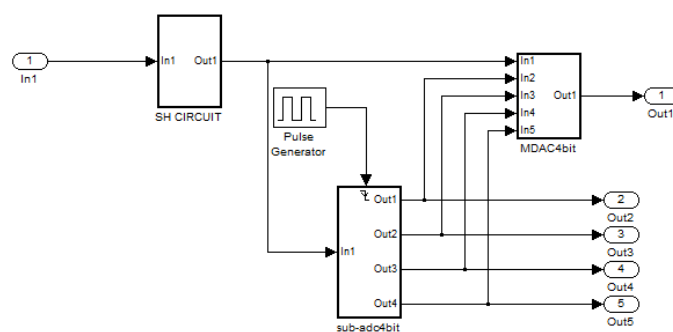
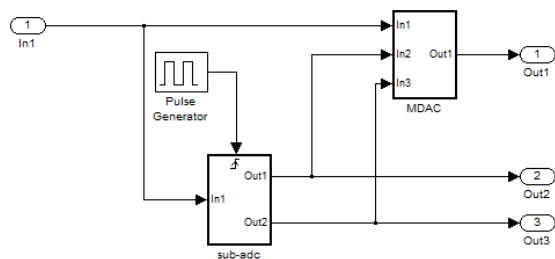


图 4-9 14 位流水线 ADC 模型

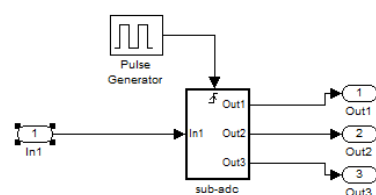
其中各子级的实现模型如图 4-10 所示:



4位子级的实现模型



1. 5位子级的实现模型



3位子级的实现模型

图 4-10 各子级的实现模型

4.4 ADC 的性能指标

ADC 的性能指标包括静态指标和动态指标。静态指标定义的是 ADC 的固有误差，受 ADC 的电路结构设计和制造工艺的影响，一个 ADC 芯片制造完成的时候，其静态误差就已经确定，不可能通过其他手段再对其进行改变，只能对其所引起的失真或动态失真进行改善。动态指标是与 ADC 的量化过程相联系的，它不仅受 ADC 静态性能指标的影响，还与 ADC 的输入信号密切相关。同一个 ADC，针对不同的输入信号会有不同动态指标。ADC 的动态指标可以通过 Dither 技术或者其他手段进行改善。

4.4.1 静态指标

失调误差 (Offset Error):

失调误差指 ADC 的转化曲线上实际偏置点和理想偏置点之间的电压差值，如图 4-11 左图所示。

增益误差 (Gain Error):

增益误差指 ADC 的偏置失调误差为 0 的时候，转化曲线上实际增益点理想增益点之间的电压差值，如图 4-11 右图所示。

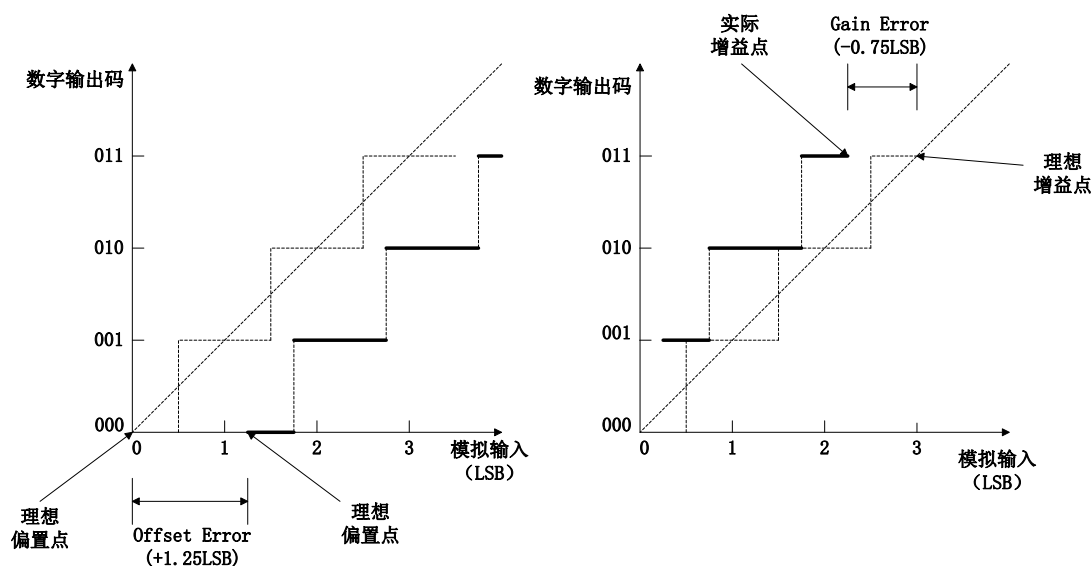


图 4-11 失调误差和增益误差

微分非线性 (Differential Nonlinearity Error, DNL):

DNL 是指 ADC 实际的转化曲线上的每个实际码宽与 1LSB 的差，如图 4-12

左图所示。码字 001 对应的实际码宽小于 1LSB，其 DNL 为-0.5LSB；而码字 100 对应的实际码宽大于 1LSB，其 DNL 为 0.25LSB。DNL 可以用式表示。

$$DNL(k) = \frac{V_k}{V_{ref}} \cdot 2^{N-1} - 1 \quad (4-3)$$

其中， $DNL(k)$ 表示第 k 个码字的 DNL， V_k 表示第 k 个码字对应的电压宽度， V_{ref} 表示 ADC 的量程电压值， N 表示 ADC 的分辨率位数。

因为 ADC 所有码字对应的码宽总和是一个固定值，为 ADC 模拟输入的量程，因而当 ADC 大部分码字的 DNL 都大于 1LSB 时就可能会造成失码，使得一个或多个输出码没有可能出现。

积分非线性（Integral Nonlinearity Error, INL）：

INL 是指 ADC 实际的转换曲线与理想的转换曲线的偏差，如图 4-12 右图所示，INL 不仅仅由对应码的码宽所决定，还受曲线上前面所有码的码宽的影响。ADC 实际转换曲线上某个输出码的 INL 也就是转换曲线最底端到该处的所有 DNL 的累积，如式所示：

$$INL(m) = \sum_{k=0}^m DNL(k) \quad (4-4)$$

其中， $INL(m)$ 表示第 m 个码字的 INL， $DNL(k)$ 表示第 k 个码字的 DNL。

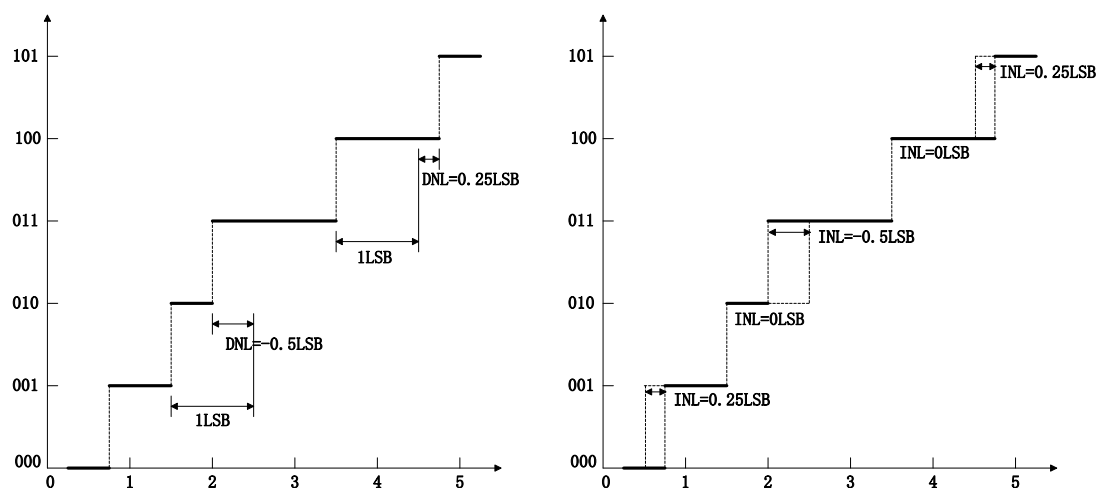


图 4-12 微分非线性和积分非线性

绝对精度误差（Absolute Accuracy Error）：

绝对精度误差是指 ADC 的传输曲线上某个输出码的所对应的模拟电压值与理想的传输曲线上该码的台阶中点所对应的模拟电压值之间的最大差值，如图 4-13

图 3-12 所示。绝对精度误差表示的是 ADC 的一个总误差 (Total Error)，它包含了 ADC 的失调误差、增益误差、微分非线性、积分非线性和量化误差的影响。

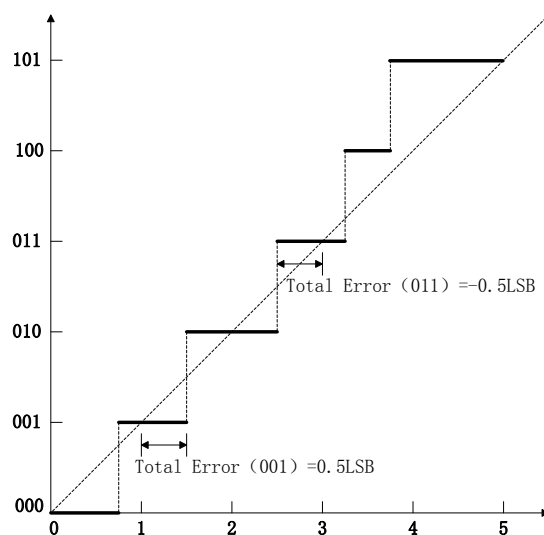


图 4-13 绝对精度误差

4.4.2 动态指标

量化噪声 (Quantization Noise):

量化噪声是由于 ADC 输入的模拟信号状态的无限性和输出的数字信号状态的有限性而产生的失真。量化噪声与 ADC 的精度有关，可以表示为：

$$\sigma_e^2 = \frac{Q^2}{12} = \frac{(FSR/2^N)^2}{12} \quad (4-5)$$

信噪比 (SNR):

信噪比是信号幅度的均方根值 (RMS) 与其他频谱成分 (噪声) 的均方根值 (RMS) 之比，是定义器件内部噪声大小的基本参数，这里其他频谱成分不包含谐波分量，即：

$$SNR = 20 \lg \frac{RMS_{signal}}{RMS_{noise}} \quad (4-6)$$

对于理想 ADC，信噪比可以近似表示为：

$$SNR \approx 6.02N + 1.76 \quad (4-7)$$

信噪失真比 (SINAD):

信噪失真比是信号幅度的均方根值与噪声以及所有谐波的频谱成分之和的均方根值之比，表达的是输出信号所有传递函数的非线性加上系统所有噪声的累积

效果。信噪失真比的表达式为：

$$SINAD = 20\lg \frac{RMS_{signal}}{RMS_{noise+harmonic}} \quad (4-8)$$

有效位 (ENOB)：

有效位是根据 ADC 的传输质量而等效出的比特分辨率，是 SNR 和 SINAD 的直观表示，其表达式为：

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (4-9)$$

总谐波失真 (THD)：

总谐波失真是指信号幅度的均方根值与谐波的均方根值（一般只计算机前 5 次谐波）之比，表达的是系统对称和非对称产生的总失真大小。总谐波失真的表达式为：

$$THD = 20\lg \frac{RMS_{signal}}{RMS_{first.5th.HD}} \quad (4-10)$$

无杂散动态范围 (SFDR)：

无杂散动态范围 (Spurious Free Dynamic Range) 是指信号频率的最大成分的 RMS 幅度与最大的噪声成分或谐波失真成分的 RMS 值幅度的比值，也可以用频谱图中信号的频率成分峰值与最大的噪声频率成分峰值的差表示，如图 4-14 所示。

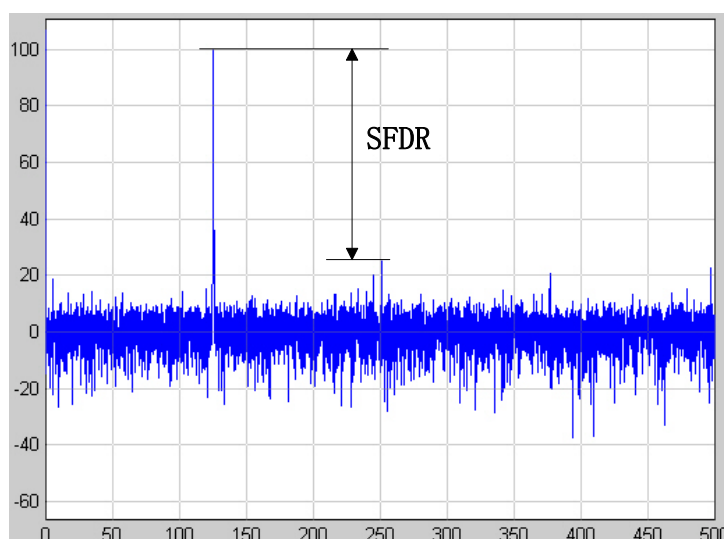


图 4-14 无杂散动态范围

需要指出的是 ADC 的 SFDR 值一般远远大于其 SNR 值，另外，SNR 可以通

过提高 ADC 的精度来提高,但是 ADC 精度的提高不一定能够改善其 SFDR 性能。

4.5 ADC 性能的测试

ADC 性能测试需要对其静态指标和动态指标进行测试,其中静态指标用码密度法进行测试,动态指标用采样与 FFT 频谱分析法进行测试。

4.5.1 码密度法

ADC 静态指标与每个码的码宽有着很大的联系。对于一个 ADC,其实际的码宽和码出现的概率有着必然的联系,码宽和码出现的概率就成正比关系,可以认为码宽对应着码子密度。于是对码宽的计算可以转化为对码字出现的概率(码字密度)的计算机。

实际 ADC 的码密度可以用统计的方法得出,码密度法就是通过对密度的统计来计算 ADC 的静态指标。

码密度法统计的对象一般选择正弦波,因为正弦波与其他波形相比较具有如下优点:(1)正弦波在时域和频域都有精确的定义;(2)对正弦波进行频谱分析很容易;(3)正弦波频率成分单一,便于测试 ADC 频率响应的精确信息;(4)正弦波容易产生,失真小,几乎可以达到理想的波形。

码密度统计的原理如下:

对于正弦输入信号 $V = A \sin \omega t$, 其电压的概率密度为

$$p(V) = \frac{1}{\pi \sqrt{A^2 - V^2}} \quad (4-11)$$

样本在电压区间 (V_a, V_b) 的概率为

$$P(V_a, V_b) = \int_{V_a}^{V_b} p(V) dV = \frac{1}{\pi} \left(\arcsin \frac{V_b}{A} - \arcsin \frac{V_a}{A} \right) \quad (4-12)$$

为了使 ADC 静态性能的测试精度以 $(1 - \alpha)\%$ 的可信度控制在 $\pm \beta \text{LSB}$ 以内,采样的样本总数 N_t 需要满足:

$$N_t \geq \frac{Z_{\alpha/2}^2 \pi 2^{n-1}}{\beta^2} \quad (4-13)$$

其中, $F(Z) = \int_{-x}^{+\infty} \frac{1}{\sqrt{2\pi}} e^{-t^2} dt$ 。

码密度法的测试流程如图 4-15 所示：

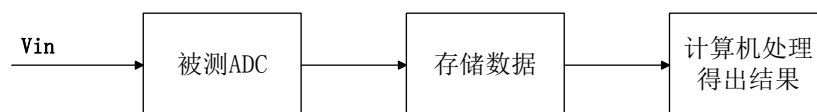


图 4-15 码密度法的测试流程图

其中计算机数据处理流程如图 4-16 所示：

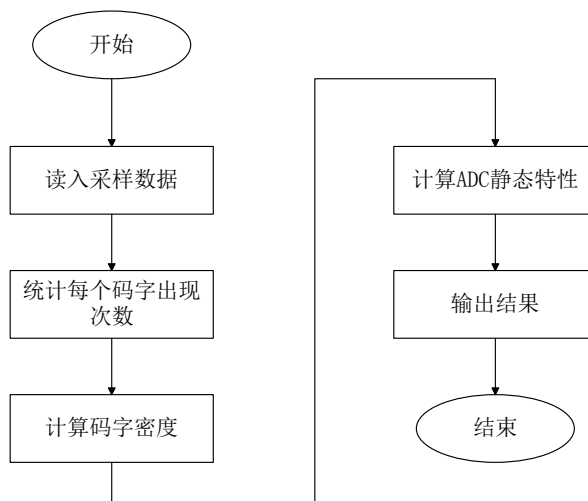


图 4-16 码密度法计算机数据处理流程

4.5.2 FFT 频谱分析法

FFT 频谱分析是测试 ADC 的动态指标的通用方法，其理论依据是离散傅里叶变换 DFT，DFT 的定义如下：

$$X(m) = \sum_{n=0}^{N-1} X(nT) e^{-2j\pi nm/N} \quad (4-14)$$

其中， T 是 ADC 的采样时间， $n = 0, 1, 2 \dots N - 1, 0 \leq m \leq N - 1$ 。FFT 为 DFT 的快速算法。

与码密度法相比较，FFT 频谱分析法具有测试点数较少、测试时间短的特点。FFT 频谱分析法的流程如图 4-17 所示：

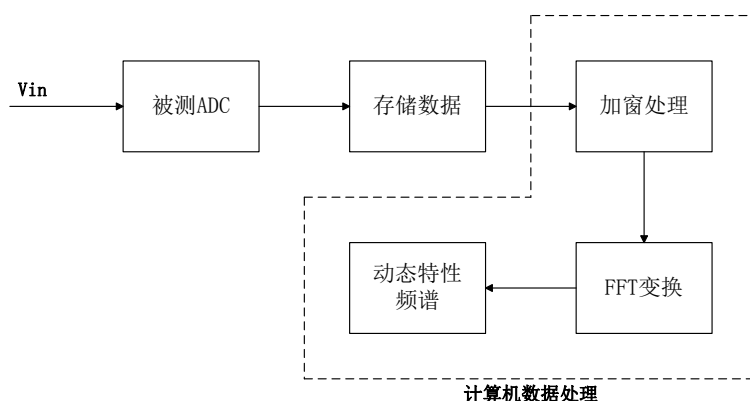


图 4-17 FFT 频谱分析法流程图

4.5.3 14 位流水线 ADC 行为级模型的动态性能测试结果

在不引入误差的情况下，所搭建的模型为 14 位的理想流水线 ADC，其动态性能测试结果如图 4-18 左图所示。

在流水线 ADC 的行为级模型中设置误差参数（运放增益为 1000，比较器失调误差 0.1，电容失配 0.01）时，对其进行性能测试结果如图 4-18 右图所示。

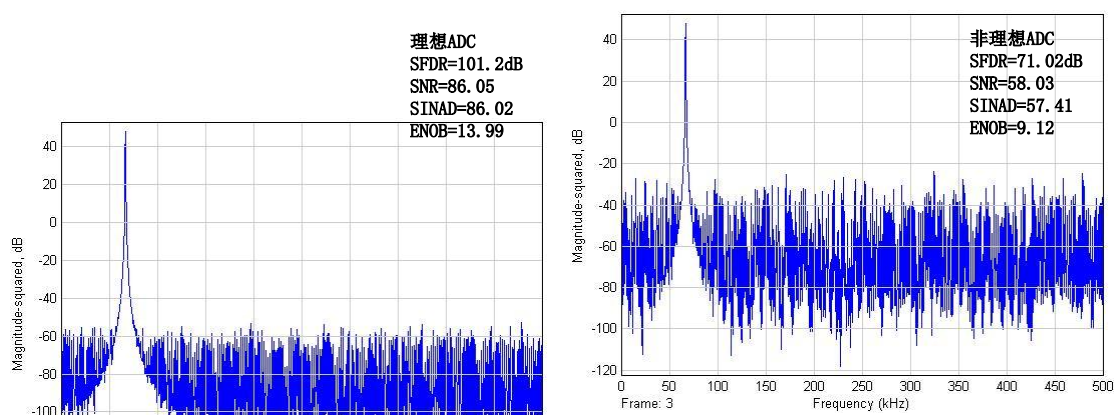


图 4-18 14 位流水线 ADC 模型的动态指标

比较误差引入前后的性能测试结果可以看出，由于误差的引入，流水线 ADC 的动态性能明显地下降，其中 SFDR 指标从 101.2dB 降低到了 71.02dB。ADC 的静态性能可以通过数字校准技术进行改善，动态性能可以通过 Dither 技术进行改善。在下一章本文将从仿真的角度说明窄带 Dither 算法对流水线 ADC 的 SFDR 指标的改善情况。

第五章 流水线 ADC 的窄带 Dither 算法仿真与改进

如前面理论所述，Dither 是一种噪声，在 ADC 的输入信号中引入 Dither 噪声能够有效的提高 ADC 的 SFDR（无杂散动态范围）参数和分辨率（1LSB）。在研究中，对于一种好的 Dither 算法，则必须解决两个方面的问题：

- 引入的 Dither 噪声能够有效提高 ADC 的 SFDR 性能
- 能够在引入 Dither 后防止信号溢出

本章首先设计了窄带 Dither 算法的仿真系统，然后对窄带 Dither 对 ADC 的 SFDR 性能的改善情况进行了全面的仿真分析，并在此基础上对传统窄带 Dither 的产生方式进行了改进，避免窄带 Dither 产生过程中对模拟低通/带通滤波器的依赖。经仿真验证，改进后的窄带 Dither 依然能够有效地对 ADC 的 SFDR 性能进行改善。最后，对于引入 Dither 幅度较大时，信号可能溢出的问题，本章针对流水线结构的 ADC 和一般的 ADC，分别提出了解决方法并通过仿真验证了两种方法的有效性。

5.1 仿真系统的设计

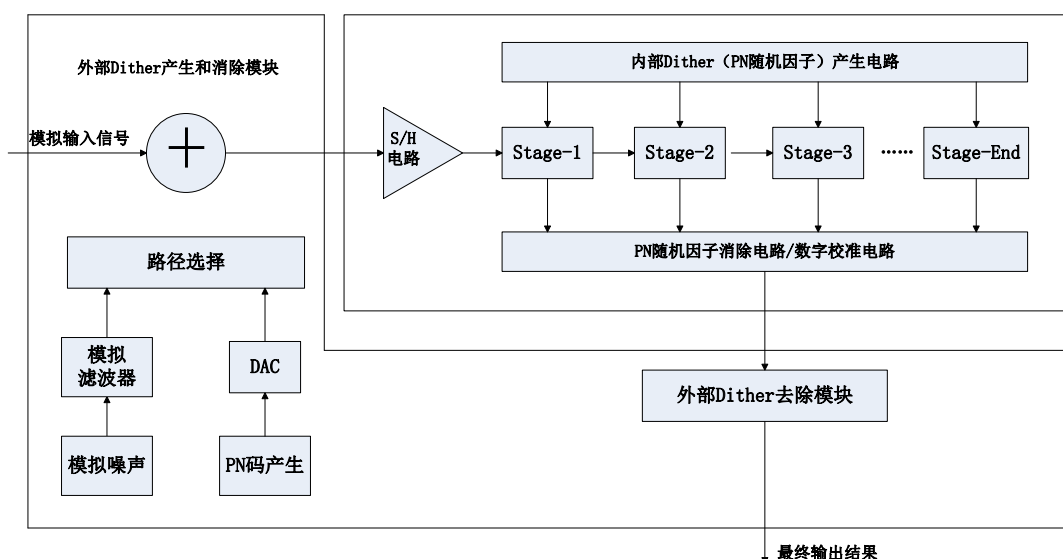


图 5-1 仿真系统方案

ADC 的仿真系统方案如图 5-1 所示，图中，ADC 采用 Simulink 环境下搭建的

ADC 行为级模型。Dither 噪声的产生和去除模块存在于 ADC 系统的外部和内部，可以实现窄带 Dither、宽带 Dither 和内部 Dither 的仿真，本文将主要用到窄带 Dither 的仿真部分。

仿真过程中，通过 ADC 行为级模型内部参数的设置选择理想条件或非理想条件，只增加窄带噪声的产生和去除模块，验证引入 Dither 前后 ADC 的 SFDR 指标的提升情况。

5.2 仿真环境与参数的设置

开始仿真前，需要在 Configuration Parameters/Solver 页对主要的仿真参数进行，选用固定步长仿真，步长设置为 10^{-7} ，如图 5-2 所示。这是由于所搭建的流水线 ADC 模型的采样频率为 1MHz，为了使模型内部的充电放电模块有足够的时间运行，需要仿真的步长小于 10^{-6} 。

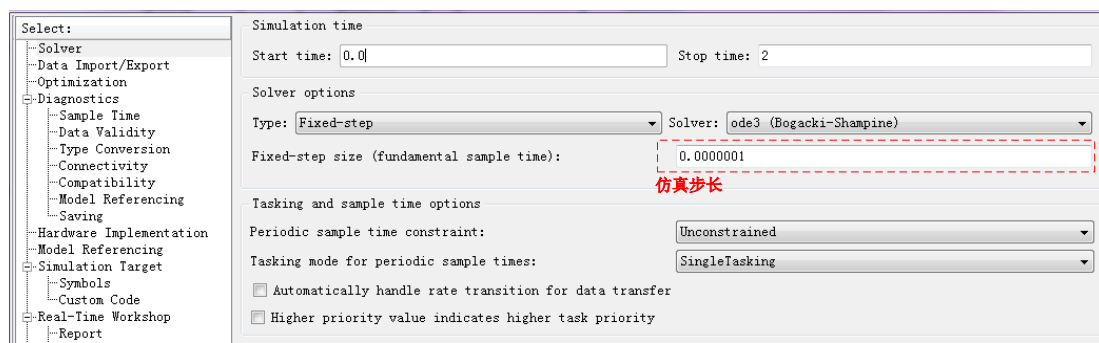


图 5-2 仿真参数设置

由于设置的仿真步长为 ADC 模型的 1/10，必然会多出数据点，需要搭建仿真结构的时候在 ADC 的数字输出端加上 1 个下采样模块，如图 5-3 所示。

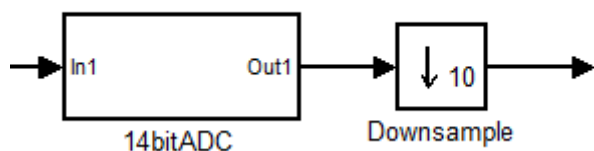


图 5-3 ADC 模型与下采样模块

5.3 各种窄带 Dither 的仿真与结果分析

5.3.1 窄带 Dither 结构及仿真

窄带 Dither 是一种相对比较容易实现的 Dither，只需要在 ADC 的输入信号频带外加入一个 Dither 信号。随着输入信号频带的不同，引入的 Dither 信号频率范围也会不同，一般来说，引入的 Dither 信号频率通常会在位于 DC 附近的低频处或者位于 $F_s/2$ 频率附近的高频处。从实现的角度来看，要产生 $F_s/2$ 频率附近的高频 Dither 信号，需要一个中心频率很高但通带较窄的高通滤波器，只能采用无源滤波器，而且滤波器性能不会很好。因此，一般窄带 Dither 都会用低通滤波器来实现 DC 附近的低频 Dither 信号。但是，若输入信号是音频信号，由于该信号有低频成分，则引入的 Dither 信号的频率范围则只能在 F_s/s 频率附近。

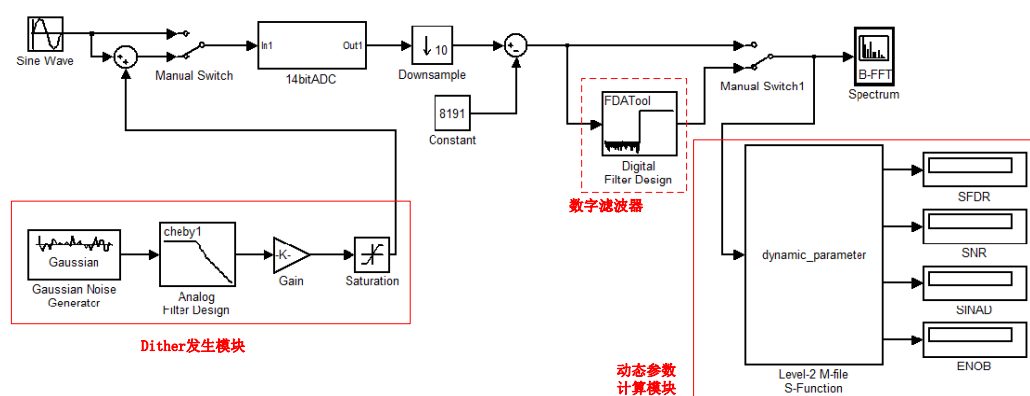


图 5-4 窄带 Dither 仿真结构

图 5-4 为窄带 Dither 的仿真结构，图中 Dither 发生模块由 Gaussian Noise Generator 模块直接产生高斯噪声信号，经 Analog Filter Design（模拟滤波器）滤出所需带宽的噪声（本结构中模拟 Dither 的带宽为 1.5KHz，如图 5-5 所示），最后 Dither 经 Gain 模块放大后再通过 Saturation 做一个限幅处理后与输入信号叠加。产生的 Dither 为带宽 1.5KHz 的高斯噪声。

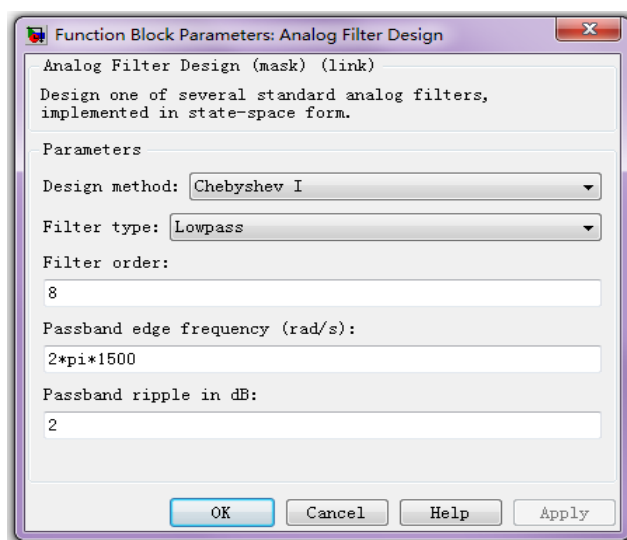


图 5-5 模拟滤波器模块设置

数字滤波器部分直接用 FDATool (Filter Design and Analysis Tool) 工具进行设计。FDATool 是 Matlab/Simulink 自带的数字滤波器分析设计工具, 功能非常强大, 利用它可以十分方便的设计各种性能指标的数字滤波器。FDATool 的参数设置如图 5-6 所示:

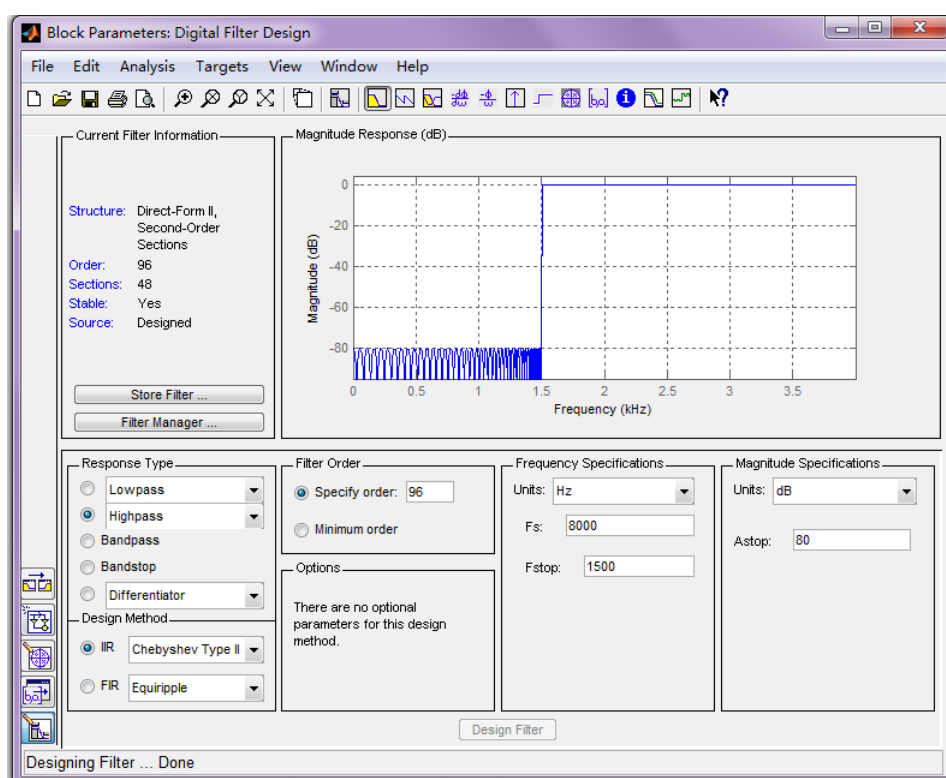


图 5-6 FDATool 设置

dynamic_parameter 模块是一个自定义的 S 函数,其作用是计算 ADC 的动态参数 (SFDR、SNR、SNIAD、ENOB)。该模块对每 N 个 (仿真时选用 16384 个) 数据进行一次计算,并对每次计算的结果进行求平均输出。程序的主要步骤如下:

(1) 存储 ADC 的输出数据。以移位寄存的方式进行数据存储,并更新计数器。data_storage(2:N) = data_storage(1:N-1); data_storage(1) = data; counter1 = counter1 + 1;

(2) 判定计数器 counter1, 小于 N 则返回; 大于或等于 N 则进行动态参数的计算。

(3) 计算 ADC 的动态参数。

(4) 存储计算结果 (以累加的形式进行存储, 方便后面计算平均值), 更新级数器 counter2 (counter2 表示存储结果的个数)。

(5) 计算平均值并输出。

其中计算 ADC 动态参数的主要代码如下:

```
% add window
data_window = data_storage(1:N).*hann(N);
% calculate the N points FFT
spec = fft(data_window);
% recalculate to dB
spec_dB = 20*log10(abs(spec(1:N)));
% define the span of the fin and harmonics
span = max(round(N/200),5);
span_har = max(round(N/1000),4);
% find out the signal and its location in the FFT spectrum
maxdB = max(spec_dB(span:N/2));
fin = find(spec_dB(span:N/2)==maxdB);
fin = fin + span -1;
% find out the second max spurious
max2dB1 = max(spec_dB(span:fin-span));
max2dB2 = max(spec_dB(fin+span:N/2));
max2dB = max(max2dB1,max2dB2);
% calculate the power spectrum
spec_power = (abs(spec)).^2;
% define two vectors to store the frequency and power of harmonics
F_har = [];
P_har = [];
% find the harmonics' frequency and power in the FFT spectrum
for num =1:10
```

```

har = rem((num*(fin-1)+1)/N,1);
if har > 0.5
    har = 1 - har;
end
har_peak =
max(spec_power(round(har*N)-span_har:round(har*N)+span_har));
har_bin =
find(spec_power(round(har*N)-span_har:round(har*N)+span_har));
har_bin = har_bin + round(har*N) - span_har - 1;
P_har = [P_har sum(spec_power(har_bin-1:har_bin+1))];
end
% calculate the total distortion power from 2rd to 10th
Pdis = sum(P_har(2:10));
% calculate the offset errors power
Pdc = sum(spec_power(1:span));
% calculate the signal power
Ps = sum(spec_power(fin-span:fin+span));
% calculate the noise power
Pn = sum(spec_power(1:N/2)) - Ps - Pdc - Pdis;
% calculate the SFDR, SNR, SINAD and ENOB
SFDR = maxdB - max2dB;
SNR = 10*log10(Ps/Pn);
SINAD = 10*log10(Ps/(Pn+Pdis));
ENOB = (SINAD-1.76)/6.02;

```

5.3.2 窄带 Dither 仿真结果分析

5.3.2.1 理想 ADC 的仿真结果分析

仿真结构中的 ADC，如果不引入误差，即为一个 14 位的理想流水线 ADC（1MSPS），输入幅度为 0.92，频率为 67kHz 的正弦信号，并引入频带宽度为 0~1.5kHz 的 Dither，记录仿真结果如表 5-1 所示：

表 5-1 理想 ADC 仿真结果

Amplitude of Dither	SFDR(dB)
0.00000	100.9
0.00002	102.4
0.00005	104.6
0.00010	106.1

0.00012	106.5
0.00015	106.5
0.00020	106.5
0.00050	106.7
0.00100	106.7

注 1：对于该 14 位流水线 ADC 模型，1LSB=0.000122。

注 2：仿真 5,000,000 个点，FFT 计算取点为 16384 个，计算 SFDR 时多次计算取平均值。

由于理想 ADC 只有量化所产生的误差，一个幅度小于 1LSB 的 Dither 就足以使得一个点的采样值跳过量化台阶，从而使采样值变得随机化。因此，在 ADC 中引入一个很小幅度的 Dither 就能够产生很好的效果。如表 5-1 所示，在理想 ADC 中引入幅度接近 1LSB 的 Dither 就能够很好的改善其 SFDR 性能，以后引入更大幅度 Dither 并不能使 SFDR 性能得到更大的改善。

5.3.2.2 非理想 ADC 的仿真结果分析

对仿真结构中的 ADC 引入一定误差（误差设置为比较器失调 0.01，电容失配 1%，开环增益 38 倍），输入幅度为 0.92，频率为 67kHz 的正弦信号，并引入频带宽度为 0~1.5kHz 的 Dither，记录仿真结果如表 5-2 所示：

表 5-2 非理想 ADC 仿真结果

Amplitude of dither	SFDR(dB)
0.000	71.58
0.005	71.63
0.010	72.13
0.015	72.68
0.020	73.85
0.030	76.53
0.040	78.40
0.050	79.40
0.060	79.25
0.070	79.35

注 1：对于该 14 位流水线 ADC 模型，1LSB=0.000122。

注 2: 仿真 5,000,000 个点, FFT 计算取点为 16384 个, 计算 SFDR 时多次计算取平均值。

对于带有误差的 ADC, 由于误差的引入必然改变 ADC 的微分非线性(DNL), 一方面使 ADC 的 DNL 不再像理想状态一样为 0, 另一方面使 DNL 带有周期性, 而要改善 DNL 引起的谐波失真, 必须要用大幅度的 Dither。如表 4-2 所示, 虽然引入 Dither 后 ADC 的 SFDR 性能有了明显的改善, 但需 Dither 幅度很大, 小幅度的 Dither 对 SFDR 性能的改善很不明显。

表 5-2 还显示, 随着 Dither 幅度的增大, 动态性能的改善越好。但是当 Dither 增加到一定幅度后, 继续增大 Dither 的幅度, ADC 动态性能的改善就不太明显了。这是因为当 Dither 的 RMS 大于 ADC 的 DNL 的循环周期后, 增大 Dither 对 DNL 周期性所引起的误差不会再有太大的改善。

5.3.2.3 Dither 信号大小的影响仿真分析

DNL 定义的是 ADC 的实际传输曲线上的每个实际码宽与 1LSB 的差, 在流水线结构的 ADC 中, DNL 会呈现周期性重复出现的特性, 体现在量化过程中会引起谐波出现。

大幅度 Dither 的作用是使输入信号原本某个点固定的采样值变得随机化, 并且可能跳过 DNL 循环的周期, 从而改善 ADC 的 DNL 周期性所引起的谐波失真, 当 ADC 的 DNL 循环周期较长时, 所需的 Dither 幅度会较大一些。

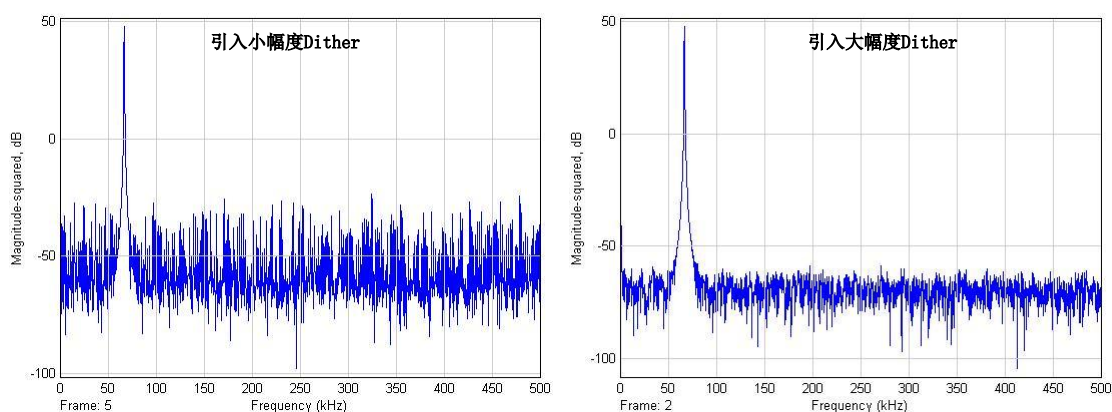


图 5-7 大幅度 Dither 消除 DNL 周期性引起的谐波

在仿真过程中, 通过修改各输出码的实际码宽即量化的台阶大小, 从而产生具有不同周期性 DNL 的 ADC, 再引入小幅度的 Dither 来消除量化产生的谐波, 则剩下的谐波即为 DNL 所引起的。这时可以引入大幅度 Dither 来观察 Dither 对

DNL 所引起的谐波失真的改善效果。如图 5-7 所示, 图中左图为引入小幅度 Dither 后的频谱图, 右图为引入大幅度 Dither 的频谱图。可以看出, 仅仅引入小幅度的 Dither, 频谱图像中仍然存在许多谐波, 而引入大幅度 Dither 后, 谐波都基本消除了。

5.3.2.4 窄带 Dither 的频带宽度是否影响 SFDR

窄带 Dither 的频带限于 DC 附近或者 $F_s/2$ 附近, 为了分析窄带 Dither 的不同频带宽度是否对 ADC 的 SFDR 性能有不同的改善, 对 ADC 输入幅度为 0.92, 频率为 67kHz 的正弦信号, 并引入不同频带宽度的 Dither, 记录仿真结果如表 5-3 所示:

表 5-3 不同频带的窄带 Dither 仿真结果

Frequency of Dither	0~1.0kHz	0~1.5kHz	0~2.0kHz	Broadband
Amplitude of Dither	SFDR(dB)	SFDR(dB)	SFDR(dB)	SFDR(dB)
0.000	71.58	71.58	71.58	71.58
0.005	71.62	71.63	71.63	71.62
0.010	72.10	72.13	72.14	72.16
0.015	72.67	72.68	72.68	72.68
0.020	73.85	73.85	73.84	73.88
0.030	76.55	76.53	76.50	76.54
0.040	78.35	78.40	78.39	78.37
0.050	79.41	79.40	79.44	79.40
0.060	79.42	79.25	79.45	79.48
0.070	79.45	79.35	79.40	79.50

由表 5-3 可见, 引入不同带宽的窄带 Dither, 对 ADC 的性能的改善基本相同。这是因为窄带 Dither 作为加性 Dither 的一种, 是通过改变输入信号的幅度来使 ADC 的采样值与输入信号的原值变得不相关, 从而达到量化误差与输入信号不相关的目的, 进而改善 ADC 的 SFDR 性能。因而, 窄带 Dither 同宽带 Dither 一样, 对 SFDR 性能的改善效果主要是由其幅度决定的, 与频率分布没有必然的联系。

5.3.2.5 窄带 Dither 仿真总结

根据上述仿真结果及分析, 可以对窄带 Dither 总结出以下几点:

A) ADC 量化的过程中, 存在量化引起的误差和 DNL 引起的误差, 两者反应

在数字输出的频谱上会产生许多谐波分量。

B) Dither 对量化引起的谐波失真和 DNL 引起的谐波失真都具有很好的改善作用, 其中改善量化引起的谐波失真只需要幅度小于 1LSB 的 Dither 即可, 而改善 DNL 引起的失真需要幅度较大的 Dither。在这个过程中, Dither 的作用是打破输入信号与采样频率的关系, 打乱 DNL 的周期性规律, 使得输入信号与量化误差变得不相关, 从而使量化误差均匀地分布到整个频谱中, 而量化噪声更相当于一种白噪声, 提高 ADC 的 SFDR 性能。

C) 改善 SFDR 性能所需的 Dither 幅度大小与 ADC 的 DNL 有关, 具体说是与周期性 DNL 的循环周期大小有关。

D) 窄带 Dither 和宽带 Dither 都可以改善 ADC 的 SFDR 指标, 两者的改善效果基本相同。窄带 Dither 的频带宽度对其改善 ADC 的 SFDR 性能没有太大的影响。

5.3.3 改进的窄带 Dither 结构

前面所描述的窄带 Dither 结构是先产生宽带的噪声, 然后用低通滤波器或带通滤波器滤出期望带宽内的噪声。这是一种传统的窄带 Dither 噪声产生方式, 这种方式产生的 Dither 信号的频率由设计的模拟滤波器来限制, 要改变 Dither 信号的频率只能重新设计新的滤波电路, 所以难以应对频率范围不同的输入信号。而且对于高分辨率的系统, 其信噪比难免会受到 Dither 电路的影响。

针对上述问题, 这里提出了一种新的窄带 Dither 结构, 能够直接产生一定带宽范围内的 Dither 信号, 其原理如图 5-8 所示。这种结构是首先通过噪声发生器产生均匀分布的噪声 (也可以为了更容易实现而选择高斯噪声), 然后将该噪声先后通过放大电路和限幅电路, 之后与一个直流信号叠加后再通过一个 VCO, VCO 的输出即为所需的 Dither 噪声。这种结构的好处是可以通过调整 DAC 的输入来改变 Dither 信号的中心频率, 通过调整限幅器的来改变 Dither 的频带宽度。

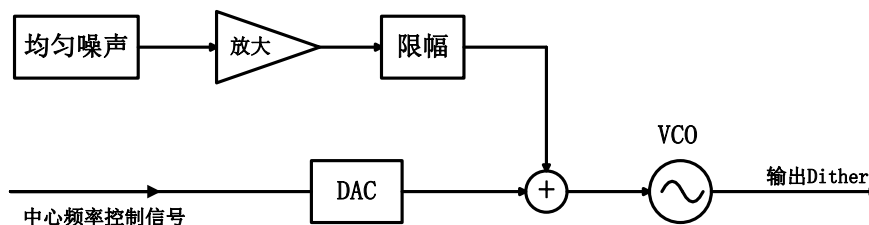


图 5-8 改进的窄带 Dither 原理框图

按照上面的原理, 在 Simulink 中搭建仿真结构如图 5-9 所示:

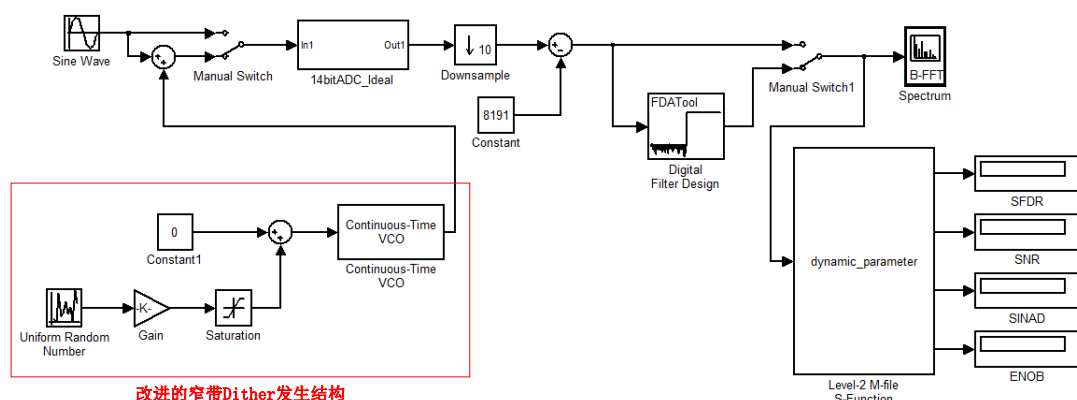


图 5-9 改进的窄带 Dither 仿真结构

在非理想的流水线 ADC 行为级模型中输入信号为幅度为 0.92 频率为 67kHz 的 Sine 信号, 引入 Dither 幅度为 0.02 频率为 0~1.5kHz 的时候, 改进的窄带 Dither 结构仿真结果如图 5-10 所示。由图可见, 引入改进的窄带 Dither 后, ADC 输出结果的频谱图中的谐波依然减少了, 其 SFDR 性能有 9dB 的提高, 说明这种 Dither 也能够有效改善 ADC 的 SFDR 性能。

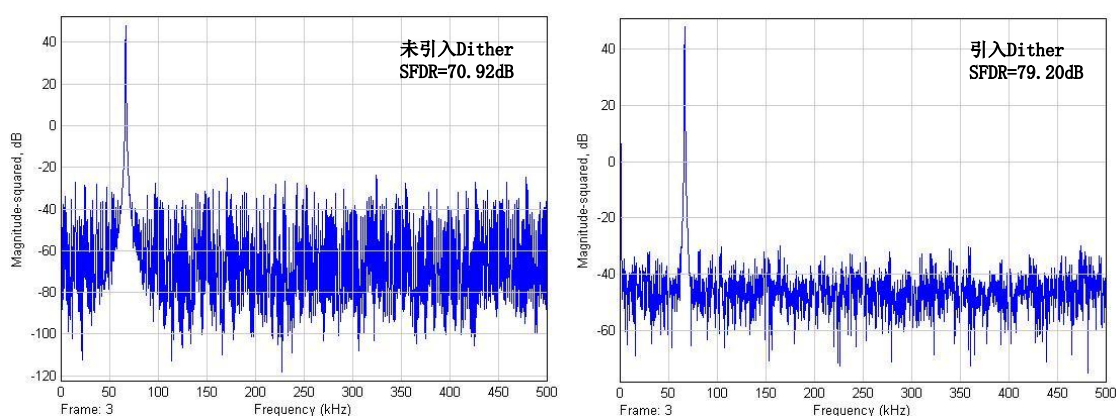


图 5-10 改进的窄带 Dither 仿真结果

5.4 防止引入 dither 后信号溢出方案与仿真

Dither 噪声虽然能够很好地改善 ADC 的动态范围参数, 但由于在实际应用中所引入的 Dither 大都为大幅度的 Dither (宽带或窄带), 其幅度随着 DNL 周期性的不同而有所不同, 一般为几十个 LSB。引入大幅度 Dither 的一个缺点是当输入信号幅度较大时, 输入信号与 Dither 信号相加有可能会造成溢出。

目前关于 Dither 的研究涉及到防止引入 Dither 后防止信号溢出等相关方面比

较少, 本文结合流水线 ADC 的特点提出一种适于流水线 ADC 的防止溢出方案, 另外提出一种适用于一般 ADC 的方案, 并对这两种方案分别进行了仿真验证。

5.4.1 改变流水线 ADC 内部残差的方法

对于流水线 ADC 来说, 根据其分级量化输出的特点, 可以通过对其残差曲线的上移或下移来给后级的量化输出过程留出一定的空间来引入 Dither。

流水线 ADC 的子级残差曲线如图 5-11 图 5-11 所示, 此处以 3bit 的子级为例。

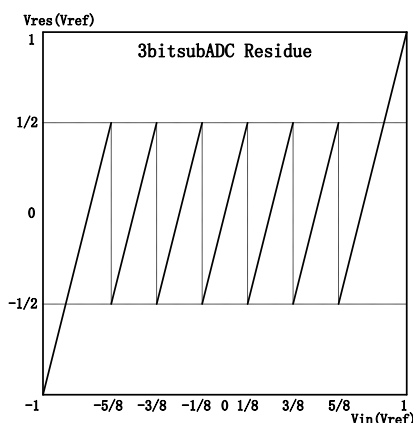


图 5-11 3bit subADC 残差曲线

显然, 仅仅当 V_{in} 接近最大幅度 (± 1) 的时候引入 dither 可能导致溢出, 而 V_{in} 接近 ± 1 时 subADC 的输出码为 000/110, 可以根据 subADC 的输出很容易判断出可能溢出的区域, 从而通过将残差图上该区域的残差曲线上移或下移来防止引入 Dither 后发生溢出。

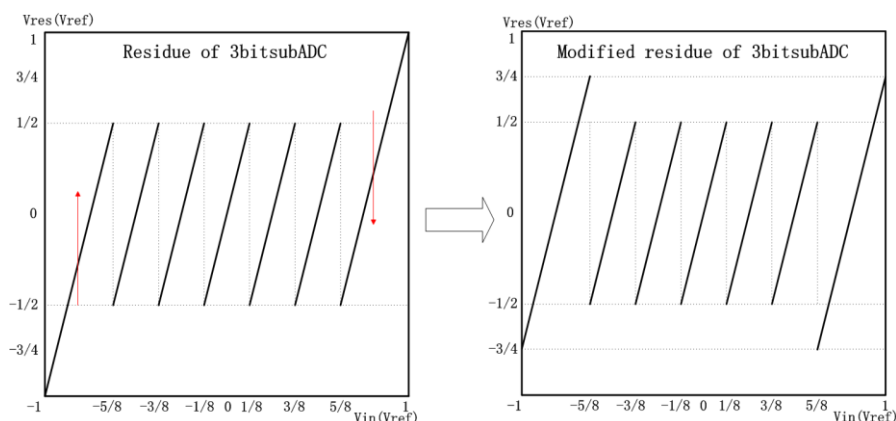


图 5-12 3bit subADC 残差改变示意图

由图 5-12 可见, 在改变残差曲线后, 在即使输入信号达到最大幅度, 也会有

一定的幅度空间来引入 Dither, 引入这个幅度范围内的 Dither 不会导致溢出。而且, 即使在该级之前引入 Dither, 虽然输入信号加上 Dither 的总幅度超过了该级 ADC 的量程, 但由于该级输出仅仅是整个 ADC 输出的一部分 (与后级相比是高位 的输出), 但在级后对残差曲线进行上移或下移处理后, 其残差作为后级的输入并不会超过后级的量程, 如图 5-13 所示。以此类推, 这种改变残差的方法如果放在第一子级后, 那么即使在流水线 ADC 的输入端引入一定幅度的 Dither, 也不会发生溢出情况。

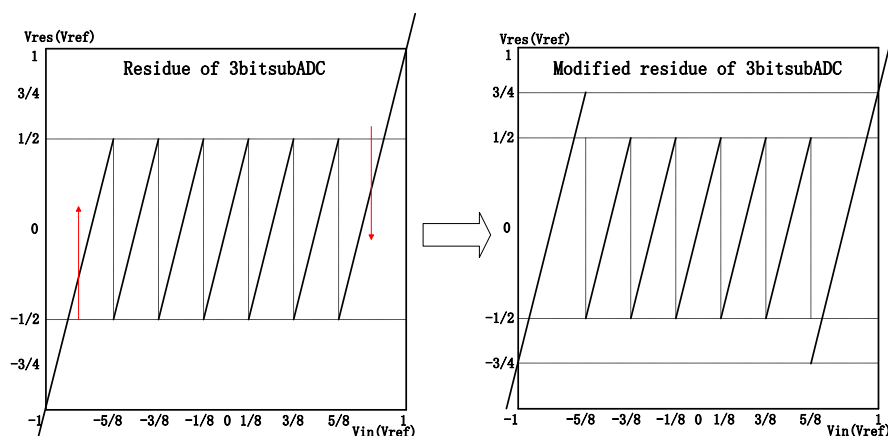


图 5-13 子级前引入 Dither 的残差改变示意图

对于上面的残差改变方案, 若对第一级的 subADC 输出残差进行改变, 则 3bit 的子级可以引入 $V_{max}/16$ 的 Dither 不发生溢出, 4bit 的子级可以引入 $V_{max}/32$ 的 Dither 不发生溢出。

为了验证上述方案的是否可行, 需要对所搭建的 PipelineADC 行为级模型进行修改, 在第一子级后增加改变残差模块, 如图 5-14 所示。

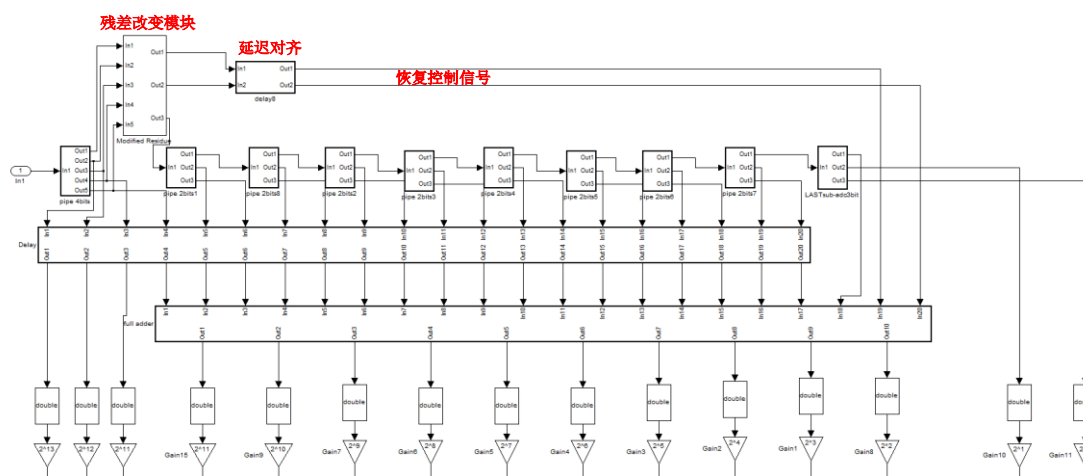


图 5-14 增加残差改变模块后的流水线 ADC 行为级模型

图 5-14 中, 虚线方框部分为改变残差的模块, 其结构图 5-15 所示。图中 2、3、4、5 输入为流水线第一级的输出码, 从高位到低位一一对应。1、2 输出组合在以前作为恢复时判定残差改变的方式, 共有三种情况: 下移改变对应 10, 上移改变对应 00, 未改变对应 01 和 11。

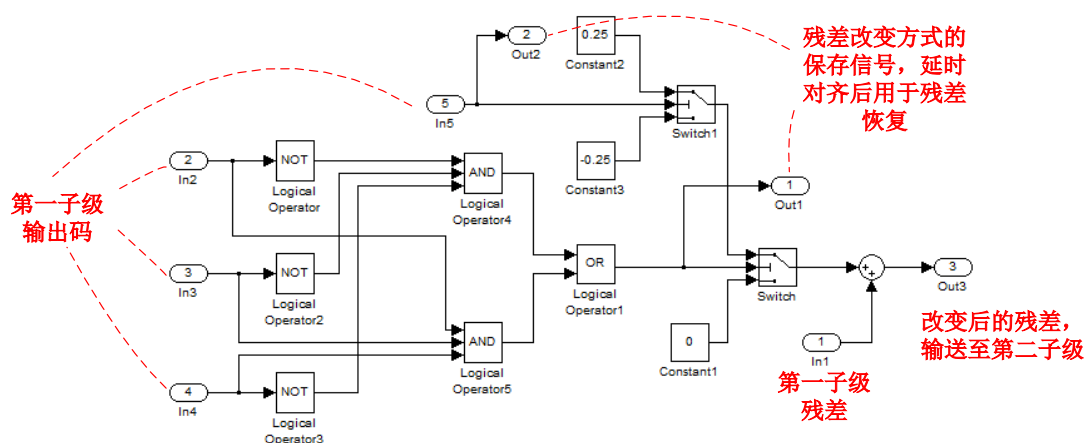


图 5-15 残差改变模块

流水线 ADC 的模型中, 最后数据的输出是将各个子级的输出通过两个级别的全加器而得出的 (第一个级的全加器用于前后级的相互校准), 详细请见第三章关于流水线 ADC 行为级建模的描述。于是可以将流水线 ADC 的第二级至最后一级看成一个完整的流水线 ADC, 而第一级的残差就是这个 ADC 的输入信号, 这样残差改变的过程实际上就是使这个 ADC 的输入信号变大或变小四分之一最大量程的过程, 利用这点很容易对残差改变进行恢复。

恢复残差改变的时候, 先得出第二级至最后一级的输出, 将残差恢复后再与第一级的输出进行相加, 过程中要考虑第一级的低位和第二级的高位是相互校准的关系。实际的流水线 ADC 是各 bit 位分别输出, 没有相加的过程, 只需对相应的各 bit 位进行改变即可。

由于所搭建的流水线 ADC 第一子级 C 为 4bit, 如前所分析, 应该可以引入 0.03125 幅度的 dither 而不会发生溢出。为验证改变残差的方案是否能够防止引入 Dither 后发生溢出, 可以在输入一个幅度为 0.99 的信号并叠加幅度为 0.03 的 Dither 噪声, 通过检测 ADC 输出最大码和最小码的个数来判断该方案的有效性。

当输入信号为 sine 信号时, 仿真结果如表 5-4 所示:

表 5-4 防止溢出仿真结果

信号类型	输出 0 和 16383 的总个数	
正弦	100,000	0
直流		0

由上面的仿真结果可以看出, 尽管输入信号加上 Dither 的幅度(最大值为 1.02)可能超过 ADC 的量程(为 1), 但 ADC 的输出结果中并没有最大码 16383 和最小码 0 出现, 说明上述改变残差的方案的确能够有效地防止在输入信号中引入 Dither 后发生溢出。

在理想流水线 ADC 的行为级模型中输入幅度为 0.99 的 sine 信号并引入幅度为 0.03 的 Dither 信号的情况下, 分析 Dither 对改变残差后的 ADC 的 SFDR 性能的影响, 仿真结果如所示。

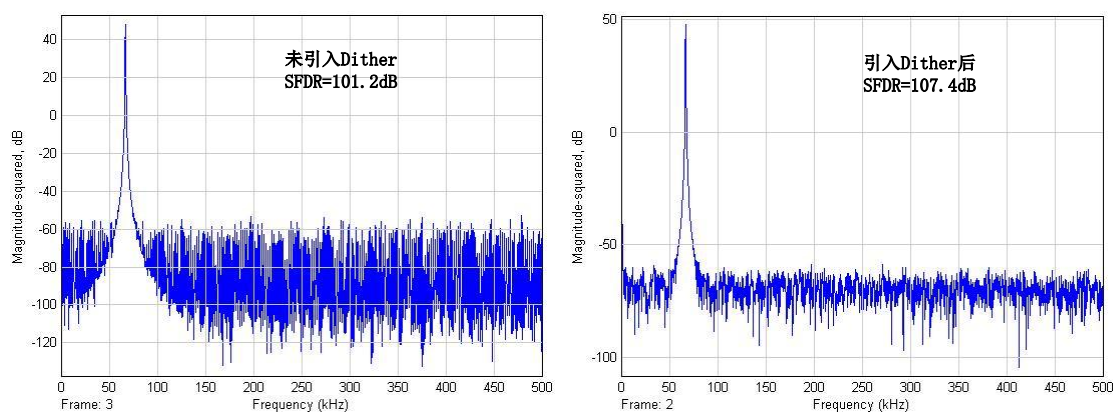


图 5-16 Dither 对改变残差后的 ADC 的 SFDR 性能的改善

5.4.2 外部预判 Dither 幅度的方法

改变 ADC 内部残差的方法虽然能够很好的解决引入 Dither 后信号溢出的问题, 但是只适用于流水线 ADC, 而且需要在流水线 ADC 的结构中添加新的模块, 其实现的可行性尚需经过实践的检测。

对于一般的 ADC 来说, 要防止引入 Dither 后信号发生溢出, 只能够在外部添加新模块来实现。最常见的方法就是预判输入信号的幅度, 根据输入信号幅度的不同而引入不同的 Dither, 使得引入的 Dither 能够随着输入信号幅度的不同而自适应的产生。

对输入信号幅度的判断, 可以在 ADC 的输入端通过对模拟输入信号的比较来实现, 也可以在 ADC 的输出端判断数字输出信号的大小来实现。在输入端实现判断的结构原理如图 5-17 所示:

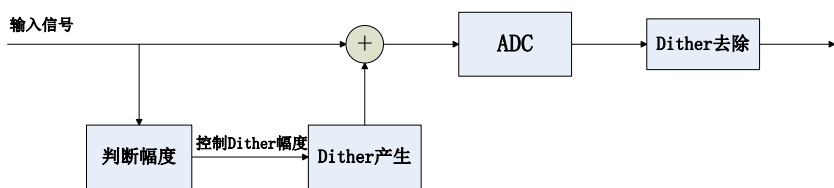


图 5-17 输入信号幅度判断原理图

其中判断幅度模块的仿真结构可以用几个比较器进行实现，建模如图 5-18 所示，图中左边的结构可以将输入信号的幅度分为 3 种情况，并产生相应的幅度控制信号，用以控制 Dither 的产生。当输出为 11 时，表示输入信号的幅度大于 0.75Vmax，控制 Dither 的产生模块生成幅度为负或 0 的 Dither 信号；当输出为 01 时，表示输入信号的幅度在 0.75Vmax 与 -0.75Vmax 之间，产生正常幅度的 Dither 信号；当输出为 00 时，表示输入信号的幅度小于 -0.75Vmax，产生幅度为正或 0 的 Dither 信号。其中，当输入信号幅度大于 0.75Vmax 时，对于产生的 Dither 信号为负或 0 通过一个 1bit 的 PN 随机码进行控制，当 PN 码为 1 时产生的 Dither 为负，PN 码为 0 时 Dither 为 0；输入信号幅度小于 -0.75Vmax 同样结合 PN 码决定 Dither 的产生。详细的判决方式如表 5-5 所示。当需要对输入信号的幅度进行更细划分的时候，可以增加比较器进一步细分。

表 5-5 Dither 幅度判决表

Dither 控制信号	PN=1	PN=0
11	负	0
01	正负	正负
00	0	正

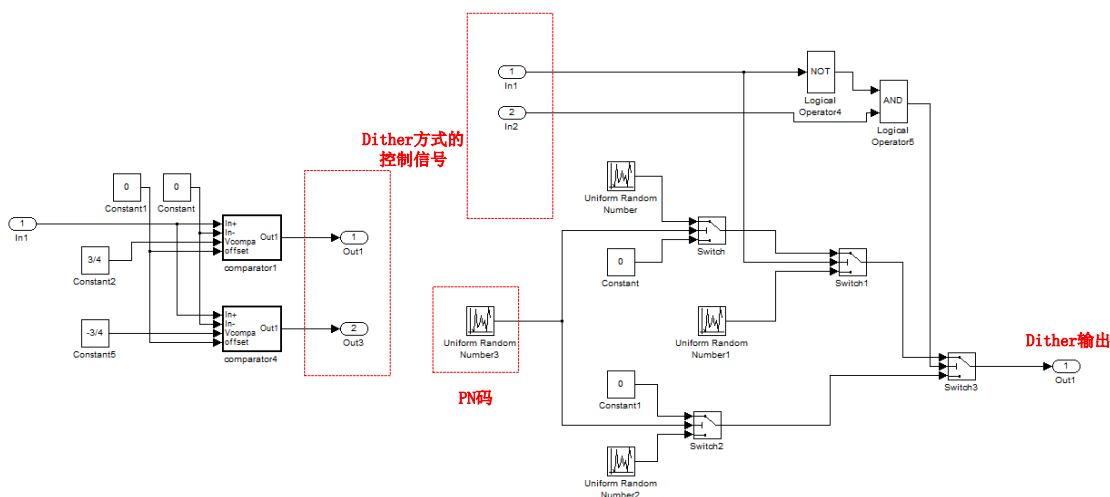


图 5-18 输入信号幅度判断模块和 Dither 产生模块

当输入信号为正弦信号的时候,上述模块产生的 Dither 信号时域波形如图 5-19 图所示。虽然产生的 Dither 信号总体上有一定的重复性,当由于对所有点来说, Dither 信号都是随机产生的(图中 Dither 为均匀分布的随机噪声),它与输入信号之间也没有相关性。因此这种 Dither 能够有效改善 ADC 的 SFDR 性能。

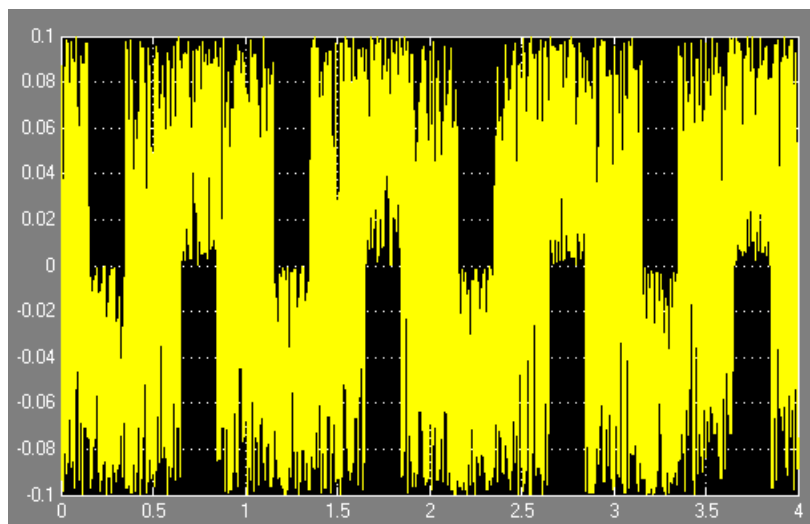


图 5-19 正弦信号对应的 Dither 时域波形

第六章 流水线 ADC 的窄带 Dither 验证板的设计

为了对窄带 Dither 理论和仿真情况进行验证,本章设计了窄带 Dither 的验证电路板。该系统以 AD9235 为目标 ADC,带有窄带 Dither 的产生电路,去除 Dither 的数字滤波器用 FPGA 进行实现,并能够将 ADC 量化的输出数据通过串口导入 PC 机进行分析处理,实现对引入 Dither 前后的 ADC 静态性能和动态性能的测试,从而分析验证窄带 Dither 对 ADC 动态性能提升的实际应用。

6.1 验证板的总体结构

验证板的总体结构如图 6-1 所示,选用的目标 ADC 为 ADI 公司的 AD9235(12 位),数字端处理用 FPGA 实现(选用芯片为 Altera cyclone II),最终产生的数据以串口的形式导入电脑。

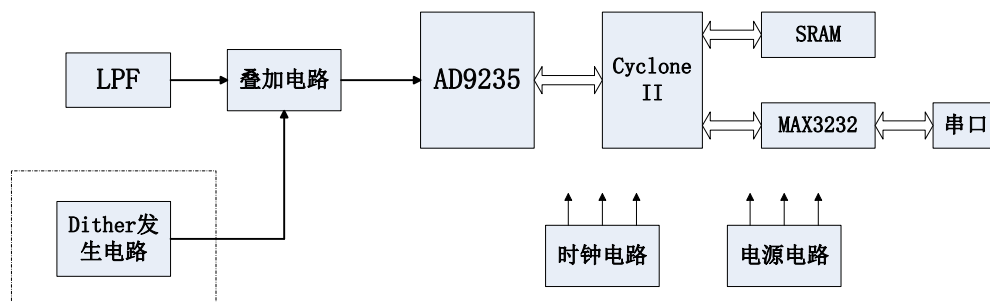


图 6-1 验证板总体结构

6.2 Dither 发生电路设计

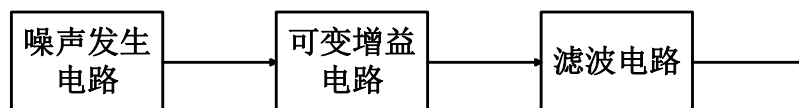
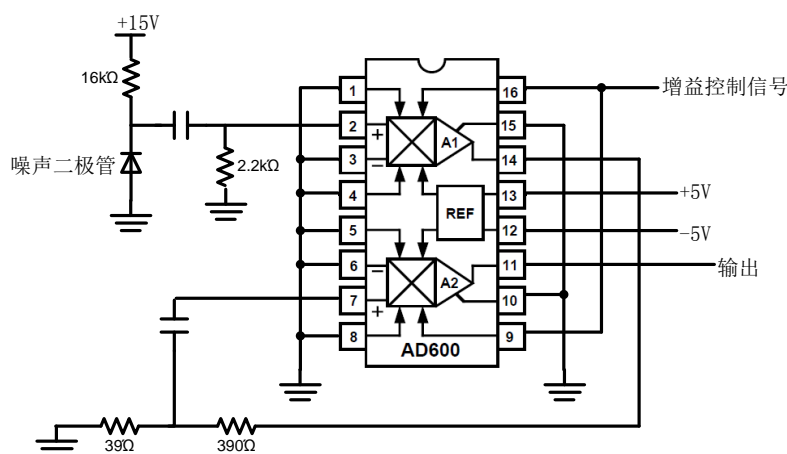


图 6-2 窄带 Dither 信号发生电路原理图

窄带 Dither 信号本身是一种噪声信号,根据应用的情况不同,信号的幅度和频率范围会有不同。因此,窄带 Dither 信号的发生电路实际上就是一个幅度可调的噪声信号发生电路,并有滤波电路滤出期望频率范围内的信号。图 6-2 为窄带

6.2.1 噪声发生电路

6.2.2 可变增益电路



6.2.3 滤波电路

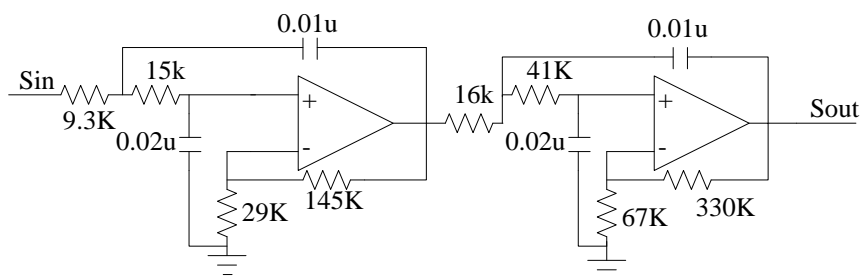


图 6-4 4 阶 Chebyshev 低通滤波器

整个 Dither 发生电路的原理图如图 6-5 所示：

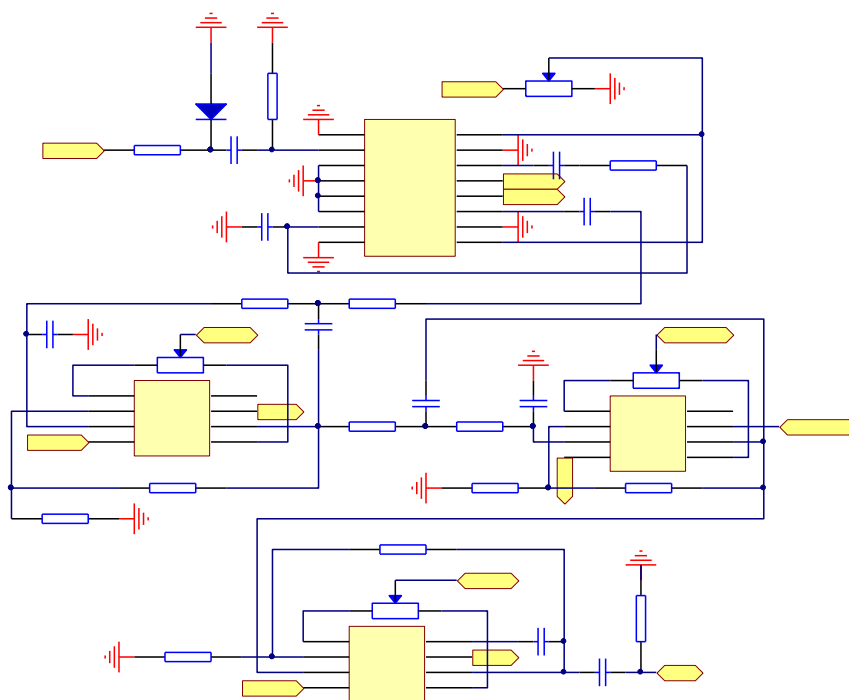


图 6-5 Dither 发生电路原理图

6.3 Dither 与信号叠加电路设计

为了将 Dither 加到 ADC 的模拟输入信号中，本文采用的方法是将输入信号与 Dither 直接相加后接一个匹配电阻，然后再接一个运算放大器作为缓冲。运算放大器选用 ADI 公司生产的 AD829。AD829 是一个低噪声 ($1.7\text{nV}/\sqrt{\text{Hz}}$) 高速率的运算放大器，可提供 ± 1 到 ± 20 的增益。电路原理图如图 6-6 所示。

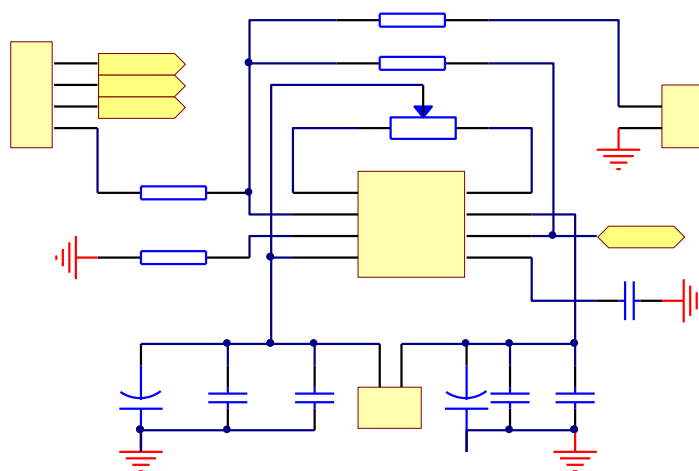


图 6-6 Dither 与输入信号叠加电路

6.4 ADC 外围电路设计

AD9235 是 ADI 公司生产的流水线结构的 12 位 ADC，提供 3 种转换速率的 ADC：20/40/65MSPS，其 SFDR 性能如表 6-1 所示。验证选用的是转换速率为 65MSPS。

表 6-1 AD9235 的 SFDR 性能表

Input	AD9235-20	AD9235-40	AD9235-65
2.4MHz	92.0dBc	92.0dBc	92.0dBc
9.7MHz	91.0dBc		
19.6MHz		90.0dBc	
32.5MHz			85.0dBc
100MHz	84.0dBc	85.0dBc	80.5dBc

AD9235 的引脚信息如表 6-2 所示：

表 6-2 AD9235 引脚信息

编号	名称	描述	连接
1	OTR	溢出指示	Cyclone II
2	MODE	数据格式与时钟模式选择	跳线选择
3	SENSE	参考电压模式选择	跳线选择
4	VREF	参考电压输入输出	跳线选择
5	REFB	差分参考 (-)	旁路电容
6	REFT	差分参考 (+)	旁路电容
7,12	AVDD	模拟电源	电源

8,11	AGND	模拟接地	接地
9	VIN+	模拟差分输入 (+)	输入信号
10	VIN-	模拟差分输入 (-)	输入信号
13	CLK	时钟	时钟电路
14	PDWN	休眠模式	通过 10K 电阻接地
15-22, 25-28	D0(LSB)-D11(MSB)	12 位输出数据	Cyclone II
23	DGND	数字接地	接地
24	DRVDD	数字输出驱动电压	电源

由 AD9235 的引脚信息表，画出其外围电路图 6-7 如所示。

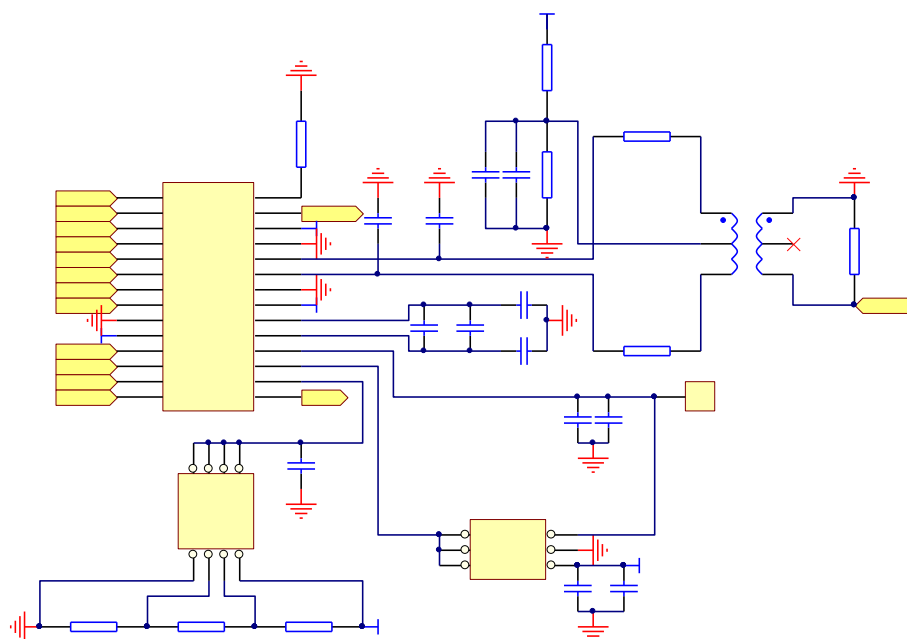


图 6-7 AD9235 外围电路

6.5 数字滤波器设计

在窄带 Dither 的实现中，数字滤波器用在 ADC 的输出端滤出引入的 Dither 噪声，是非常关键的结构，好的数字滤波器可以确保整个算法对 ADC 的噪底只有较小的提升。这里采用 FPGA 来实现 FIR 数字滤波器。结构方面，运用多相分解结构对高阶 FIR 滤波器进行降阶处理，并对降阶后子滤波器进行并行处理，以提高处理速度。子滤波器采用分布式算法。

其总体结构框图如图 6-8 所示。

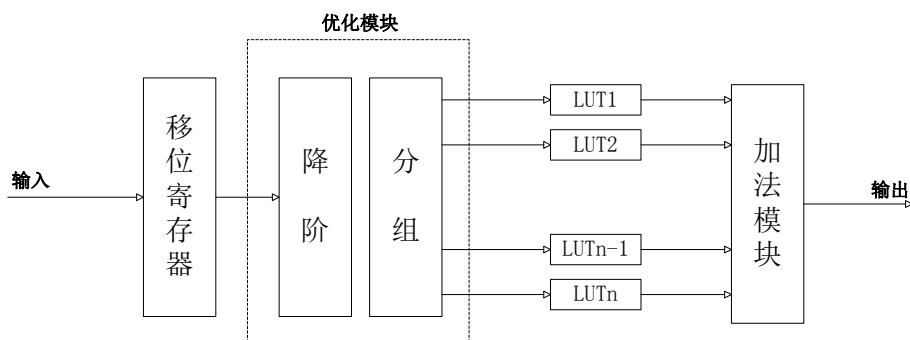


图 6-8 数字滤波器的总体结构

6.5.1 分布式算法原理

FIR 数字滤波器的时域输入输出表达式为

$$y = \sum_{k=0}^N h[k] \cdot x[N-k] \quad (6-1)$$

可以令 $A_k = x[N-k]$ ，若 A_k 为无符号数，可以将 A_k 用二进制表示为

$$A_k = \sum_{i=0}^{B-1} A_{k,i} 2^i \quad (6-2)$$

其中 $A_{k,i}$ 为 A_k 的每一位二进制数(为 0 或 1), B 为 A_k 的二进制表示位数。将式(6-2)代入式(6-1)中, 可得

$$y = \sum_{k=0}^N h[k] \sum_{i=0}^{B-1} A_{k,i} 2^i = \sum_{i=0}^{B-1} 2^i \sum_{k=0}^N h[k] A_{k,i} \quad (6-3)$$

若 A_k 为有符号数, 可以将 A_k 用二进制补码表示为

$$A_k = -2^{B-1} A_{k,B-1} + \sum_{i=0}^{B-2} 2^i A_{k,i} \quad (6-4)$$

同样, 将式(6-4)代入式(6-1)可得

$$\begin{aligned} y &= \sum_{k=0}^N h[k] \cdot (-2^{B-1} A_{k,B-1} + \sum_{i=0}^{B-2} 2^i A_{k,i}) \\ &= -2^{B-1} \sum_{k=0}^N h[k] A_{k,B-1} + \sum_{i=0}^{B-2} 2^i \sum_{k=0}^N h[k] A_{k,i} \end{aligned} \quad (6-5)$$

令 $f_i = \sum_{k=0}^N h[k] A_{k,i}, i=0,1,2,...,B-2$; $f_{B-1} = \sum_{k=0}^N h[k] A_{k,B-1}$ 并且将 f_i 和 f_{B-1} 代入式

(6-5) 可以得到

$$y = -2^{B-1} f_{B-1} + \sum_{i=0}^{B-2} 2^i f_i \quad (6-6)$$

而 $f_i = h[0]A_{0,i} + h[1]A_{1,i} + \dots + h[N-1]A_{N-1,i} + h[N]A_{N,i}$

对于同一个 A_k 输入的组合, 显然对应同一个 f_i , 可以对 f_i 做表如表 6-3 所示:

表 6-3 f_i 的查找表

$A_{N,i}A_{N-1,i}\dots A_{1,i}A_{0,i}$	f_i
00...00	0
00...01	$h[0]$
00...10	$h[1]$
.....
11...11	$h[0] + h[1] + \dots + h[N-1] + h[N]$

如果将 f_i 的值作为地址存储在 ROM 中, 就可以将所有 $x[k]$ 的相同位作为地址在 ROM 中查出 f_i 的值, 然后将 f_i 的值进行累加而得到 y 的值。

对于所设计的 32 阶滤波器, 所需的 ROM 大小为 $32 \times 2^{32}\text{bit}$, 所占用的资源较大, 可以对查找表进行适当的简化。过程如下:

$$f_i = \sum_{k=0}^{32} h[k]A_{k,i} = \sum_{j=0}^7 \sum_{p=0}^3 h[4j+p]A_{4j+p,i} \quad (6-7)$$

令 $f_{j,i} = \sum_{p=0}^3 h[4j+p]A_{4j+p,i}$, 则有

$$f_i = \sum_{j=0}^7 f_{j,i} \quad (6-8)$$

于是, 将原来一个很大的 32 输入查找表转化为 7 个小的 4 输入查找表, 如表 6-4 所示, 所需的 ROM 大大降低了。

表 6-4 4 输入查找表

$A_{4j+3}A_{4j+2}A_{4j+1}A_{4j}$	$f_{j,i}$
0000	0
0001	$h[4j]$
0010	$h[4j+1]$
0011	$h[4j] + h[4j+1]$

0100	$h[4j+2]$
0101	$h[4j]+h[4j+2]$
0110	$h[4j+1]+h[4j+2]$
0111	$h[4j]+h[4j+1]+h[4j+2]$
1000	$h[4j+3]$
1001	$h[4j]+h[4j+3]$
1010	$h[4j+1]+h[4j+3]$
1011	$h[4j]+h[4j+1]+h[4j+3]$
1100	$h[4j+2]+h[4j+3]$
1101	$h[4j]+h[4j+2]+h[4j+3]$
1110	$h[4j+1]+h[4j+2]+h[4j+3]$
1111	$h[4j]+h[4j+1]+h[4j+2]+h[4j+3]$

对 $f_{B-1,i}$ 进行相同的处理并和式一起代入式（6-6）得

$$\begin{aligned}
 y &= -2^{B-1} \sum_{j=0}^7 f_{j,B-1} + \sum_{i=0}^{B-2} 2^i \sum_{j=0}^7 f_{j,i} \\
 &= \sum_{j=0}^7 (-2^{B-1} f_{j,B-1} + \sum_{i=0}^{B-2} 2^i f_{j,i})
 \end{aligned} \tag{6-9}$$

令 $y_i = -2^{B-1} f_{j,B-1} + \sum_{i=0}^{B-2} 2^i f_{j,i}$ ，则实现 y_i 的硬件结构如图 6-9 所示

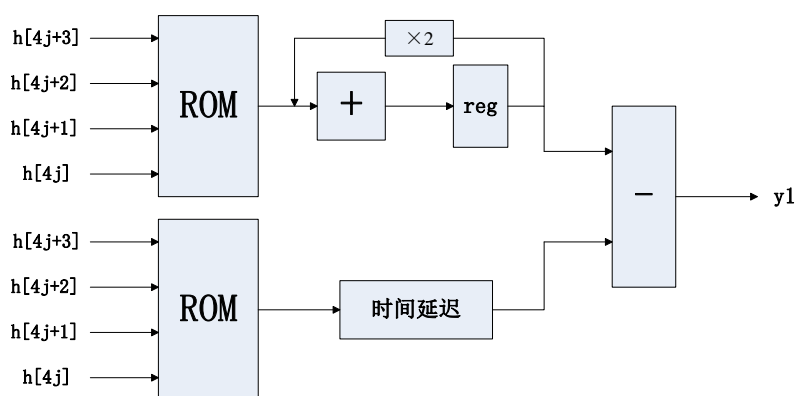


图 6-9 4 输入分布式算法硬件结构图

6.5.2 移位寄存器模块

移位寄存器的作用是将输入序列 $x(n)$ 转变成并行的输入。

6.5.3 优化模块

优化模块主要实现两个功能：

(1) 滤波器的降阶。由于 FIR 滤波器的单位冲击响应系数具有偶对称性，利用这个性质可以对其进行降阶，优化模块可以实现 $x(n) + x(N - 1 - n)$ 的计算来完成降阶的功能。所设计的 FIR 滤波器的阶数为 32，通过优化模块可以降为 16 阶。

(2) 查找表的分割。当滤波器降为 32 阶后，优化模块将滤波器分为 8 个部分，分别由 8 个 4 阶的滤波器通过查找表实现整个滤波器的功能。

6.5.4 加法模块

加法器模块用于将查找表得到的结果相加，得到最终的输出。加法器模块是 FIR 滤波器最影响速度的部分。图 6-10 给出了设计的加法器组结构，其中 ROM 的输出数据是依次 $\times 2$ 后所得的结果。对于最高位做减法的输出数据，是采用的求补后的加法运算。设计中运用了流水线技术，在每个器件之间加入了一个寄存器。

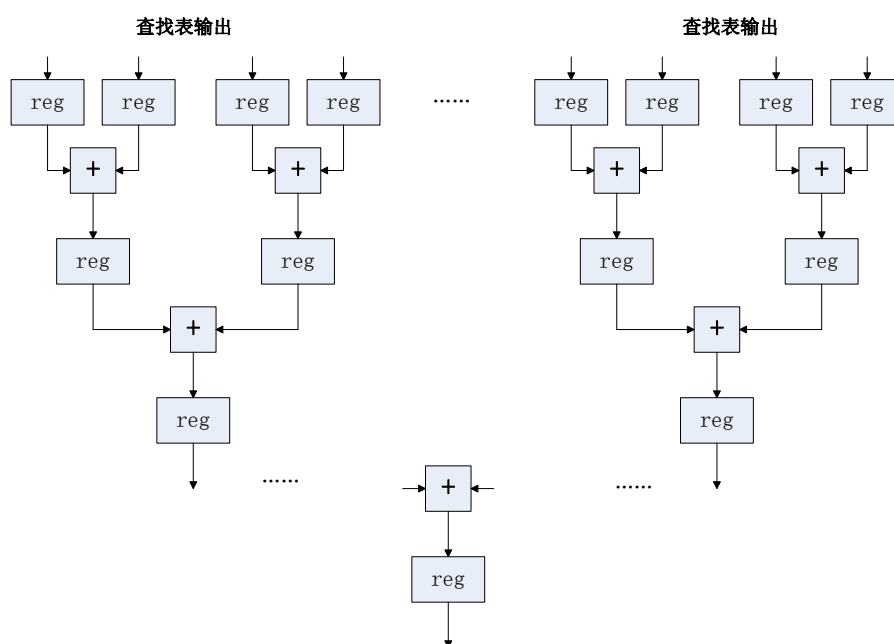


图 6-10 加法器组结构

6.5.5 LUT 模块

设计中，共有 8 个 4 输入查找表，名称分别为 LUT1、LUT2、LUT3、...、LUT8，其结构是完全相同的，仅查找表的具体数据不同。以 LUT1 为例，其输入为 LUT1_in，

输出为 LUT1_out。程序主要语句如下：

```
always@(LUT1_in) begin
  case(LUT1_in)
    4'b0000: LUT1_out=8'd0;
    4'b0001: LUT1_out=h0;
    4'b0010: LUT1_out=h1;
    4'b0011: LUT1_out=h1+h0;
    .....
    4'b1111: LUT1_out=h3+h3+h1+h0;
  endcase
end
```

6.6 验证板与 PC 通信模块设计

为了对 AD9235 的输出数据进行分析，本文选择的方法是将所得的数据通过串口传输至 PC 机，由 Matlab 软件进行分析处理。Matlab（Matrix Laboratory，矩阵实验室）是美国 MathWorks 公司开发的面对科学计算、可视化和交互式程序设计的计算环境，具有高效的数值计算功能和完备的图形处理功能，能够实现计算结果的可视化，对于信号处理有强的功能。

串行接口是一种可以将来自 CPU 的并行数据字符转化为连续的串行数据流发送数据，同时也可以将接收的串行数据供给 CPU 的器件。串口是计算机上一种通用设备通信的协议，大多数计算机都包含有两个基于 RS-232 的串口，这种串口按位（bit）发送和接收数据字节。

RS-232（ANSI/EIA-232 标准）是 IBM-PC 及其兼容机上的串行连接标准，可用于 PC 串口和设备间点对点的通信。RS-232 的针脚如图 6-11 所示

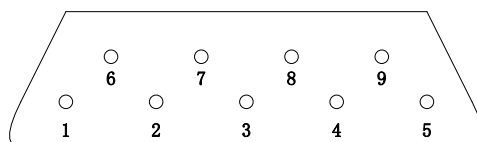


图 6-11 RS-232 针脚图

其中，各针脚功能如表 6-5 所示：

表 6-5 RS-232 针脚信息

针脚编号	针脚名称	针脚功能	针脚类型
Pin 1	DCD	数据载波检测 (Data Carrier Detect)	握手
Pin 2	RXD	串口数据输入 (Receive Data)	数据
Pin 3	TXD	串口数据输出 (Transmit Data)	数据
Pin 4	DTR	数据终端就绪 (Data Terminal Ready)	握手
Pin 5	GND	地线	地线
Pin 6	DSR	数据发送就绪 (Data Send Ready)	握手
Pin 7	RTS	发送数据请求 (Request to Send)	握手
Pin 8	CTS	清楚发送 (Clear to Send)	握手
Pin 9	RI	铃声指示	其他

由于串口通信速率非常低,远远低于 ADC 的转换速率(AD9235 转换速率为),为了解决速率不匹配的问题,本文选用的方法为 ADC 工作时将数据存入缓冲区(SRAM),缓冲区数据存满后暂停 AD 转换,串口电路工作并将 SRAM 的数据传输至 PC 机,传输完毕后 AD 转换继续运行。整个原理如图 6-12 所示。其中 SRAM 的选型为 IS61LV25616 (ISSI 公司生产的高速 SRAM,访问速率为 100M),串行通信接口芯片选型为 MAX3223 (MAXIM 公司生产)。

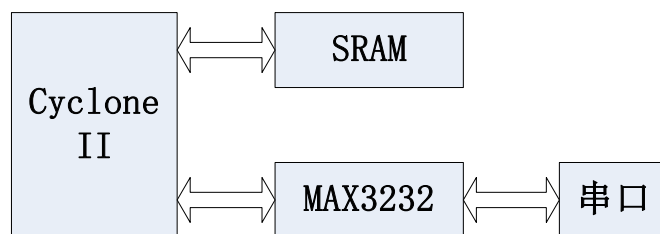


图 6-12 验证板与 PC 通信模块原理

6.6.1 SRAM 控制器的设计

SRAM (Static RAM) 是一种静态的具有存取功能的内存,它的每个完整存储单元都是一个双稳态电路,能够被驱动而处于 0 或 1 状态,并且在去掉驱动激励后仍然能够保持其状态,因此在不断电的情况下,不需要刷新就能保存所存储的数据。SRAM 的最大优点是速度快,能够极大地提高系统的整体工作效率。

本文所选用的 SRAM 芯片为 ISSI 公司生产的 IS61LV25616,其访问速率为 100M,存储容量为 $256K \times 16\text{bit}$,可以存储 AD9235 的量化数据超过 26 万个(工

作时间约为)。

IS61LV25616 的引脚功能描述如表 6-6 所示:

表 6-6 IS61LV25616 引脚功能表

PIN	DESCRIPTIONS
A0 - A17	地址线 (Address Inputs)
I/O0 - I/O15	数据线 (Data Inputs/Outputs)
CE	芯片使能, 低电平有效 (Chip Enable Input)
OE	读操作使能, 低电平有效 (Output Enable Input)
WE	写操作使能, 低电平有效 (Write Enable Input)
LB	低字节控制, 低电平有效 (Lower-byte Control I/O0 - I/O7)
UB	高字节控制, 低电平有效 (Upper-byte Control I/O8 - I/O15)
NC	无连接 (No Connection)
Vcc	电源引脚 (Power)
GND	接地引脚 (Ground)

IS61LV25616 采用引脚的组合的不同来控制读写等各种状态, 组合原理如表 6-7 表 6-7 所示。

表 6-7 IS61LV25616 引脚组合与读写状态

Mode	WE	CE	OE	LB	UB	I/O PIN	
						I/O0 - I/O7	I/O8 - I/O15
Not Selected	X	H	X	X	X	High-Z	High-Z
Output Disabled	H	L	H	X	X	High-Z	High-Z
	X	L	X	H	H	High-Z	High-Z
Read	H	L	L	L	H	Dout	High-Z
	H	L	L	H	L	High-Z	Dout
	H	L	L	L	L	Dout	Dout
Write	L	L	X	L	H	Din	High-Z
	L	L	X	H	L	High-Z	Din
	L	L	X	L	L	Din	Din

6.6.2 串口电路的设计

由于 RS-232 是用正负电压表示逻辑状态, 而 TTL 是以高低电平表示逻辑状态, 两者规格不相同。为了实现 PC 与 FPGA 的通信, 必须对电平进行转换。本文选用 MAX3223 作为电平转换芯片, 实现数据的收发工作。MAX3223 是 MAXIM 公司针对 RS-232 的标准而设计的, 具有功耗低、波特率高的优点。MAX3223 与 RS-232 串口的连接电路图如图 6-13 所示。

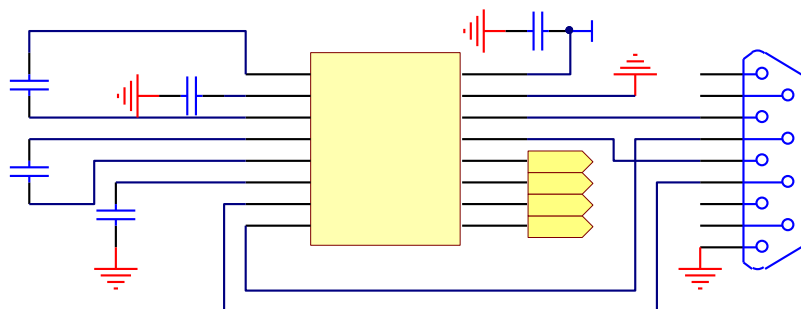


图 6-13 RS-232 串口电路

FPGA 中串行数据的发送模块实现非常简单，只需要将从 SRAM 中读取的数据按位输出即可。

6.7 时钟电路设计

在 Dither 验证板中，采用时钟分配芯片进行时钟的零延时分配，结构如图 6-14 所示。具体实现中，首先由有源晶振产生 50MHz 的时钟信号，然后由 FPGA 对时钟信号进行分频，然后用时钟分配芯片 CY2305 对时钟进行分配，输入到所需的电子器件中。

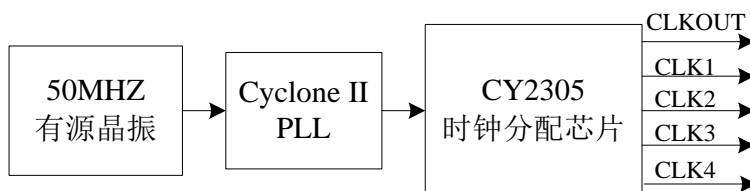


图 6-14 系统时钟分配结构

6.8 电源模块设计

验证板上所需电压如表 6-8 所示：

表 6-8 验证板所需电压表

模块	元件	所需电压
窄带 Dither 发生模块	LM741	$\pm 15V$
窄带 Dither 发生模块	AD600	$\pm 5V$

窄带 Dither 发生模块	AD797	$\pm 15V$
叠加电路	AD829	$\pm 15V$
AD9235	AD9235	3V

由表 6-8 可知，验证板的电源电路需要能够产生 $\pm 15V$ 和 $\pm 5V$ 的电压。设计中，电源电路通过三线变压器（220V 来产生正负电压），然后通过稳压器产生所需的电压，如图 6-15 所示，利用稳压器 7815、7915 来产生 15V 电压，利用稳压器 7805 和 7905 来产生 5V 电压。

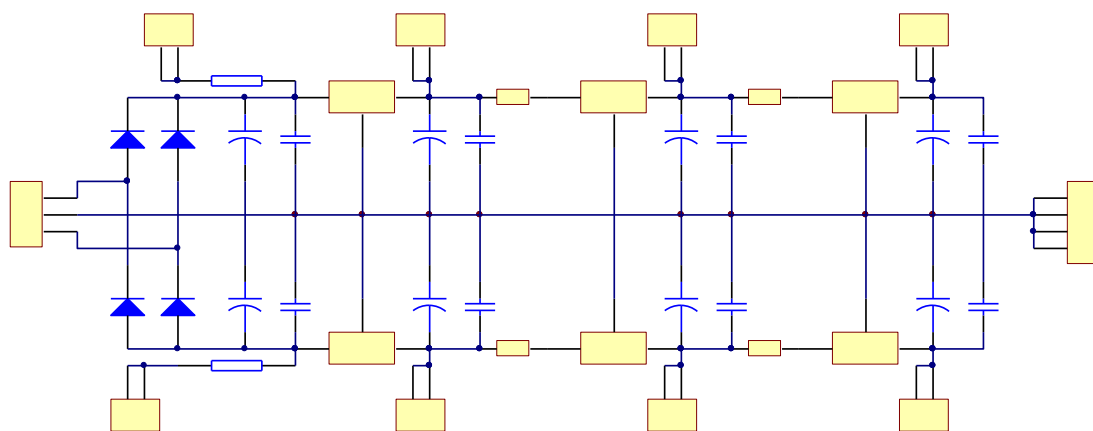


图 6-15 电源电路原理图

6.9 窄带 Dither 的验证

根据上述设计描述，所设计的 PCB 电路板的实物图如图 6-16 所示。验证板以 AD9235 为目标 ADC、以 Cyclone II 系列 FPGA（EP2C8Q208）为数字端的处理核心，另外还包括窄带 Dither 产生模块和验证板与 PC 的通信模块。

进行验证前，首先将窄带 Dither 电路板的输出接口与叠加电路的 Dither 接口相接，并调节窄带 Dither 电路板的可调电位器 AD600，控制产生的窄带 Dither 的幅度。将叠加电路的信号接口引入正弦测试信号，开始测试。AD9235 输出地数字信号经 FPGA 处理后，由串口电路传输至电脑存储，最后用 Matlab 对所存储的数据进行处理，计算其 SFDR 值。

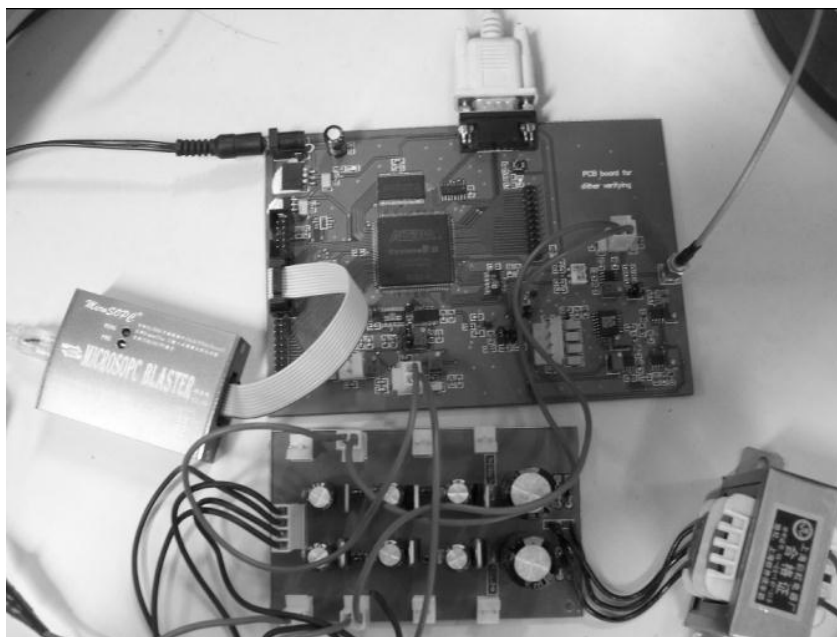


图 6-16 窄带 Dither 验证板实物图

图 6-17 为 Dither 的频率为 0~1.5KHz, 最大幅度为 0.05V 时, 最终对量化数据处理所得的频谱图, 其中左图为引入 Dither 前的频谱图, 右图为引入 Dither 后的频谱图。由图可见, 引入 Dither 前后, ADC 的 SFDR 指标有较大的改善, 改善后的 SFDR 指标为 93dB。

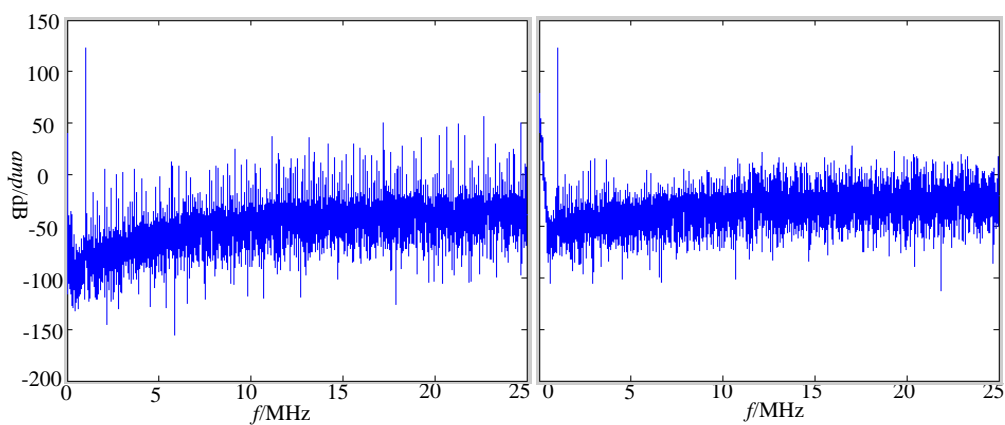


图 6-17 窄带 Dither 验证结果

第七章 总结

7.1 总结

对于提高 ADC 的 SFDR（无杂散动态范围）特性，Dither 噪声是一种重要的方法。本文研究了窄带 Dither 对 ADC 的 SFDR 性能的影响，并进行了相关设计和验证，主要完成的工作如下：

（1）从理论分析了 Dither 对 ADC 动态性能的改善，并给出了 Dither 影响 ADC 输出码密度函数和量化误差的数学推导，证明 Dither 的引入能够有效改善 ADC 的 SFDR 性能。

（2）在 Simulink 环境下搭建了一个 14 位的流水线 ADC 行为级模型，并构建窄带 Dither 的仿真系统，对窄带 Dither 对 ADC 无杂散动态范围指标的改善情况进行了仿真分析。

（3）提出了一种与传统窄带 Dither 产生方式略有不同的新型窄带 Dither。新的窄带 Dither 可以避免频率由设计的模拟滤波器所限制，要改变 Dither 信号的频率只能重新设计新的滤波电路的局限性。

（4）针对引入 Dither 后发生信号溢出的情况，本文进行了一些探讨，给出了两种解决方案，并进行了仿真验证，证明所提出的方案能够有效的解决引入 Dither 后信号溢出的问题。

（3）通过设计 PCB 电路板，以 12 位的 ADC（AD9235）为目标实测了窄带 Dither 对 ADC 性能的影响，证明了理论分析和仿真情况的正确性。

7.2 展望

本文的研究、仿真和实际验证表明，Dither 技术对于 ADC 动态性能的改善是非常明显的。虽然本文对窄带 Dither 算法在流水线 ADC 中应用做了一些分析和研究，但仍然存在许多不足的地方，希望得到指正。由于时间和工作条件的限制，对以下几个方面的研究本文做得还不够完善：

（1）针对在输入信号引入 Dither 后可能发生溢出的问题，本文所提出的方案仅仅进行了仿真验证，而未进行实际测试。特别是改变流水线 ADC 内部残差的方

法,实际验证需要在流水线 ADC 中增加新的模块,由于条件限制,验证和实现都会特别困难。

(2) 针对不同的输入信号,引入不同的 Dither 效果不会完全相同。那么对于一种输入信号,什么样的 Dither 是效果最好的,这方面的目前缺乏相关的理论分析,本文也未能进行深入的研究。而最好的 Dither 是能够根据输入信号的不同而自适应的产生的,关于自适应的 Dither 还有待进一步研究。

(3) 可以应用于流水线 ADC 的 Dither 类型很多,内部产生和去除 Dither 会是一个有意义的研究方向。其中一种就是在 PN 随机码的控制下对流水线 ADC 的内部残差进行上移或下移的改变,这种改变可以看做一种内部的 Dither。希望将来在这个方向会有相关的研究出现。

致谢

转眼之间研究生阶段已经接近尾声，在这三年的学习中，许多老师和同学给予了我巨大的帮助，在此向他们表达我由衷的感谢！

首先怀着最诚挚的敬意感谢我的导师李广军教授。李老师严谨的治学态度和工作作风、实事求是的人生态度是我的学习榜样。三年来，李老师在我参与的项目工作上给予耐心细致的指导，使我掌握了正确的科研方法，使我的专业水平有了很大的提高。

其次，衷心感谢项目组的两位指导老师李强教授和郭志勇，他们在项目工作中提出了许多宝贵的建议，在我的毕业论文撰写中给予了切实的指导。

感谢实验室的林水生教授、闫波副教授，以及周亮，杨海芬，黄乐天等老师，他们在项目和教研室生活上给予了巨大的帮助。

感谢在一起学习和生活的同学，感谢课题组的所有同学，有了他们的关心、帮助和一起努力才能完成课题项目的进度，我才能顺利完成论文，特别感谢已毕业的张占鹏师兄对我接手项目的引导和帮助。

最后，我要感谢我的父母，感谢他们在我多年的学习生活中的默默支持，感谢他们对我人生方向的指引，感谢他们对我不倦的教诲。

参考文献

- [1] 王秋梅. 16 位 Σ - Δ ADC 模拟部分的研究与设计[D]. 长春理工大学硕士学位论文, 2008 年 5 月.
- [2] W. M. Goodall. Television by Pulse Code Modulation[J]. Bell Sys. Tech. J., VOL.30, 1951 : 33-49.
- [3] Lawrence Gilman Roberts. Picture Coding Using Pseudo-Random Noise [J]. IRE Transactions on Information Theory, 1962 : 145-154.
- [4] B. Widrow. Statistical Analysis of Amplitude-Quantized Sampled-Data Systems. Trans. Applications and Industry, VOL.79, 1960 : 555-568.
- [5] Leonard Schuchman. Dither Signals and Their Effect on Quantization Noise [J]. IEEE Transactions on Communication Technology, December 1964 : 162-165.
- [6] H. A. Spang, P. M. Schultheiss. Reduction of Quantizing Noise by Use of Feedback [J]. IRE Transactions on Communications Systems, 1962 : 373-380.
- [7] B. A. Blesser. An Investigation of Quantization Noise.
- [8] B. A. Blesser. Digitization of Audio : A Comprehensive Examination of Theory, Implementation, and Current Practice.
- [9] Lipshitz, Vanderkooy. On the Audibility of Midrange Phase Distortion in Audio Systems.
- [10] B. Blesser, B. Locanthi. The Application of Narrow-Band Dither Operating at the Nyquist Frequency in Digital Systems to Provide Improved Signal-to-Noise Ratio over Conventional Dithering.
- [11] Mahmoud Fawzy Wagdy. Effect of Various Dither Forms on Quantization Errors of Ideal A/D Converters [J]. IEEE Transactions on Instrumentation and Measurement, VOL.38, NO.4, August 1989 : 850-855.
- [12] Robert M. Gray. Quantization Noise Spectra [J]. IEEE Transactions on Information Theory, VOL.36, NO.6, November 1990 : 1220-1244.
- [13] Robert M. Gray, Thomas G. Stockham. Dithered Quantizers [J]. IEEE Transactions on Information Theory, VOL.39, NO.3, May 1993 : 805-812.
- [14] Paolo Carbone, Dario Petri. Effect of Additive Dither on the Resolution of Ideal Quantizers. IEEE Transactions on Instrumentation and Measurement, VOL.43, NO.3, June 1994 : 389-396.

- [15] G. Zames, N. A. Shneydor. Dither in Nonlinear Systems [J]. IEEE Transactions on Automatic Control, VOL.AC-21, NO.5, October 1976 : 660-667.
- [16] Mahmoud Fawzy Wagdy. Effect of Additive Dither on the Resolution of ADC's with Single-Bit or Multibit Errors. IEEE Transactions on Instrumentation and Measurement, VOL.45, NO.2, April 1996 : 610-615.
- [17] Paolo Carbone. Quantitative Criteria for the Design of Dithered-Based Quantizing Systems [J]. IEEE Transactions on Instrumentation and Measurement, VOL.46, NO.3, June 1997 : 656-659.
- [18] Marcel Jacomet, Josef Goette, Venanz Zbinden. On the Dynamic Behavior of a Novel Digital-Only Sigma-Delta A/D Converter.
- [19] Yun-Shiang Shu, Bang-Sup Song. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering [J]. IEEE Journal of Solid-State Circuits, VOL.43, NO.2, February 2008 : 342-350.
- [20] Li Fule, Duan Jingbo, and Wang Zhihua. A High Linearity 13bit Pipelined CMOS ADC[J], JOURNAL OF SEMICONDUCTORS, 2008, 29(3):487-501.
- [21] Nair K, Harjani R. A 96 dB SFDR 50 MS/s digitally enhanced CMOS pipeline A/D converter[J]. IEEE ISSCC Dig. Tech. Papers, 2004: 456-457.
- [22] Siragusa E and Galton I. A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC[J]. IEEE J. Solid-State Circuits, 2004, 39(12): 2126-2138.
- [23] Liu H C, Lee Z M, and Wu J T. A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration[J]. IEEE J. Solid-State Circuits, 2005, 40(5): 1047-1056.
- [24] Balestrieri E, Daponte P, Rapuano S. A State of the Art on ADC Error Compensation Methods[J]. IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT, 2005, 54(4): 1388-1394.
- [25] Bogner P, Kuttner F, Kropf C, et al. A 14b 100 MS/s digitally self-calibrated pipelined ADC in 0.13_μm CMOS[J]. IEEE ISSCC Dig. Tech. Papers, 2006: 224-225.
- [26] S. V. Rylov, D. K. Brock. High Resolution ADC Using Phase Modulation – Demodulation Architecture [J]. IEEE Transactions on Applied Superconductivity, VOL.9, NO.2, June 1999 : 3016-3019.
- [27] Cornelie Jan Kikkert. Frequency Shift Dither for Analogue to Digital Converters [C]. Fifth International Symposium on Signal Processing and its Applications, ISSPA'99, Brisbane, Australia, 22-25 August, 1999 : 729-732.
- [28] 张庆民. 高速中频采样和数字下变频研究[D]. 中国科学技术大学博士学位论文, 2000.05.

- [29] 张庆民, 吴义宝, 安琪. 用随机信号 (Dither) 改善 ADC 的 SFDR 指标[J]. 核电子学与探测技术, 第 21 卷, 第二期, 2001 年 3 月, 110-107.
- [30] 储飞黄, 顾云涛. 抖动原理与实现[J]. 电子测量技术, 2002 年第 6 期: 16-17.
- [31] Leon Melkonian. 利用 dither 技术改善 A/D 转换器性能[J]. 通信对抗, NO.1, 2005 : 58-62.
- [32] 杨贇秀. 适用于 10bit 100MSPS 流水线 ADC 的 sub-ADC 的研究与设计. 电子科技大学硕士学位论文, 2006 年 5 月.
- [33] 刘源. 新型 PipelinedADC 系统建模与优化方法[D]. 电子科技大学硕士学位论文, 2007 年 5 月.
- [34] 詹永卫. 中频采样系统中 Dither 电路的设计[J]. 科技信息, 2008 年第 18 期: 373-374.
- [35] 陈静, 侯媛彬. Dither 信号理论分析及仿真[J]. 电光与控制, VOL.16, NO.12, December 2009 : 46-47,57.
- [36] 高凤辉, 应鲁曲. Dither 技术在软件无线电 ADC 中的应用.
- [37] Olli Aumala. Dithering in Analogue-to-Digital Conversion [D]. A Thesis for the Degree of Doctor of Techonogy of Tampere University of Technology, May 2001.
- [38] Robert Alexander Wannamaker. The Theory of Dithered Quantization [D]. A thesis for the Degree of Doctor of Philosophy of the University of Waterloo, 2003.
- [39] Francesco Adamo, Filippo Attivissimo. A/D Converters Nonlinearity Measurement and Correction by Frequncy Analysis and Dither. IEEE Transactions on Instrumentation and Measurement, VOL.52, NO.4, August 2003.
- [40] Yun Chiu, Paul R. Gray, Borivoje Nikolic. A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR [J]. IEEE Journal of Solid-State Circuits, VOL.39, NO.12, December 2004 : 2139-2151.
- [41] C. J. Kikket . Improving A/D Converter Performance Using Dither. Micro'95 : 97-102.
- [42] C. J. Kikket, A. Bigdeli. Hardware Additive Dither for Analogue to Digital Converters. Micro'97 : 156-161.
- [43] C. J. Kikkert, A. Bigdeli. Reducing Distortion in Microwave Analogue to Digital Converters. [s.n.][s.l.]
- [44] Anna Domanska. The Equality of Quantization with Dither Signal and Oversampling from the Point of View of the Criterion of SNR.

个人简历

张云，男，汉族，1981年11月16日生。

2000年9月～2004年6月，就读于四川大学化学工程学院，获工学学士学位。

2000年9月～2004年6月，就读于四川大学软件工程学院，获工学双学士学位。

2009年9月～2011年6月，就读于电子科技大学通信与信息工程学院通信与信息系统专业，攻读硕士学位。

攻读硕士学位期间的研究成果

参加的科研项目：

2009 年 9 月至 2011 年 6 月，高速高精度流水线结构中的 Dither 算法及其应用研究（国家预研项目）

发表、录用的论文：

张云, 李广军. 一种适于引入 Dither 流水线 ADC 结构. 现代电子技术, 2011 年第 12 期.



硕士学位论文

MASTER DISSERTATION