

目 录

摘 要.....	1
Abstract	2
1 绪论.....	3
2 模数转换器概述.....	5
2.1 不同结构 ADC 简介	5
2.2 流水线 ADC 结构	7
2.3 ADC 的性能指标	9
2.3.1 静态指标.....	9
2.3.2 动态指标.....	9
3 流水线 ADC 误差来源分析	11
3.1 电容失配误差	11
3.2 运放有限增益误差	12
3.3 比较器失调误差	13
3.4 采保电路误差	14
3.5 时钟抖动误差	15
3.6 小节	17
4 数字后台校准技术	18
4.1 数字校准技术概述	18
4.1.1 前台数字校准技术	19
4.1.2 伪后台数字校准技术.....	19
4.1.3 后台数字校准技术.....	20
4.2 冗余位校准算法	24
4.3 ADSC 调制的伪随机序列注入校准技术	29
5 仿真结果分析	34
5.1 理想 ADC 仿真结果	34
5.2 加入比较器失调的仿真	35
5.3 加入增益误差的仿真	36
5.4 存在比较器失调误差和增益误差的仿真	38
结论	41
致谢	42
参考文献	43

流水线 ADC 的后台数字自校准技术研究与设计

摘要：随着 IT 行业的快速发展，现代信号处理系统对模数转换器的精度、速度和功耗等性能提出了更高要求。但是在现有 CMOS 工艺条件下单靠模拟电路设计，ADC 的速度和精度几乎已经达到了极限。为了进一步提高 ADC 的性能以适应不断提高的市场需求，研究人员不得不寻求新的行之有效的途径。研究表明，在现有电路设计和工艺水平上对 ADC 进行数字校正和补偿，对提高 ADC 的性能非常有效。

本文通过对流水线 ADC 的误差来源的深入分析，针对流水线 ADC 的两大主要误差来源——比较器失调和运放增益误差，研究了冗余位校准和伪随机序列校准这两种数字后台校准算法。其中冗余位校准算法通过采用冗余位，可以使比较器的失调电压放宽到 $\pm 0.5LSB$ ，即在这个范围内的比较器失调都不会导致错误的输出结果，这大大降低了模拟电路的设计难度。伪随机序列注入校准算法通过采用伪随机序列注入的方法，在数字电路中估计所校准级的增益误差，然后根据估计出的实际级间增益在数字电路中校正输出结果，以消除增益误差对量化结果的影响。此方法不会给模拟电路带来额外的设计难度，只在一定程度上增加数字电路的复杂度，以很小的代价大大降低模拟电路设计的难度。

仿真结果表明，采用数字后台校准算法后，流水线 ADC 的有效位数由校准前的 8.49 提高到了 13.9，SFDR、SNR 的值分别由校准前的 67.2dB 和 53.2dB 提高到了校准后的 112dB 和 85.9dB。

关键字：流水线 ADC ， 数字后台校准，冗余位校正，伪随机序列注入校正。

A Research on Background Digital Calibration Techniques for the Pipeline ADCs

Abstract: With the continuous development of the IT industry and the continuous improvement of the social needs, modern signal processing systems are driving the development of ADC towards higher speed and lower power dissipations. However, under the conditions of the existing CMOS technology, speed and accuracy of the ADC have almost reached limit. In order to further improve the performance of the ADC to meet the increasing market demands, the researchers have to seek new and effective way. Studies have shown that ADC correction and compensation is very effective to improve the performance of ADC.

In this paper, two digital background calibration algorithms for pipeline ADC have been proposed. Redundancy correction can correct the comparator offset error, and Pseudo-random sequence can correct the gain error. By Redundancy correction, the comparator offset voltage can be relaxed to $\pm 0.5LSB$, this can largely reduce the difficulty of analog circuit design. Pseudo-random sequence correction algorithm estimated gain error in digital circuits and using the actual gain to correct digital output. This method does not bring additional design difficulty for analog circuit, and only a little more complexity of digital circuits design.

Simulation results show that using the digital background calibration algorithm, the ENOB of the pipelined ADC from 8.49 before calibration to 13.9, SFDR and SNR value from 67.2dB and 53.2dB before calibration to 112dB and 85.9dB.

Keywords: pipeline ADC, digital background calibration, redundancy correction, pseudo-random sequence injection correction.

1 绪论

随着科技的进步，计算机技术已经深入到人们生活中的各个角落。今天，大到航空航天、雷达通信，小到手机电脑、家用电器，几乎所有的电子产品中都存在着数字处理器单元。一方面它得益于微电子工艺技术的进步，使得数字处理单元在不断减小的体积中得以实现更多更可靠的功能，但另一方面它也得益于模数转换器（Analog to Digital Converter，以下简称 ADC）技术的发展与应用。因为这个世界中的各种物理量，诸如声音、光线、热、压力等等，都在时间上和量上是连续变化的，也就是我们所说的模拟量。为了实现模拟量到数字量的转变，我们可以先通过传感器将外界信号转化为电信号，然后通过 ADC 将随外界信号连续变化的电信号转化为数字量，这样处理后我们便可以利用数字电路强大的处理能力来完成我们所希望的复杂运算。显而易见，这个过程中起着关键作用的是 ADC。

作为模拟世界与数字世界之间桥梁作用的 ADC，它自身属于模拟系统，易受到外界环境的干扰，比如电磁干扰、环境温度和湿度的变化、器件自身的老化等，这都将影响到 ADC 的正常工作。正因为如此，一个高精度、高速度、高可靠性的 ADC，不仅设计难度相当大，而且价格也是很昂贵的。加之微电子工艺朝着深亚微米方向不断发展，在带动数字处理电路朝更高处理能力、更小体积、更低功耗方向发展的同时，也给 ADC 的性能提出了更大的挑战。

对于模拟电路而言，随着 CMOS 工艺的不断进步，挑战大于机遇。首先，随着工艺尺寸的不断降低，数字电路的供电电压也在不断降低，为了和数字电路模块兼容，这就要求模拟电路必须采用和数字电路一样低的供电电压。然而低供电电压对设计复杂的模拟电路相当不利，这就对设计高性能的模拟电路提出了严峻的挑战。其次，供电电压的降低，从根本上限制了输入信号的电压范围，这在很大程度上限制了所设计模拟电路的应用范围。再次，工艺尺寸的降低，进一步增加了 MOS 器件的非理想效应，比如说短沟道效应，这无疑加大了模拟电路的设计难度。

但是现实中的应用并不会因为模拟电路的设计难度而降低要求，从目前的发展趋势来看，ADC 主要朝着以下方向发展：

1、性能不断提升

伴随着数字电路的高速发展，其对模拟电路提出了更高的要求，特别是在航空航天、雷达通信以及军事领域，对速度和精度的要求都非常严格，高性能 ADC 市场

需求越来越大。

2、功耗不断降低

个人通信和手持电子产品的市场需求量与日俱增，对于手持设备，功耗是个很关键的因素，因此低功耗 ADC 也是 ADC 发展的必然趋势。

3、混合信号处理方向发展

IC 技术的迅猛发展，带动了 CMOS 超大规模集成电路技术水平的快速提升，把数字信号处理器及其他标准数字器件与 ADC 集成于同一芯片上，从而构成一个混合信号处理系统是集成电路产业未来发展的必然趋势，因为这样做可以提高集成度，减小芯片面积，降低芯片制造和封装成本，同时节省和减少外围电路，提升系统的可靠性，因此，近年来对混合集成电路的需求越来越强烈。

对于高速、高精度、低功耗应用领域，通过对各种不同的 ADC 结构的对比发现，流水线 ADC 兼具较高精度和较低功耗的优点，成为高要求设计领域经常采用的结构，也是研究最多的结构之一。对于流水线 ADC，鉴于其设计难点和市场需求之间的矛盾，业界和学术界都在寻求各种途径来解决。大量的研究和实践证明，性能的改善一般可以采用以下几种途径来实现^[1]：

- 1、通过改进器件特性，这依赖于先进的工艺，即现代不断发展的电子制造技术；
- 2、通过提高电路设计技术或 ADC 的结构，提高现有 ADC 的动态范围等指标；
- 3、通过校正和补偿现存的 ADC，可以改善现有的技术所能达到的性能。

实践表明，ADC 的校正技术在现有电路设计和制造水平下，对提高 ADC 的精度，速度等性能上是行之有效的。ADC 电路结构复杂，元件精度要求高，使得设计和制作的难度都非常大，重视和加速校正技术的研究和开发，在当前的形式下十分重要。

鉴于此，本文首先介绍了目前研究较多的几种 ADC 结构，并对他们的结构性能进行了对比，然后对在高速高精度场合应用较多的流水线 ADC 进行了详细的介绍，并对流水线 ADC 的几种主要的误差来源进行了深入分析，针对对流水线 ADC 精度影响比较大的两种误差（比较器失调误差和运放有限增益误差）研究了两种数字后台校准技术：冗余位校准技术和伪随机序列校准技术。最后通过 MATLAB 仿真软件对一个 14 位 100M 采样率流水线结构 ADC 进行系统建模，从系统层面上加入上述两种数字校正算法，并通过仿真结果验证算法的有效性。

2 模数转换器概述

2.1 不同结构 ADC 简介

经过长期的发展历程，针对不同的应用场合和实际要求，产生了许许多多结构各异、功能侧重点不同的模数转换器。目前流行的 ADC 的主要结构包括如下几种：flash ADC、Sigma-Delta ADC、逐次逼近型 ADC、流水线 ADC 等等。下面将对这些不同结构的 ADC 进行简要介绍^[1]。

1) Flash ADC

Flash ADC 即全并行结构 ADC，如图 2.1 所示。

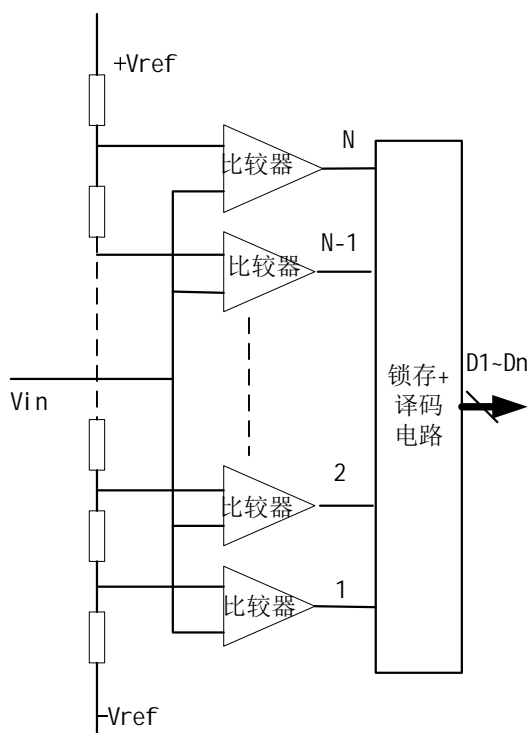


图 2.1 FLASH ADC 结构图

这种结构的 ADC 由一组接不同参考电压的比较器量化输入的模拟量，当输入一个信号后，所有比较器能够同时将比较结果输出到输出端，即所需的二进制码。因此 Flash ADC 能够在一个转换周期内就完成对一个输入模拟量的数字量化，是所有结构 ADC 中速度最快的一种结构。它的突出特点就是转换速度快，结构简单，因此在高速和超高速应用场合得到广泛使用。然而它的缺点也很明显，由于所有比较器

都接在同一个节点, 输入寄生电容较大, 给应用带来不利。另外, Flash ADC 所需要的比较器数目随着量化位数的增加呈指数倍增加, 即如果量化成 3 位, 需要 $2^3 - 1 = 7$ 个比较器, 量化成 N 位的, 就需要 $2^N - 1$ 个比较器, 这在高精度应用时将使模拟电路的规模很庞大, 在通常的应用中是不允许的, 所以对于 Flash ADC, 多用于速度要求高、精度要求低的场合。

2) Sigma-Delta ADC

$\Sigma - \Delta$ 转换器又称为过采样转换器, 它采用增量编码方式即根据前一量值与后一量值的差值的大小来进行量化编码。 $\Sigma - \Delta$ 型 ADC 包括模拟 $\Sigma - \Delta$ 调制器和数字抽取滤波器。 $\Sigma - \Delta$ 调制器主要完成信号抽样及增量编码, 它给数字抽取滤波器提供增量编码即 $\Sigma - \Delta$ 码; 数字抽取滤波器完成对 $\Sigma - \Delta$ 码的抽取滤波, 把增量编码转换成高分辨率的线性脉冲编码调制的数字信号。因此抽取滤波器实际上相当于一个码型变换器。其优点在于分辨率较高, 高达 24 位; 转换速率高; 价格低; 内部利用高倍频过采样技术, 实现了数字滤波, 降低了对传感器信号进行滤波的要求。但其缺点也很明显: 高速 $\Sigma - \Delta$ 型 ADC 的价格较高; 在转换速率相同的条件下, 比积分型和逐次逼近型 ADC 的功耗高; 由于 $\Sigma - \Delta$ 调制的采样频率通常为转换速率的 64~256 倍, 这一过高的采样频率要求使其应用受到限制, $\Sigma - \Delta$ 调制就是因此又被称为过采样 $\Sigma - \Delta$ 调制 (Over-Sampled $\Sigma - \Delta$ Modulator), 其实是一种以速度换取精度的方法。

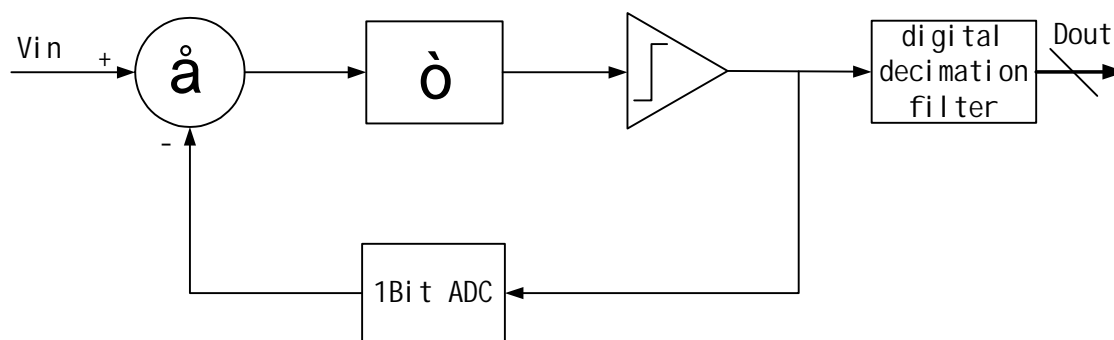


图 2.2 过采样 ADC 原理图

3) 逐次逼近型 ADC

逐次逼近型 ADC 是应用非常广泛的一种模数转换方法, 其结构如下图所示, 它包括 1 个比较器、1 个数模转换器、1 个逐次逼近寄存器 (SAR) 和 1 个逻辑控制单元。它是将采样输入信号与已知电压不断进行比较, 1 个时钟周期完成 1 位转换, N 位转换需要 N 个时钟周期转换完成, 输出二进制数。这一类型 ADC 的分辨率和采样

速率是相互矛盾的，分辨率低时采样速率较高，要提高分辨率，采样速率就会受到限制。其优点在于分辨率低于 12 位时，价格较低，采样速率可达 1MSPS；与其它 ADC 相比，功耗相当低。缺点是在高于 14 位分辨率情况下，价格较高；传感器产生的信号在进行模数转换之前需要进行调理，包括增益级和滤波，这样会明显增加成本。而且 ADC 的转换速度在精度较高时受到限制。

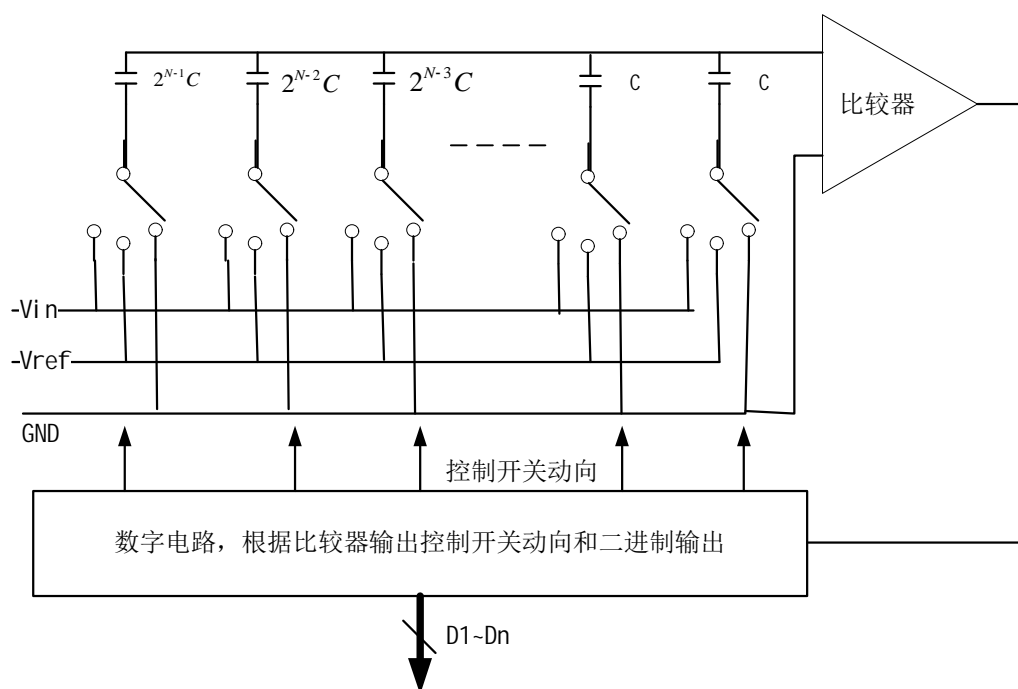


图 2.3 逐次逼近型 ADC 原理图

4) 流水线结构 ADC

流水线结构 ADC，又称为子区式 ADC，它是一种高效和强大的模数转换器。它能够提供高速、高分辨率的模数转换，并且具有令人满意的低功率消耗和很小的芯片尺寸；经过合理的设计，还可以提供优异的动态特性。在高速高精度应用场合，流水线结构已经是一种应用广泛、倍受青睐的结构。在业界和学术界的研究也很多，本文所设计的数字校准电路也是以流水线结构 ADC 为载体，下面将详细介绍流水线结构 ADC 的工作原理和过程。

2.2 流水线 ADC 结构

流水线结构 ADC 的工作原理如图 2.4 所示：

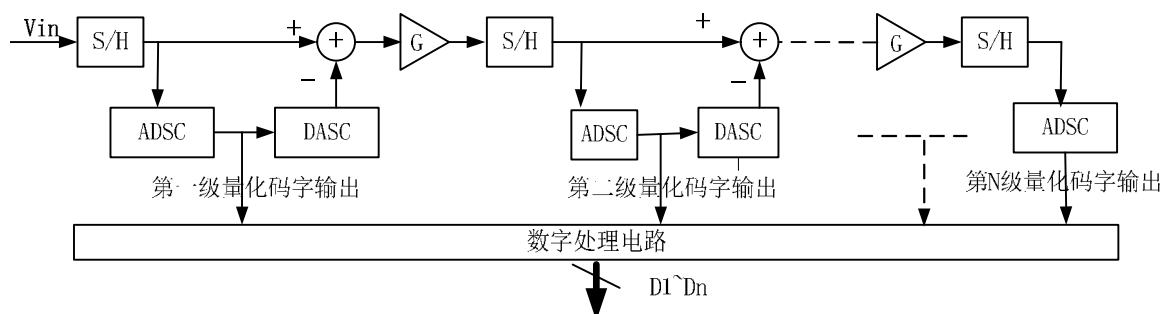


图 2.4 流水线结构 ADC 工作原理

模拟电压从外界输入后，首先经过采保电路进入第一级 ADC 进行量化：由 ADSC 将模拟量转化为数字量，并传送到数字处理电路中等待处理，同时产生的数字量经过 DASC 转换成与之相对应的模拟量，用输入电压减去 DASC 的输出得到本级的余差电压，余差电压经过下一级的采保放大后重复第一级的量化流程。由此可知，在流水线 ADC 中，奇数级和偶数级的工作状态是不一样的，当奇数级工作在采样阶段时，偶数级工作在保持放大相，同理，当偶数级工作在保持放大相时，奇数级工作在采样相，每一级处理完当前的信号，紧接着便开始处理下一个输入信号。对于一个确定的输入信号，要完成对输入信号的量化，必须从第一级一直转化到最后一级才算完成，因此最先完成高位二进制码的转换，最低位最后完成，这就需要在数字处理电路中完成锁存延时的功能。由流水线 ADC 的工作流程可知，流水线结构有许多优点：首先，当需要更高的分辨率时，在性能参数、系统指标允许的情况下只需在流水线的末尾简单的添加更多单元即可，显然这样面积和功耗仅随分辨率的提高而线性增加，而不会像 Flash ADC 那样呈现的指数增长；其次，流水线每一级结构使用低精度的模数和数模转换器，降低对模拟单元电路的性能要求。当然，流水线结构也存在一些限制，虽然流水线结构模数转换器能够达到比较高的速度，但是由于每一级需要使用运算放大器和开关电容来提供精确的 2^N 倍增益，其建立时间和转换速率问题会限制高分辨率和低功耗要求。

2.3 ADC 的性能指标

衡量一个 ADC 的性能好坏的标准是性能指标, ADC 的性能指标包括静态指标和动态指标^[2]。静态指标主要包括积分非线性 (INL)、微分非线性 (DNL)、失调误差、增益误差等; 动态指标主要包括信噪比 (SNR)、信噪失真比 (SINDR)、有效位数 (ENOB)、无杂散动态范围 (SFDR)、总谐波失真 (THD) 等。下面将对这些指标进行必要的说明。

2.3.1 静态指标

积分非线性 (Integrated Non-linearity): 指实际转换曲线与理想转换曲线之间的偏差, 其定义为:

$$INL = \frac{V_{actual} - V_{ideal}}{V_{LSB}} \quad (2-1)$$

微分非线性 (Differential Non-linearity): 指实际转换曲线中码字宽度与理想转换曲线的码字宽度 (1 LSB) 的偏差, 其定义为:

$$DNL = \frac{V_{实际码宽}}{V_{LSB}} - 1 \quad (2-2)$$

失调误差 (Offset): 指 ADC 使输出码字从 0 到 1 LSB 转变时实际输入电压与理想输入电压值的差值。

增益误差 (Gain Error): 指输出满刻度码字时实际输入电压与理想输入电压的差值。

2.3.2 动态指标

信噪比 (SNR): 是信号的基波频率分量的 RMS 与噪声的 RMS 之比, 其中噪声不包含谐波频率分量。计算公式为:

$$SNR = 20 \lg \frac{V_{signal}}{V_{noise}} \quad (2-3)$$

作为定义器件内部噪声的基本参数, 理想 ADC 的 SNR 近似为 $SNR \approx 6.02 N + 1.76$ 。影响 SNR 的主要因素包括量化噪声、热噪声、 $1/f$ 噪声和采样时钟抖动等。

信噪失真比 (SINAD): 指信号基波频率分量的 RMS 与噪声和所有谐波频率分量之和的 RMS 之比, 表达式为:

$$SINAD = 20\lg \frac{V_{signal}}{V_{noise} + V'} \quad (2-4)$$

物理意义是输出信号所有传递函数非线性加上系统所有噪声（量化、抖动、杂散）的累积效果。

有效位数(ENOB)：是 SNR 或 SINAD 的直观表示，将信号传输质量转换为等效比特分辨率，表达式为：

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (2-5)$$

总谐波失真(THD)：是特定频率范围内的总谐波分量 RMS 与基波频率分量 RMS 之比，表达式为：

$$THD = 20\lg \frac{\sqrt{V_{HD2}^2 + V_{HD3}^2 + \frac{1}{4} \frac{1}{4} + V_{HDN}^2}}{V_{signal}} \quad (2-6)$$

它包括由系统对称和非对称线性产生的总失真，表示信号谐波含量的作用和影响。

无杂散动态范围(SFDR)：是指基于某一特定频率的基波频率分量的 RMS 与最大谐波频率分量的 RMS 之比，表达式为：

$$SFDR = 20\lg \frac{V_{signal}}{V_{HD_max}} \quad (2-7)$$

3 流水线 ADC 误差来源分析

流水线 ADC 的误差严重影响了 ADC 的性能。流水线 ADC 内部误差主要来源主要包括两个方面：噪声和失配。噪声表现在不同的采样之间引入不同的误差，噪声误差是不能被校正的。失配主要是由于要求完全匹配的器件之间由于工艺误差而实际并不完全相等导致的误差，由失配引入的误差不随采样的变化而变化，失配误差可以通过设计合适的校准方法消除。下面将介绍流水线 ADC 内部的一些主要误差来源。

3.1 电容失配误差

以 1.5 位/级电容翻转型 MDAC 为例来说明电容误差对 ADC 的影响。电容翻转型 MDAC 的电路结构如下图所示，当 F1 闭合，F2 打开时，电路工作在采样相，此时 V_{in} 通过 F1 对 C_f 和 C_s 充电，a 点的电荷量为：

$$Q_1 = V_{in}(C_f + C_s) \quad (3-1)$$

保持放大相 F1 打开，F2 闭合，此时 C_s 两边的电荷量为：

$$Q_2 = (D-1) V_{ref} C_s \quad (3-2)$$

根据 a 点电荷守恒可得 C_f 两边的电荷为：

$$Q_3 = Q_1 - Q_2 = V_{in}(C_f + C_s) - (D-1)V_{ref} C_s \quad (3-3)$$

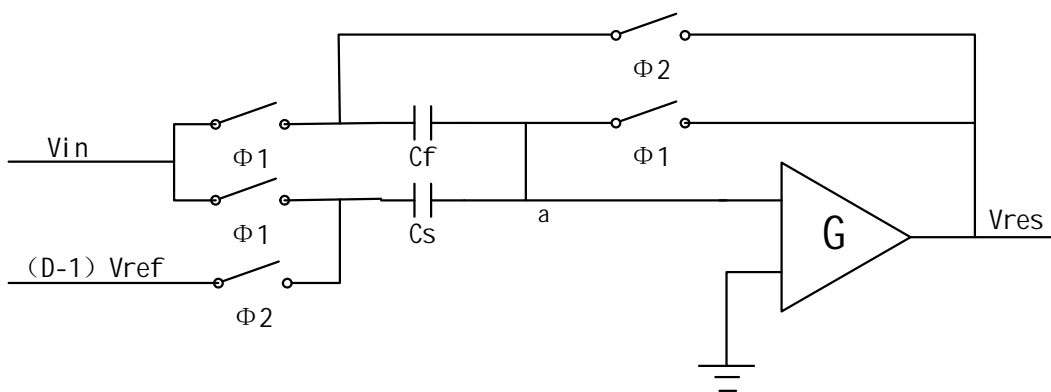


图 3.1 理想电容翻转型 MDAC 结构示

所以可得余差电压为：

$$V_{res} = \frac{Q_3}{C_f} = Vin + \frac{[Vin - (D-1)V_{ref}]C_s}{C_f} \quad (3-4)$$

理想情况下, $C_f = C_s$, 所以有:

$$V_{res} = 2Vin - (D-1)V_{ref}。 \quad (3-5)$$

在实际情况下, 由于工艺的限制, C_f 不可能完全等于 C_s , 这样余差电压就会偏离理想值, 从而导致后级 ADC 的量化产生误差^[3]。

3.2 运放有限增益误差

考虑到实际电路中不可避免的存在模拟开关电荷注入和运放的等效输入失调等造成的非理想因素, 电容翻转型 MDAC 结构重绘如下, 其中 V_{os} 即为等效输

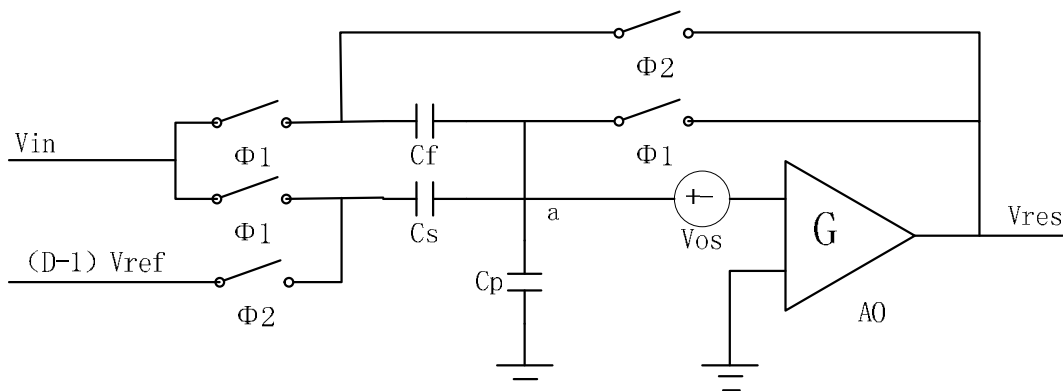


图 3.2 存在失调和输入寄生电容的电容翻转型 MDAC 结构示意图

入失调电压, C_p 为运放的输入寄生电容。当 F_1 有效时, MDAC 工作在采样相, 此时 a 点的电压为:

$$V_a = -A_0(V_a - V_{os}) \quad (3-6)$$

即有:

$$V_a = \frac{V_{os}}{1 + \frac{1}{A_0}} \quad (3-7)$$

从而 a 点的总电荷为:

$$Q_a = (V_a - V_{in})(C_s + C_f) + V_a C_p = \left(\frac{V_{os}}{1 + 1/A_0} - V_{in}\right)(C_s + C_f) + \frac{V_{os}}{1 + 1/A_0} C_p \quad (3-8)$$

当 F2 有效时, MDAC 工作在保持放大相, 在这种情况下 a 点的总电荷为:

$$Q'_a = [(V_{os} - \frac{V_{res}}{A_0}) - (D-1)V_{ref}]C_s + (V_{os} - \frac{V_{res}}{A_0})C_p + (V_{os} - \frac{V_{res}}{A_0} - V_{res})C_f \quad (3-9)$$

由 a 点的电荷守恒可知, $Q_a = Q'_a$, 得:

$$V_{res} = \frac{(\frac{C_s}{C_f} + 1)V_{in} - \frac{C_s}{C_f}(D-1)V_{ref} + \frac{C_s + C_f + C_p}{C_f} \frac{1}{1+A_0} V_{os}}{\frac{C_s + C_f + C_p}{C_f} \frac{1}{A_0} + 1} \quad (3-10)$$

理想情况下, $C_s = C_f$ 、 $C_p=0$ 、 $V_{os}=0$ 、 $A_0 \rightarrow \infty$, 上式与理想 MDAC 的余差表达式相等。非理想情况下, 级电路的实际增益为:

$$G_{actual} = (\frac{C_s}{C_f} + 1) \frac{1}{\frac{1}{bA_0} + 1} \quad (3-11)$$

它是与电容比值、运放的有限直流增益有关的函数^[3]。

3.3 比较器失调误差

比较器是 ADC 中一个基本的组成部分, 它的基本功能是比较两个电压的大小关系, 当输入电压大于参考电压时比较器输出 1, 当输入电压小于参考电压时比较器输出为 0。比较器的非理想效应严重影响电路的性能, 其中最主要的非理想特性就是失调电压。举个例子来说, 假如比较器理想的参考电压为 0.5, 但由于比较器存在失调, 可能实际的参考电压不是 0.5, 而是 0.48, 这样一来, 当上级的余差电压在 0.48~0.5 这个范围内的时候, 输出二进制码字就会出错, 本该是 0 的现在变成了 1。即当比较器计算两个输入信号的减法时, 它的失调电压也被考虑进去, 当两个输入相等时, 比较器可能得出错误的结果。当比较器得出了错误的结果, 其产生的二进制代码也是错误的, 在求余差时就会减掉错误的参考电压, 从而得到错误的余差, 错误的余差经余差放大后, 就可能超出下一级 A/D 转换器的范围, 产生全 1 或全 0 的输出, 进而导致了下一级的转换错误。

比较器失调误差一般可以通过一定的方法加以校准, 采用电容插补失调消除的多级比较器结构可以减小比较器的失调。另外, 我们还可以通过在全并行 AD 转换器

比较器阵列的两侧加入附加的比较器，产生冗余位数字输出，保证放大的余差在下一级的转换范围内，来消除比较器失调带来的误差，这种方法称为冗余位数字校正技术，在后面本文将详细讨论冗余位数字校正的原理。

3.4 采保电路误差

采样保持模块（S/H）是流水线的第一个模块，决定了转换器输入信号的带宽。采样保持电路等效图如下图所示，设开关的等效电阻为 R ，采样电容为 C （包括各种寄生电容）。

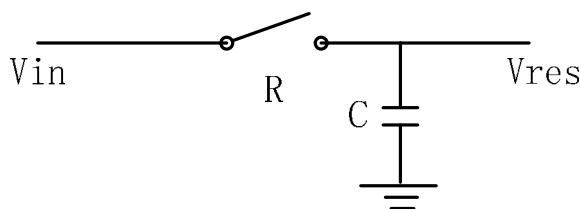


图 3.3 S/H 电路原理图

考虑到模拟电路中热噪声和各种非理想因素的影响，对于一个确定的输入 V_{in} ，采保的误差可以写成下式：

$$V_{res} = V_{in} + DV \quad (3-12)$$

假设电路中存在一个 M 位和一个 N 位的子 ADC，用以模拟采保误差对流水线 ADC 不同级的影响， q_1 为 M 位子 ADC 的量化输出码对应的十进制数，对于 M 位子 ADC 有：

$$V_{in} + DV = [q_1 - (2^{M-1} - 1) \frac{V_{ref}}{2^{M-1}}] + e_1 \quad (3-13)$$

上式中 e_1 即为残差电压，下一级的输入电压是上一级的残差电压乘以增益，有：

$$V_{res1} = e_1 \cdot 2^{M-1} \quad (3-14)$$

由于采保误差 DV 的存在，使得 M 位子 ADC 的残差电压发生不希望的偏移。同理对于下一级 N 位的子 ADC，有：

$$V_{res1} + DV_{res1} = [q_2 - (2^{N-1} - 1) \frac{V_{ref}}{2^{N-1}}] + e_2 \quad (3-15)$$

又下一级的输入 V_{res1} 即为上一级的输出，故上式可写为：

$$e_1 \cdot 2^{M-1} + DV_{res1} = [q_2 - (2^{N-1} - 1) \frac{V_{ref}}{2^{N-1}}] + e_2 \quad (3-16)$$

即：

$$e_1 = [q_2 - (2^{N-1} - 1) \frac{V_{ref}}{2^{N+M-2}}] + \frac{e_2}{2^{M-1}} - \frac{DV_{res1}}{2^{M-1}} \quad (3-17)$$

故信号 V_{in} 通过一个 $N+M-1$ 位的 2 级流水线转化器后的表达式为：

$$V_{in} = [q_2 + q_1 2^{N-1} - (2^{N+M-2} - 2^{N-1}) \frac{V_{ref}}{2^{N+M-2}}] + \frac{e_2}{2^{M-1}} - DV - \frac{DV_{res1}}{2^{M-1}} \quad (3-18)$$

由此可知，来自第一级采保的误差没有被衰减，对输出的影响最大，第二级的误差与一个衰减因子 2^{M-1} 相除，故它对输出的影响被减小，因此采样保持误差随着采样信号在流水线中被不断的量化处理而变得不重要。也可以说，在流水线结构中采保误差主要由前几级决定。从以上 M 和 N 位的例子中可以得到一个流水线普遍适用的结论：流水线中第 n 级的输入误差将被除以该级前面所有级的总增益。

3.5 时钟抖动误差

采样时钟是 ADC 变换电路的基本要素，对电路设计者来讲，ADC 时钟电路采用的时钟方案、时钟类型、时钟电压等级、时钟抖动都是在实际电路设计时必须予以考虑的问题。采样时钟的抖动是一个短期的、非积累性变量，表示数字信号的实际定时位置与其理想位置的时间偏差。时钟抖动会使 ADC 的内部电路错误地触发采样时间，结果造成模拟输入信号在幅度上的误采样，从而恶化 ADC 的信噪比。

图 3.4 所示是一种典型的 ADC 时钟电路，也是采用较多的一种时钟电路结构。

时钟信号启动采样保持器进行采样之前，采样保持电路的内部开关处于闭合状态，电容电压跟踪模拟输入信号的变化，时钟信号的一个边沿到来时开关打开，电容电压保持为该时刻的值。如下图所示，该时刻的电压值为垂直虚线所对应的值，在 Δt 的采样时间内，产生了一个采样电压误差 ΔV ，该瞬时误差就是时钟抖动 Jitter，采样电压误差的大小取决于输入电压波形。如果没有其他噪声信号，根据下图可以计算出抖动电压的大小和信噪比。

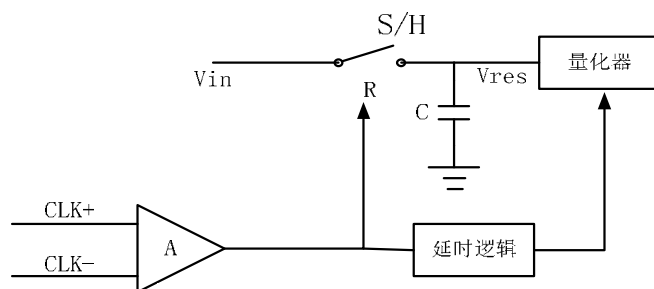


图 3.4 基本采保时钟电路结构图

设输入信号是幅值为 A_{in} 、频率为 f_{in} 的正弦波，则采样电压的时钟抖动 $Jitter$ 正比于输入电压在该时刻的斜率和采样时间。

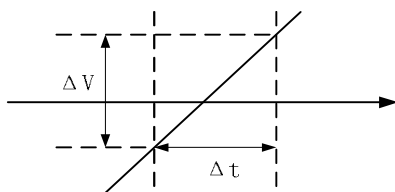


图 3.5 时钟抖动示意图

一个周期的时钟抖动 $Jitter$ 有效值的平方为：

$$s^2 = \frac{1}{T} \int_0^T \left(\frac{dA \sin(\omega t)}{dt} \cdot J \right)^2 dt = 0.5 \left(\frac{2pA}{T} \right)^2 J^2 = 0.5 (2pA f_{in})^2 J^2 \quad (3-19)$$

上式中 J 表示时钟抖动。如果不考虑量化噪声、热噪声、非线性误差等非理想因素的影响，仅考虑时钟抖动影响下的信噪比为：

$$SNR = \frac{S}{N} = 10 \lg \frac{0.5A^2}{0.5(2pA f_{in})^2 J^2} = -20 \lg(2p f_{in} J) \quad (3-20)$$

由上式可知，时钟抖动引起的信噪比与输入信号的频率 f_{in} 有关，随着输入信号频率 f_{in} 的增大，信噪比下降。另外，钟抖动引起的信噪比与输入信号幅度 A_{in} 无关，但由上图可以看出随着输入信号幅度 A_{in} 的降低，时钟抖动 $Jitter$ 随之减少，因而信噪比与时钟抖动 $Jitter$ 密切相关。

3.6 小节

本章从数学理论推导的角度分析了在流水线 ADC 电路中存在的一系列误差源，从这些分析中不难看出，作为模拟电路设计，需要考虑的因素很多，设计难度也相当大，仅仅靠模拟电路设计来提高 ADC 的性能越来越难，因此用数字电路辅助模拟电路设计已成为一个提高模拟电路性能的必然途径。在本章分析的众多误差源中，电容失配误差在一定程度上可以归结到比较器失调和运放增益误差里面去；采保误差一般只在第一级的时候影响最大，后面的采保误差可以被前级增益衰减；时钟抖动误差在 ADC 采样率比较低的时候对整个系统的精度影响不是很大，所以比较器失调和运放增益误差成为影响流水线 ADC 性能的关键所在。接下来，本文将针对流水线 ADC 的这两种误差，设计相关数字校准算法，用以校准比较器失调误差和运放增益误差。

4 数字后台校准技术

数字校准技术的基本思想是在数字域估计模拟单元以及所构建数模混合系统的误差,利用数字辅助设计技术进行补偿,实现数模混合系统的高性能。数字校准技术的两个主要步骤是误差测量和信号校准,按照执行步骤的不同,分为前台校准和后台校准两类。前台校准先测量误差,再校准信号,前台校准算法的不足之处在于不能连续测量误差并校准信号,必须中断 ADC 的正常工作,因此,前台校准技术不能跟踪 ADC 随环境变化和器件老化带来的误差,应用受到限制^[3]。尽管如此,易于实现、校准速度快的特点使得前台数字校准技术的研究仍然在进行。后台校准并行执行误差测量和信号校准,这种方法的优势在于它可以不中断 ADC 的正常转换过程,并且可以随时跟踪误差的变化,不断更新误差参数,但是后台数字校准的不足在于参数估计需要一定的时间,提取误差参数没有前台快。通过设计合理的算法可以使后台数字校准的误差提取时间落在可以容忍的范围内。下面首先介绍各种数字校准技术的原理即优缺点,然后介绍两种数字后台校准算法:冗余位校准和伪随机序列注入校准算法。

4.1 数字校准技术概述

通过前文的分析不难看出,流水线 ADC 的误差来源不仅在于器件本身,还跟电路结构和微电子制作工艺密切相关。误差源主要有采保误差、时钟误差、运放误差、比较器失调误差和电容失配等,在这众多的误差源中,比较器失调和运放误差对流水线 ADC 的性能影响最大。通过模拟电路的精心设计可以在一定程度上减小误差,改善流水线 ADC 的性能,但是往往效果有限,而且设计难度和付出的代价较大。与之相对,得益于工艺的进步,数字电路具有更好的稳定性、可靠性,并且具有面积小,静态功耗低的特点,利用数字电路的优势,将数字电路与模拟电路结合,引入数字校准技术,对于提高流水线 ADC 的各项性能指标前景可观。正因为如此,国际多间著名大学和公司都已致力于数字校准技术的研究,诸多校准结构和校准算法被提出并得到验证。下面先对目前研究较多的一些数字校准算法做简要介绍。

4.1.1 前台数字校准技术

前台数字校准技术是一项研究比较早的数字校准技术^[4]，前台数字校准技术的校准分为两个阶段：误差测量和信号校准。其基本思想很简单，如下图所示，在 ADC 正常工作之前，先向 ADC 中注入一系列已知的信号，即输入信号端开关接已知的校准信号端，由于输入的信号已知，所以其理论输出也是已知的，根据 ADC 转换的实际输出和理论输出作对比便可以得出 ADC 转换过程中的误差参数。得到误差参数后将其存储在设备中；当 ADC 正常工作时，输入端开关接实际输入信号端，然后用前面得到的这个误差参数校准转换结果，从而得到正确的输出。

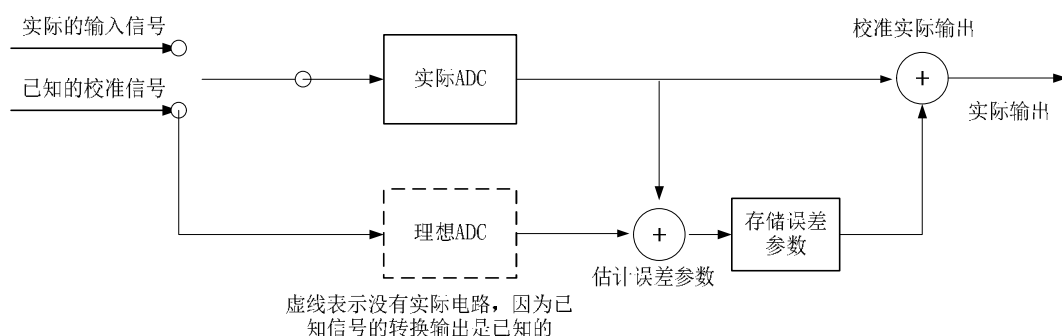


图 4.1 前台数字校准原理图

由前面所述前台数字校准方法的工作原理可知，前台校准算法必须中断设备的正常转换过程，因此，前台数字校准技术不能跟踪 ADC 随环境变化和器件老化引入的额外误差。

4.1.2 伪后台数字校准技术

鉴于前台数字校准技术的不足，人们又设计出了一种可以维持数字输出的校准算法，但这种算法依然要中断 ADC 的转换过程，只是采用了某种手段可以不中断 ADC 的输出，称为伪后台数字校准算法。下面将对应用较多的跳过-填入算法和采样保持放大电路（SHA）队列校准技术做简要介绍。

跳过-填入（skip-and-fill）算法是最早提出的伪后台数字校准算法，其 ADC 在转换过程中，周期性跳过某个输入信号用于测量误差，取代其输入到 ADC 的信号是特定的校准电压^[5]。被跳过的输入信号用数字预测器估计，采用非线性内插算法将估计的输入信号重新填入到转换过程中。利用前 N 个采样信号和后 N 个采样信号构建数字预测器，实现非线性内插算法，估计被跳过时刻的未知采样信号。

采样保持放大电路 (SHA) 队列校准技术是另一种伪后台数字校准技术。算法采用多个 SHA 级联实现模拟信号的连续存储。ADC 转换速率高于队列中 SHA 的采样速率, 即 $f_c > f_s$, 队列中存储的模拟信号数量随时间减少。当队列为空时, ADC 空闲一个转换周期用于 ADC 前台校准。当 ADC 校准周期等于其转换周期时, 校准的最高频率 $f_{cal} = f_c - f_s$ 。

由此可见, 伪后台数字校准技术与前台数字校准技术的相似之处是仍然需要中断 ADC 的正常工作, 注入特定信号测量误差; 不同之处在于为后台数字校准技术采取了相应措施维持 ADC 输出数字信号。这一般需要增加更多的硬件结构来实现, 比如前面介绍的采样保持放大电路队列校准技术就需要设计更多的采保电路, 这无疑会增加电路的规模。

4.1.3 后台数字校准技术

由前面的介绍可知, 无论是前台校准技术还是伪后台校准技术, 他们的共同缺点都是要终止 ADC 的正常转换过程, 因此数字校准技术此后的研究目标和发展方向更为明确: 不妨碍 ADC 正常工作, 能够补偿电路设计和工艺偏差引入的固定误差, 也能够连续测量和补偿环境变化和器件老化等不确定性因素带来的误差。这就促使了后台数字校准技术的出现。根据 ADC 校准信号的不同, 后台数字校准技术主要分为两大类: 一是注入确定的校准信号的后台校准技术, 即码域均衡技术; 二是注入伪随机信号的后台校准技术。二者的相同之处是都建立了自适应反馈系统, 不需要完全了解 ADC 的传输特性, 采用自适应迭代算法在后台测量误差并校准信号。

1) 码域均衡数字后台校准技术^{[6][7]}

如下图所示码域均衡数字后台校准技术的原理图, 该技术采用两个并行的 ADC, 其中一个的高速低精度的主 ADC, 一个是低速高精度的参考 ADC。主 ADC 的采样频率为 f_s , 参考 ADC 的采样频率为 f_s/M , 远低于主 ADC 的采样频率。低速高精度参考 ADC 产生的量化输出是期望输出, 通过主 ADC 的输出与参考 ADC 的输出作对比, 获取误差参数, 然后将这个误差参数反馈到主 ADC 的输出通路上, 用以校准主 ADC 的输出, 通过若干次迭代使得主 ADC 的输出与参考 ADC 的输出误差达到最小, 此时主 ADC 的输出即为准确的输出。其迭代过程可以采用 LMS 算法实现。

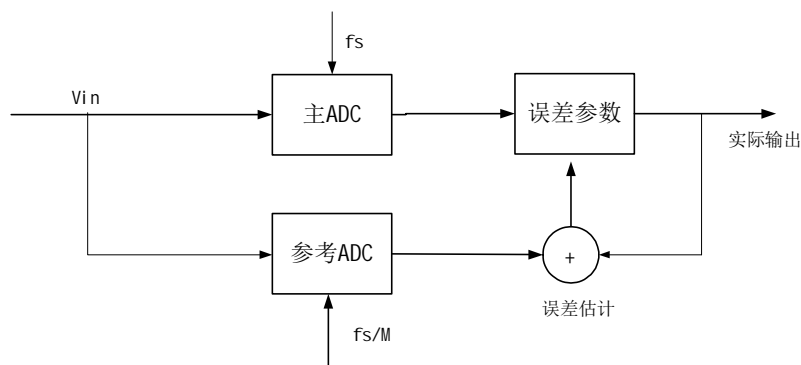


图 4.2 码域均衡数字后台校准技术示意图

2) 伪随机序列注入后台数字校准技术

伪随机序列注入后台数字校准技术是一种基于相关检测的校准算法，利用伪随机序列的自相关特性和与其他信号不相关的特性预测与估计误差参数。注入的伪随机序列是一种已知的、满足算法要求的 PN 序列。其基本思想是将伪随机序列注入到 ADC 中，调制信号，然后在数字域估计和校准数字输出。用伪随机序列注入校准增益误差，其注入位置和校准方法灵活多样，可以针对不同的领域和要求进行相关设计，因此具有较强的应用潜力和研究价值。

根据伪随机序列注入位置的不同，其对信号的调制效果是不同的，具体来说可分为输入信号调制、MDAC 调制、ADSC 调制。如下图所示，下面将对这四种不同的调制做具体介绍。

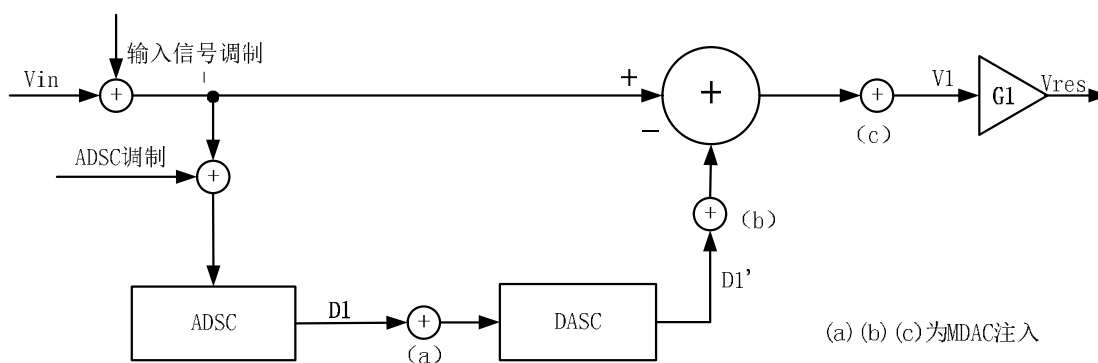


图 4.3 伪随机序列注入位置示意图

(1) 输入信号调制

输入信号校准原理图如图 4.4 所示^[3]：

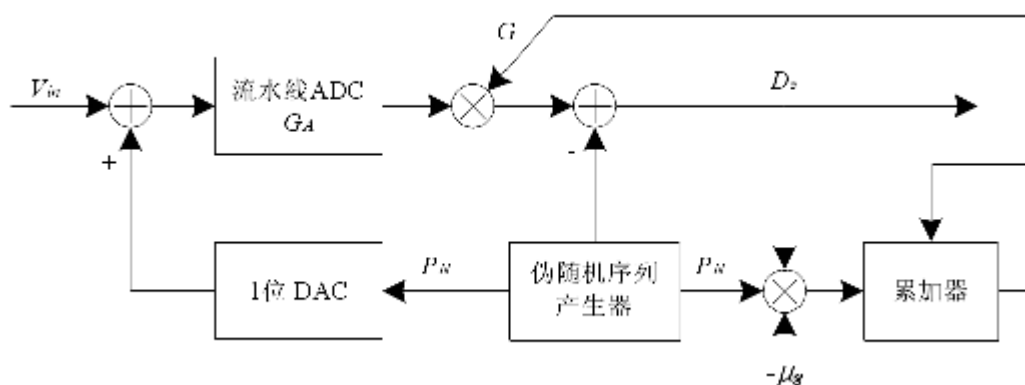


图 4.4 输入信号调制的伪随机序列注入校准原理图

1 位 DAC 将注入的 PN 信号转化成模拟信号，然后叠加到输入信号中去，经过流水线 ADC 转化后再在输出端减去在输入信号中叠加的 PN 信号，得到 D_2 ，这里要说明的是 D_2 中包含两部分，一部分包含 V_{in} 信息，一部分包含 PN 信号。然后将伪随机序列产生器产生的 PN 信号与 D_2 做相关运算，利用 PN 序列的自相关和互相关特性便可以得到误差参数。

由上面输入信号调制的校准原理不难发现，输入信号调制只能测量 ADC 的线性误差，不能测量 ADC 的非线性误差；伪随机序列直接叠加到输入信号上降低了 ADC 的输入范围。模拟域加法和数字域减法的不匹配也会带来误差，影响校准效果和 ADC 的性能。

(2) MDAC 调制

如下图所示^[3]，MDAC 调制通过在 MDAC 电路上额外加一条开关电容支路将 PN 信号叠加到输入信号通路上用于误差估计。

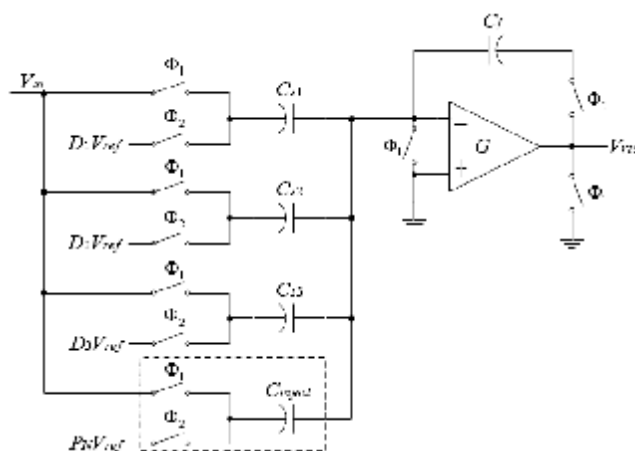


图 4.5 MDAC 调制原理图

由图可知：

$$V_{res} = \frac{\sum_{i=1}^4 C_{si}}{C_f} V_{in} - \frac{\sum_{j=1}^3 C_{sj} D_j}{C_f} V_{ref} - \frac{C_{inject}}{C_f} PN \cdot V_{ref} \cdot G$$

利用 PN 序列的自相关和互相关特性，对残差电压 V_{res} 做相关运算，得到：

$$V_{res} \Delta PN = \frac{\sum_{i=1}^4 C_{si}}{C_f} V_{in} \Delta PN - \frac{\sum_{j=1}^3 C_{sj} D_j}{C_f} V_{ref} \Delta PN - \frac{C_{inject}}{C_f} PN \cdot V_{ref} \Delta PN \cdot G$$

由 PN 的自相关和互相关特性可知，经过相关运算后前两项趋于零，误差系数为：

$$D = -G \frac{C_{inject}}{C_f} V_{ref}$$

式中， Δ 包含级间增益误差、电容失配等，校准的数字输出需要减去 PN 序列调制项。由前面的校准原理介绍可知 MDAC 调制的电路存在两个缺点：

一是伪随机序列加在子数模转换器（DASC）上，要保证 V_{res} 不超出后级 ADC 的输入范围，就要限制输入信号幅度，这就降低了输入信号的范围；

二是级间增益估计值的精度依赖于 PN 幅度的精度，在模拟域很难实现精确的小幅度伪随机序列（如 1/4 或 1/8 倍 PN）。

（3）ADSC 调制的伪随机序列注入校准算法^[8]

ADSC 调制是将伪随机序列注入到子 ADC 的输入端，叠加的伪随机序列可以等效为比较器的失调误差，通过后面的介绍可知，比较器失调误差可以通过冗余校正算法完全校正，这样不仅对输入信号的幅度没有影响，而且对输入的伪随机序列的精度要求大大降低。同时 ADSC 注入的伪随机序列校正算法不需要改变流水线 ADC 的关键电路 MDAC 部分，大大减小了模拟电路的设计难度。正因为 ADSC 调制的校正方法有诸多优点，本文在后续章节将对 ADSC 调制进一步介绍，并通过 MATLAB 对 ADSC 调制的校正方法进行系统建模，通过仿真结果证明其有效性。

下面首先介绍在流水线 ADC 中应用最多的冗余位校准算法及其 matlab 建模，再介绍 ADSC 调制的伪随机序列校准算法及建模。本文建立的流水线结构 ADC 采用 3.5+8*1.5+3 的整体架构构成 14 位流水线结构。

4.2 冗余位校准算法

流水线 ADC 的冗余位校正技术通过降低每级的级精度，设定特殊的冗余位，再利用后端的数字校正电路进行处理，从而有效校正流水线 ADC 每级中的子 ADC 误差。对于冗余位校正技术，误差校正范围就是所能够校正的子 ADC 的比较电平的最大失调电压。下面以 2 位每级 ADC 为例说明冗余位校正工作原理及过程。

对于理想的 2 位 ADC，其传输函数曲线如图 4.6 所示：

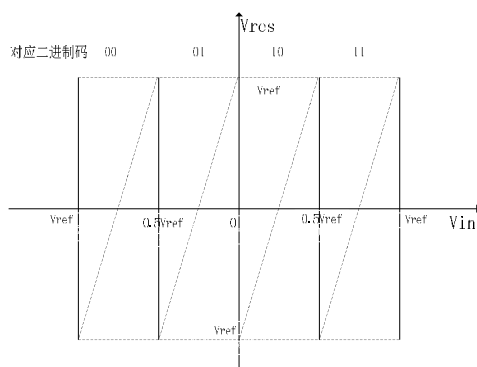


图 4.6 理想 2 位每级 ADC 传输函数曲线

但是实际上，比较器的比较电平不可能完全是理想的，即存在失调，此时传输函数曲线如图 4.7 所示：

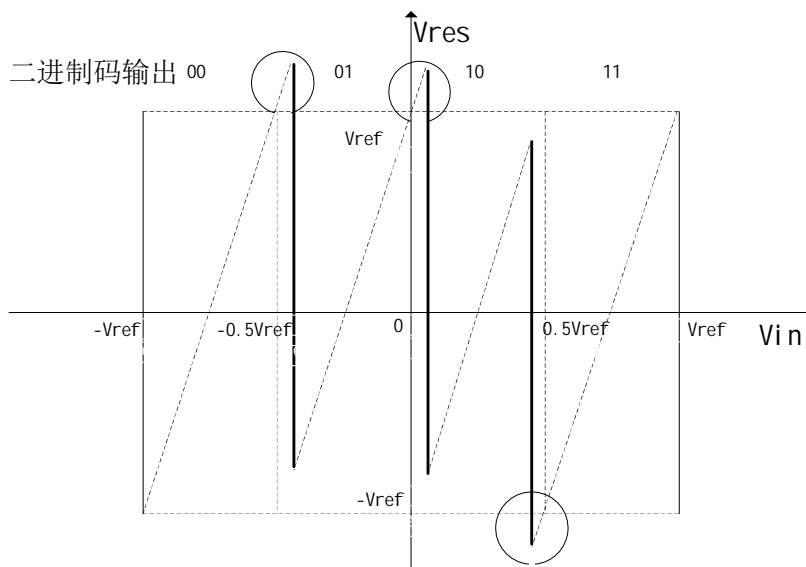


图 4.7 存在比较器失调的 2 位每级 ADC 传输函数曲线

由图可知，由于比较器失调，理想的参考电压为 $-0.5V_{ref}$ ，但实际上这个参考电压大于了理想的参考电压。这样在稍大于 $-0.5V_{ref}$ 这个输入电压范围内，本该输

出的二进制码为 01，现在变成了 00，这样就造成了本级的输出错误。不仅如此，图中圆圈所示部分超过了下级的输入允许范围，这样同样会导致下级数字输出码错误。为了解决这种问题，可以通过冗余校正的方法，将本级的输出减小到原来的一半，从而保证输出在比较器失调范围 $\pm 1/2LSB$ 内仍然在下一级的输入范围内。采用冗余校正方法后的传输函数曲线如图 4.8 所示：

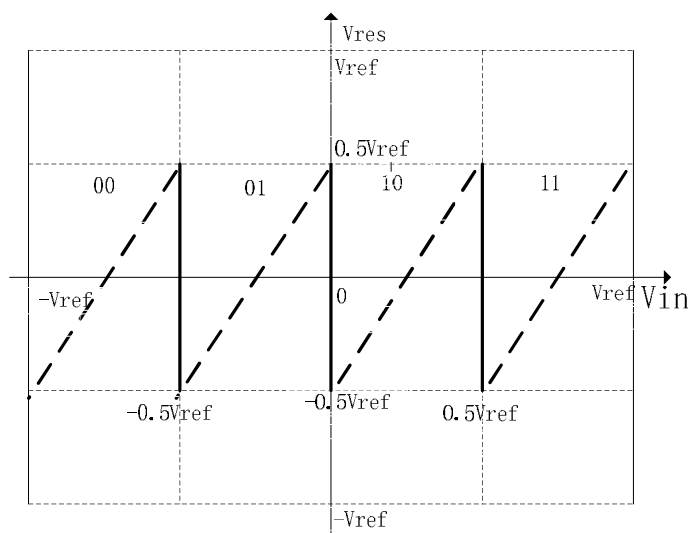


图 4.8 将增益减小一半的 2 位每级 ADC 传输函数曲线

改变级电路的传输特性，将残差电压输出范围缩减到 $[-0.5V_{ref}, +0.5V_{ref}]$ ，即使存在一定范围的误差，仍然能够保证残差电压在 $[-V_{ref}, +V_{ref}]$ 之内，然后与后级电路的 ADSC 输出做加法或减法来修正。这就是数字冗余位校正技术。上图所示的校正算法需要做加法和减法校正。在每个流水线级的输出位上，数字校正算法可能有加法、减法以及不操作三种运算，这就带来了对数字校正算法测试上的困难。实际上减法运算等于加上一个负数，不操作等效于加零，因此可以考虑将传输函数向 x 轴的正方向移动 $0.5LSB$ ，去掉正方向的一个比较电压，数字校正算法只需要做加法校正，这降低了校正电路的复杂程度。此时的传输函数如图 4.9 所示。

由图可知，采用冗余位校正算法后，在理论参考电压附近 $\pm 1/2LSB$ 范围内变动（箭头所示区域），输出余差电压仍然在下一级的输入电压要求的范围内。这样就可以避免由于比较器失调电压造成的误码。值得注意的是，在参考值移位后，子并行 A/D 转换器顶层比较器的阈值电压增加至满量程 $\pm 1/2LSB$ 的位置，这个范围正好在校正算法可以校正误差的范围，所以可以将其移除，它的移除并不会使余差放大后的结果超出下一级的转换范围。尽管它的移除意味着失去了二进制编码中的最大值，

当输入在这个范围之内时,通过校正算法的移位相加仍可以得到正确的二进制转换结果。

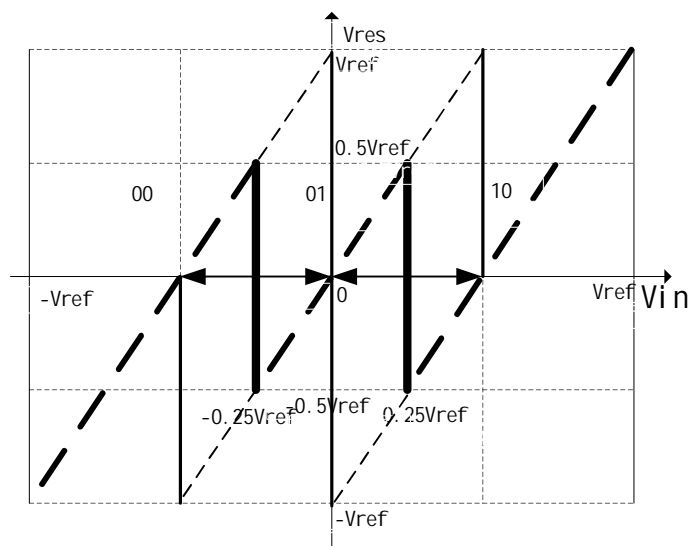


图 4.9 采用冗余位算法的 2 位每级 ADC 传输函数曲线

余差计算公式为:

$$V_{res} = G * [V_{in} - (D_{out} - (2^{N-1} - 1)) \frac{V_{ref}}{2^{N-1}}] \quad (4-1)$$

其中 G 为级间增益, D_{out} 为输出二进制数对应的十进制数, N 为该级的转换位数。

由前面的叙述可知,采用冗余校正算法的流水线 ADC 的 ADSC 比较电平发生了偏移,数字输出结果必须经过错位相加后方可正确输出。在以上分析结果的基础上,利用 matlab 中 simulink 建模^[9],其结果如下:

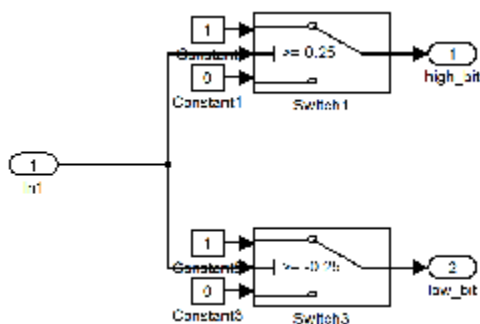


图 4.10 1.5 位每级比较器量化模型

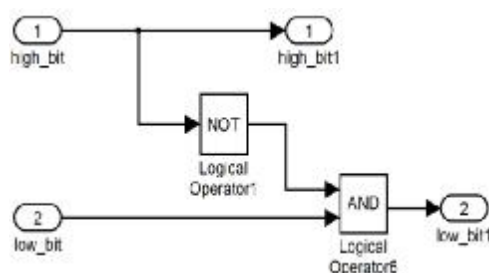


图 4.11 2-2 编码器模型

以上两部分组合到一起即构成了 1.5 位每级子 ADC 的 ADSC 模块。根据流水线结构 ADC 的工作原理可知,转换输出的二进制码还要经过子 DAC 转化成与之对应的模

拟量，以便与输入信号做差得到余差电压。其子 DAC 模型如图 4.12 所示：

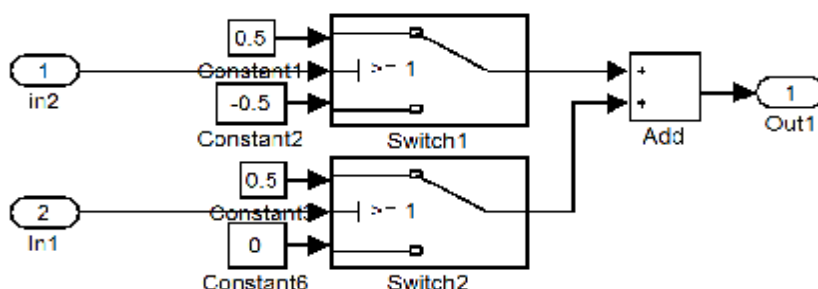


图 4.12 1.5 位每级子 DAC 模型

流水线 ADC 首级采用 4 位每级的结构，根据以上介绍的 1.5 位每级的分析过程，同理可得 4 位每级子 ADC 加入冗余校正算法后的传输函数曲线为：

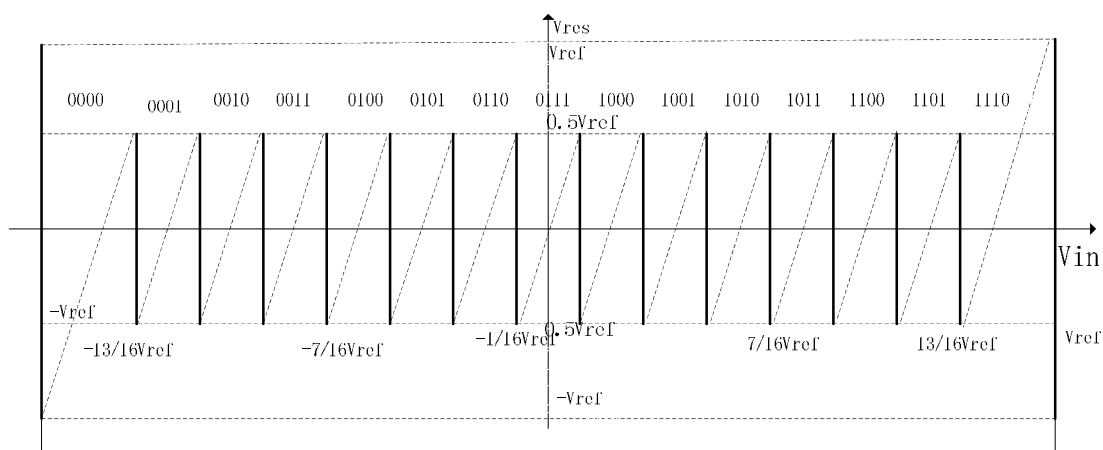


图 4.13 4 位每级子 ADC 采用冗余位校正算法后的传输函数曲

同样，对于每一级流水线 ADC 来说，都要包含 ADSC 和 DASC, 在 matlab 中建模过程也跟 1.5 位每级结构的类似，在此不再赘述。

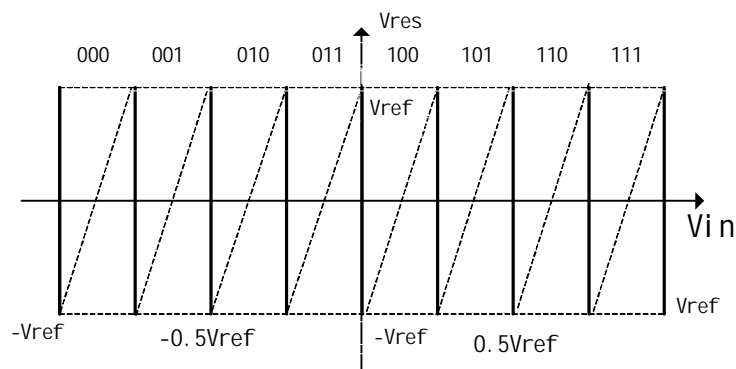


图 4.14 最后一级 3 位子 ADC 的传输函数曲线

这里，值得注意的是对于流水线 ADC 的最后一级子 ADC，由于后面不需要再继续

量化, 所以最后一级子 ADC 是不需要采用冗余位校正结构, 只需要用基本的快闪三位每级 ADC 结构即可, 其传输函数曲线如图 4.14 所示。

由于流水线 ADC 的工作原理, 使得每个输入模拟量要经过若干个时钟周期后才能输出结果, 并且对于一个确定的模拟输入, 其高位最先得出, 低位最后得到。因此为了保证输出的正确性, 高位输出必须等待低位转换完成才能一起输出, 这就要用到延时模块。从高位到低位其延时时间依次递减, 最后一级无需延时, 可以直接输出。倒数第二级延时一个时钟, 倒数第三级延时两个时钟, 依次类推, 通过 simulink 建立延时模型电路, 如图 4.15 所示。

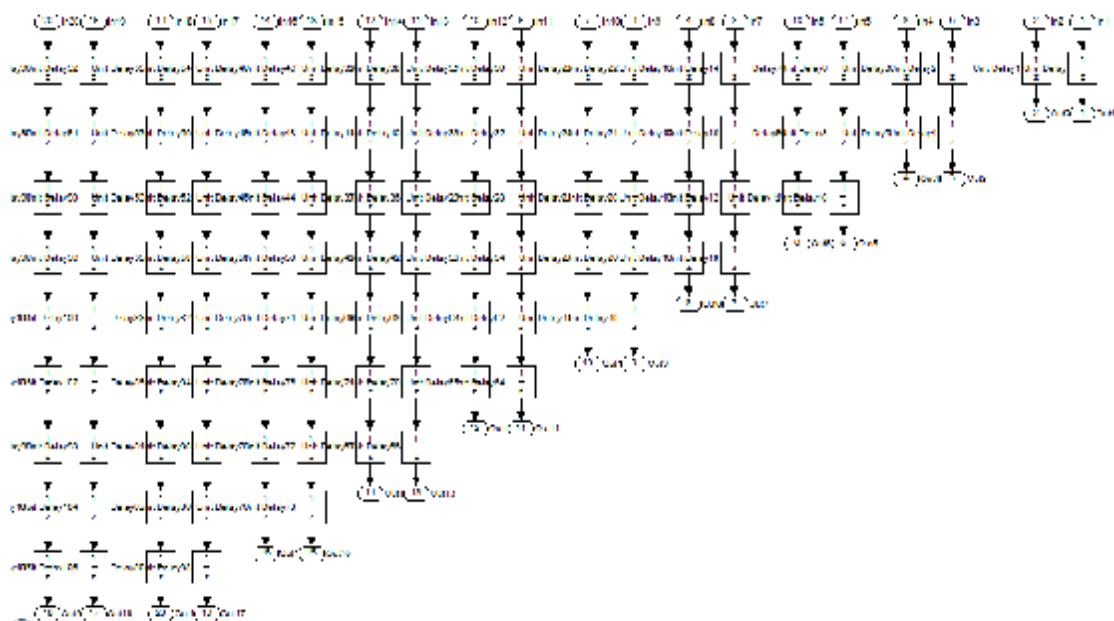


图 4.15 延时模块 simulink 模型

电路采用冗余位校准算法, 输出二进制码需经过错位相加才能得到正确的结果, 这就需要 1 位的全加器实现错位相加。1 位全加器的数字逻辑设计过程大致可以通过以下几个步骤完成。

- 1、根据 1 位全加器的功能写出其真值表;
- 2、由真值表写出逻辑函数表达式, 并根据卡诺图进行逻辑函数表达式的化简;
- 3、根据化简后的逻辑函数表达式画出门级电路图。

具体操作过程很简单, 在此不再赘述, 直接给出 1 位二进制全加器的门级电路图如图 4.16 所示。

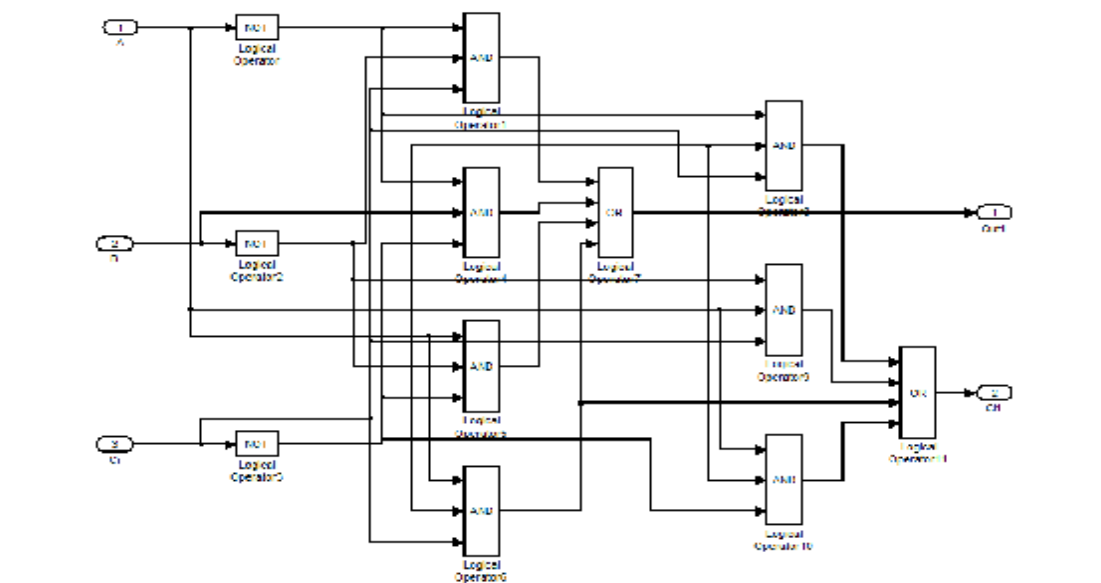


图 4.16 1 位二进制全加器的门级电路图

封装后将多个一位加法器级联可得多位的二进制加法器：

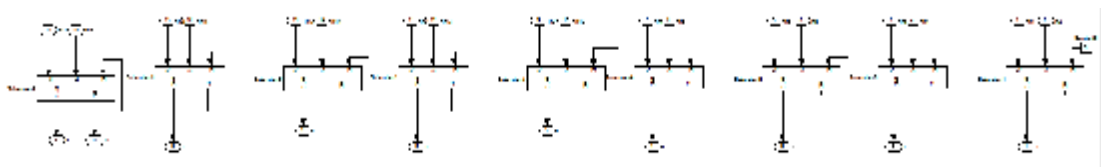


图 4.17 由 1 位二进制全加器级联而成的多位二进制加法器

4.3 ADSC 调制的伪随机序列注入校准技术

通过前文的分析可知为了校准电容失配、运放有限直流增益和带宽等非理想因素引入的级间增益误差，可以利用 ADSC 调制结构的 PN 注入校准技术，其思想是将与输入信号 V_{in} 不相关的 PN 序列叠加到信号通路上，调制 V_{in} ，在数字域估计实际级间增益用以校准 ADC 数字输出。PN 序列是具有随机特性的确定的序列，其值为 -1 或 1，在有限长度或一个周期内 -1 和 1 出现的概率接近相等。它的频率特性为白噪声，利用其自相关特性和与其他信号互不相关的特性，ADC 数字输出信号与 PN 在数字域进行相关运算估计实际级间增益。

ADSC 调制的 PN 注入校准技术的原理图如下所示。由图可知， $D1'$ 为：

$$D1' = Vin + gPN - DV \quad (4-2)$$

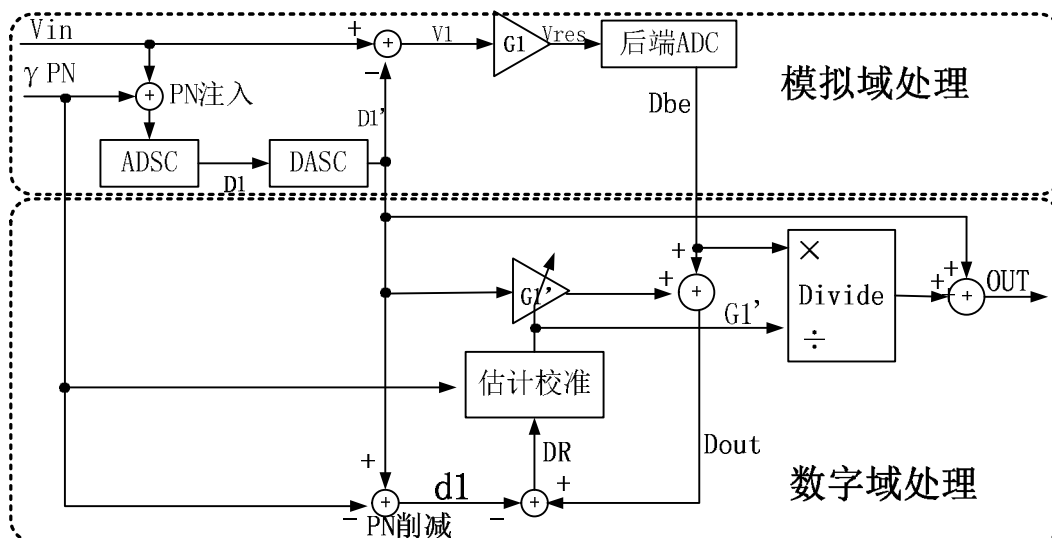


图 4.18 ADSC 调制的 PN 注入法校准级间增益误差的原理图

其中 ΔV 为量化误差，对于 $V1$ ，有：

$$V1 = Vin - D1' = DV - gPN \quad (4-3)$$

后端 ADC 的输出 Dbe 为：

$$Dbe = V1 \cdot G1 - DV' \quad (4-4)$$

同理，其中 $\Delta V'$ 为后级 ADC 的量化误差。对 $Dout$ 有：

$$Dout = Dbe + D1' \cdot G1' \quad (4-5)$$

经 PN 削减后，有：

$$d1 = D1' - gPN \quad (4-6)$$

故 DR 为：

$$DR = Dout - d1 \quad (4-7)$$

即：

$$DR = Dbe + D1' \cdot G1' - (D1' - gPN) \quad (4-8)$$

代入 Dbe 、 $D1'$ 的表达式，上式可化为：

$$DR = (DV - gPN)G1 - DV' + (Vin + gPN - DV)G1' - Vin + DV \quad (4-9)$$

整理得：

$$DR = gPN(G1' - G1) + [DV(G1 - G1') - DV' + DV + Vin(G1' - 1)] \quad (4-10)$$

在估计校准模块里，利用 PN 的自相关和互相关特性，对 DR 与伪随机序列 PN 做

相关运算，得到被校准级电路的级间增益误差估计值为：

$$D = PN \hat{A} DR \quad (4-11)$$

根据伪随机序列的零平均特性和互不相关特性，上式中不包含 PN 信息的项会逐渐趋于零，相关结果与 $(G1' - G1)$ 成正比。用 LMS 迭代法实现上述相关计算有^[10]：

$$G1[n+1] = G1[n] - mPN[n] \cdot DR[n] \quad (4-12)$$

式中 u 是一个跟收敛速度和估计精度相关的一个常量，称作迭代步长。 u 太小，收敛速度会大大降低， u 太大，迭代过程引起的输出信号波动会降低 $G1$ 的估计精度。

为了在不降低收敛速度的前提下，抑制滤波器在迭代过程中引起的波动，提高增益的估计精度，可以采用带宽为 K 的指数平均器来代替简单的乘法运算 $PN[n] \cdot DR[n]$ ^{[11][12]}，改进后的迭代过程如下式：

$$G1[n+1] = G1[n] - mA[n+1] \quad (4-13)$$

其中 $A[n+1]$ 为：

$$A[n+1] = A[n] + K(PN[n] \cdot DR[n] - A[n]) \quad (4-14)$$

由此，估计与校准模块的原理如图 4.19 所示。

当 $G1$ 与理想值之间没有误差时， $V1 = Dbe/G1$ ，但是当 $G1$ 不是理想值时，假设有：

$$G1' = G1 - \Delta G \quad (4-15)$$

此时 $V1 \neq Dbe/G1$ ，而是：

$$V1 = Dbe/G1' \quad (4-16)$$

又因为 $Vin = D1' + V1$ ；要使 $OUT = Vin$ ，则：

$$OUT = D1' + V1 = D1' + Dbe/G1' \quad (4-17)$$

其中 $G1'$ 由前述方法估计得到。

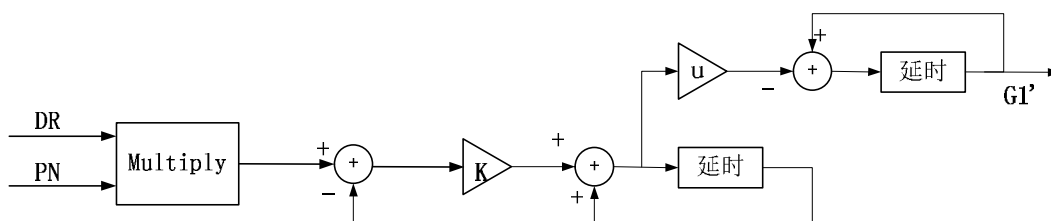


图 4.19 级间增益估计校准原理图

由前面的分析，ADSC 注入的伪随机序列注入校正技术需要在被校准级注入伪随机序列，又根据流水线 ADC 的误差分析可知，对于流水线 ADC 来说，其增益误差对

输出影响最大的是第一级，后面各级增益误差对输出的影响都要受到前级增益之积的衰减，因此，本文建模主要考虑对第一级子 ADC 进行级间增益误差校准。当然，后面各级都可以采用与第一级同样的方法进行校准。

对于第一级 3.5 位的子 ADC, 采用 ADSC 注入的伪随机序列校正技术的 simulink 模型图如 4.20 所示。

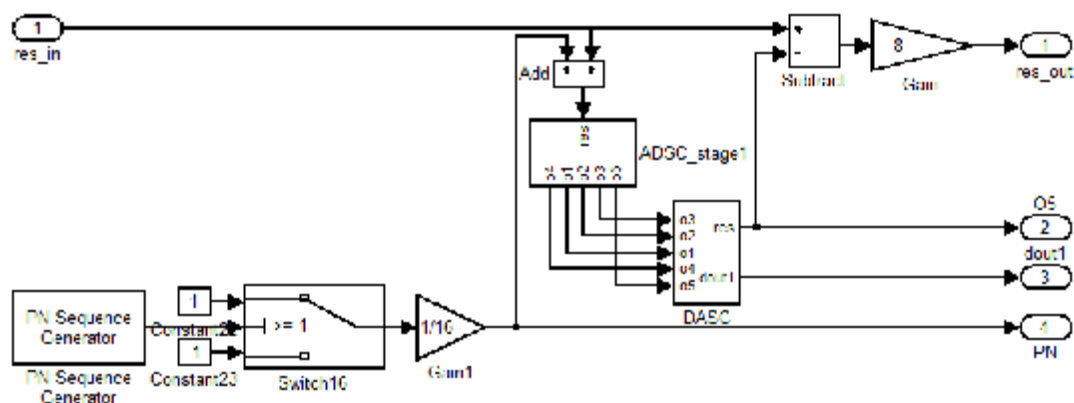


图 4.20 第一级子 ADC 采用 ADSC 注入伪随机序列校准算法的模型图

根据 (4-17)，其输出为第一级量化输出加后面各级的量化输出除以级间增益，此增益为待估计的增益值，在 `matlab` 中建立模型如图 4.21 所示。

由图 4.18 所示原理图, 可得估计校准模块的 simulink 模型如图 4.22 所示。

由前文的推导，增益估计模块采用的是加入带宽为 K 的指数平均器来代替简单的乘法，即式 (4-13)、(4-14)，故增益估计模块的 *simulink* 模型如图 4.23 所示。

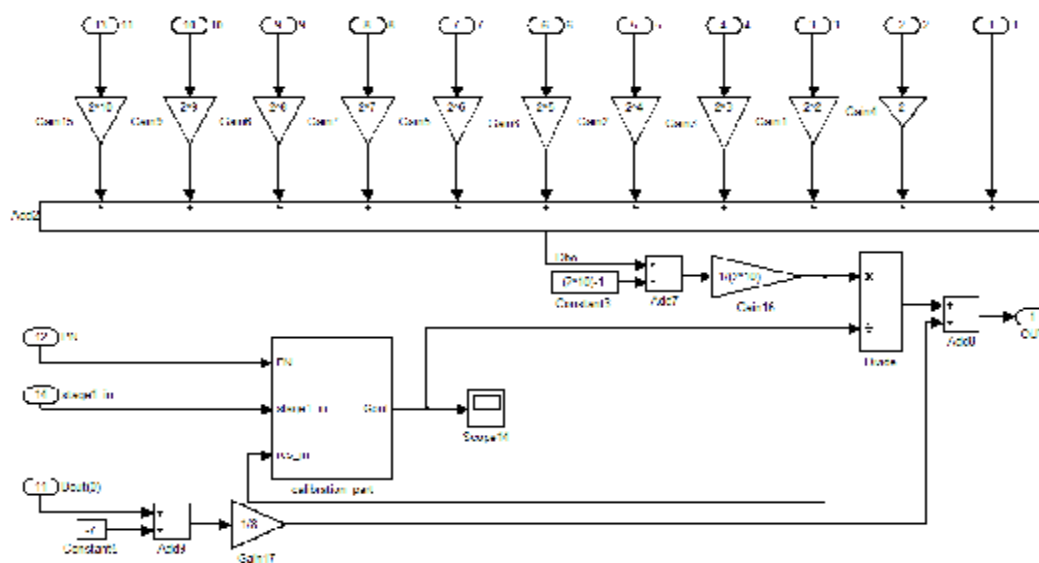


图 4.21 数字校准电路模型

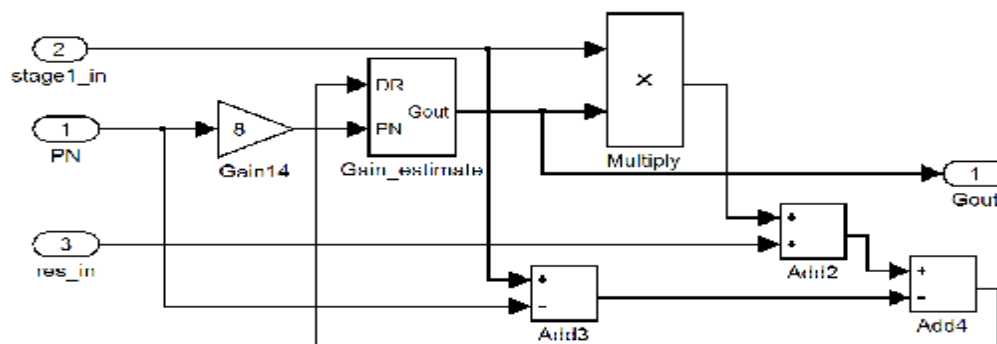


图 4.22 估计校准模块 simulink 模型

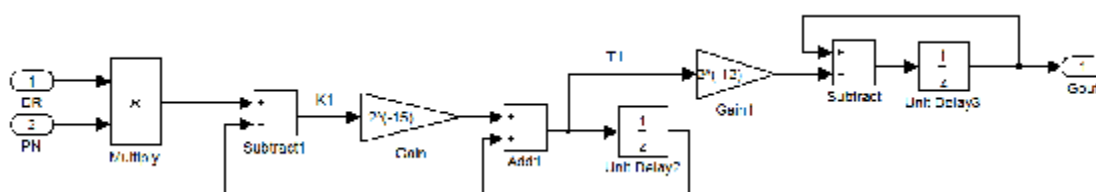


图 4.23 增益估计模块 simulink 模型

图 4.23 中 Gain 和 Gain1 的值即为 K 和 u 的值，通过调节 K 和 u 的值可以调节 LMS 算法的收敛速度和精度。

通过前面的介绍，流水线 ADC 的相邻级的工作状态是不同的，通过两相不交叠时钟来控制流水线 ADC 的工作流程，在 simulink 建模中，由于本文主要考虑的是运放增益误差和比较器失调带来的误差及数字后台校准方法，所以对于采保的误差并不做过多的考虑，故在建模的过程中为了简便起见，采用理想的采保，通过两相不交叠时钟控制流水线 ADC 的正常工作。由此得到最终 14 位流水线 ADC 的系统模型如图 4.24 所示：

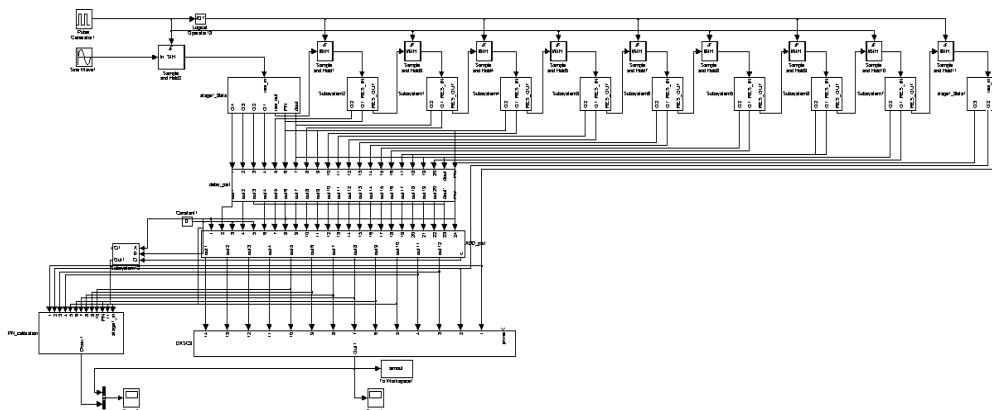


图 4.24 14 位流水线 ADC 的 simulink 模型

5 仿真结果分析

通过前几章的介绍, 已经对冗余位校正技术和伪随机序列注入校准技术这两个数字后台校准技术有了比较全面的理解, 下面将通过 matlab 仿真, 首先给出不存在任何误差的理想 14 位流水线 ADC 的仿真结果, 然后单独加入比较器失调误差观察冗余校准技术对比较器失调的校准作用, 再单独加入运放增益误差, 观察伪随机序列注入校准算法对运放增益误差的校准作用, 最后, 同时加入两种误差, 观察两种误差同时存在时, 两种数字后台校准算法对他们的校准效果。仿真过程中, 输入的时钟信号频率设为 100MHz, 输入的正弦信号的频率为 9.8999 MHz。

5.1 理想 ADC 仿真结果

理想流水线结构 ADC 的结构图如图 2.4 所示, 对于理想的 14 位流水线 ADC, 其仿真结果如图 5.1 所示:

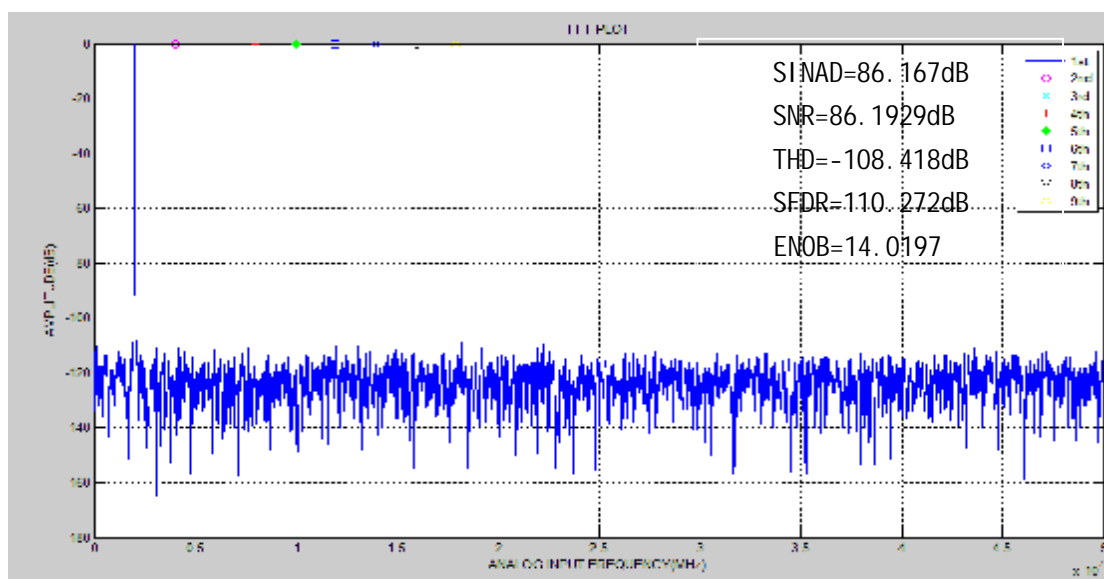


图 5.1 理想的 14 位流水线 ADC 的动态特性仿真结果

5.2 加入比较器失调的仿真

先不考虑增益误差, 给理想的 14 位流水线 ADC 的比较器加入失调电压, 如图 5.2 所示:

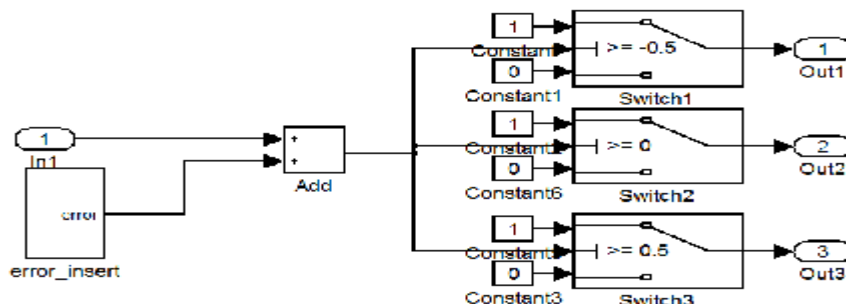


图 5.2 14 位流水线 ADC 加入比较器失调电压后的模型

同理给采用冗余校正算法的 14 位流水线 ADC 比较器加入失调电压:

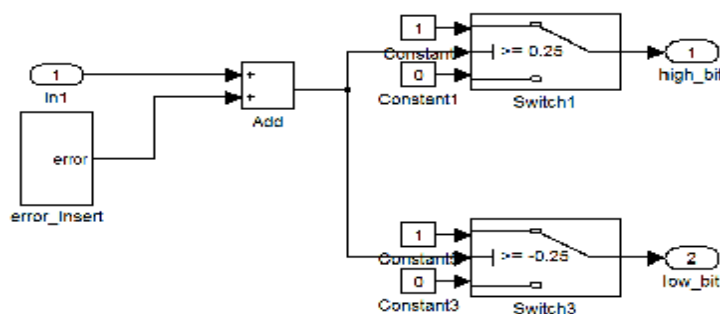


图 5.3 采用冗余校正算法的流水线 ADC 引入比较器失调电压的模型

对于理想的流水线 ADC, 加入比较器失调电压后的仿真结果如图 5.4 所示

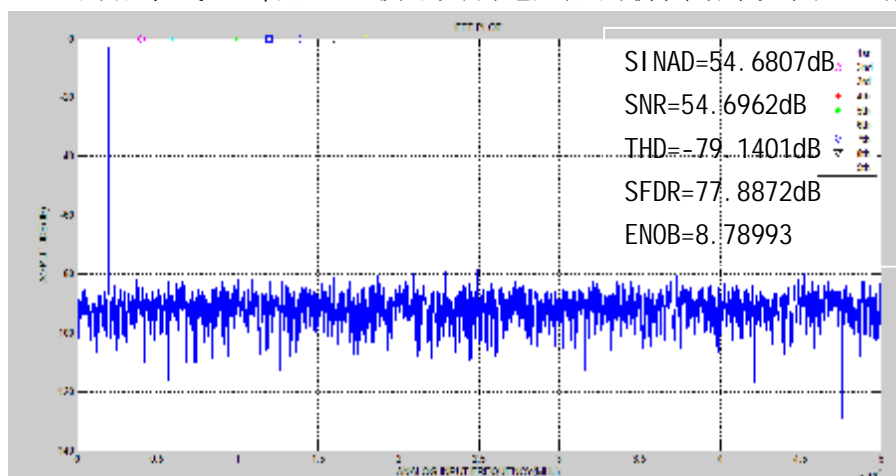


图 5.4 加入比较器失调后的流水线 ADC 的仿真结果

采用冗余校正算法的流水线 ADC 加入比较器失调误差后的仿真结果如图 5.5 示:

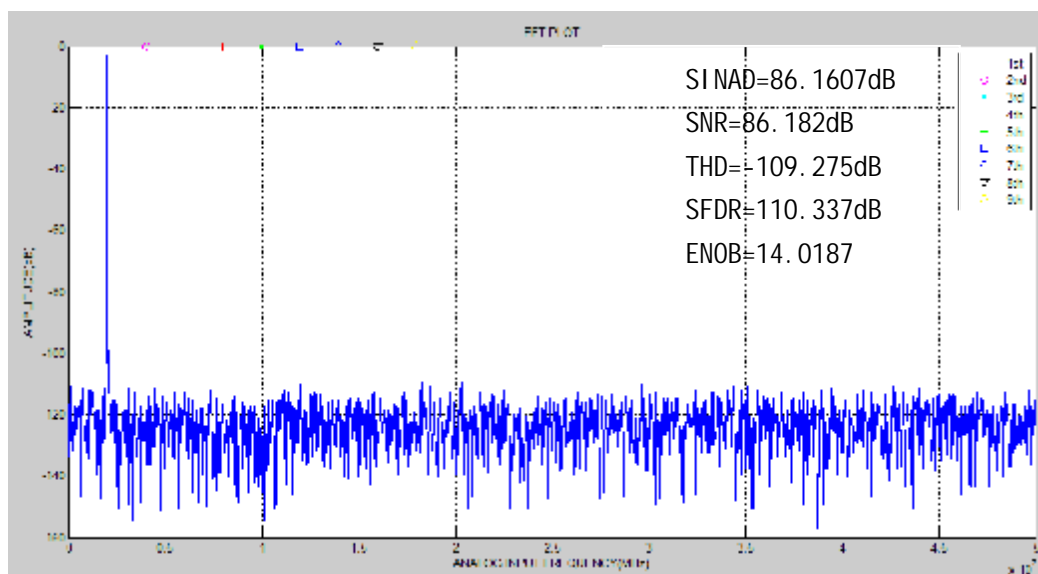


图 5.5 采用冗余校正算法的仿真结果

由以上仿真结果对比可知, 采用冗余校正算法后, 将有效位数由校准前的 8.79 提高到了 14(此结果是在加入比较器的失调电压处在可校准范围内的情况下得到的), SFDR、SNR 等动态指标也都有明显提升, 因此可以说冗余位校准技术对校准比较器失调引起的误差作用明显。

5.3 加入增益误差的仿真

不考虑比较器失调, 给理想的 14 位流水线 ADC 的第一级加入增益误差, 如图 5.6 所示, 其增益在理想情况下是 8。

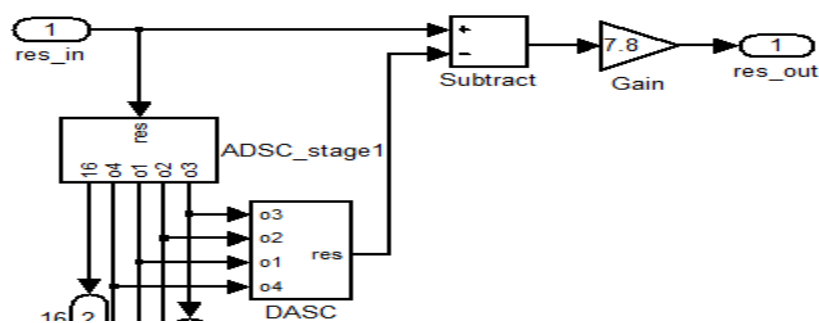


图 5.6 加入增益误差的流水线 ADC 的第一级电路模型

同理, 对于引入伪随机序列注入的流水线 ADC 加入同样的增益误差, 如图 5.7 所示:

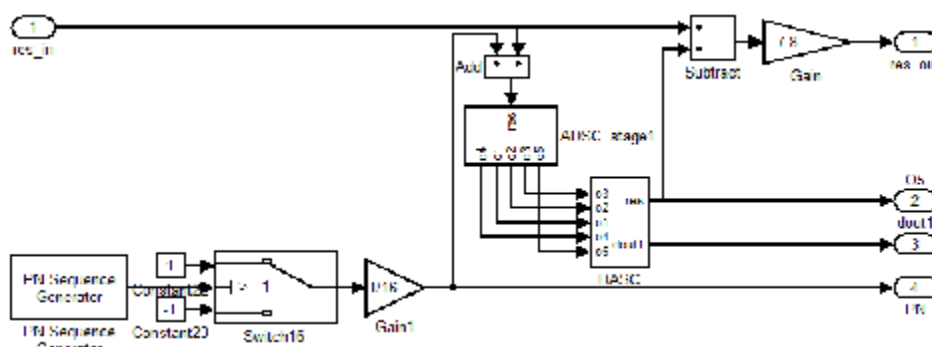


图 5.7 应用伪随机序列校正算法的 ADC 加入增益误差的模型

增益误差加入后, 通过 matlab 仿真, 理想流水线 ADC 加入增益误差后的仿真结果如图 5.8 所示。

引入伪随机序列注入校准算法的流水线 ADC, 在加入增益误差后的仿真结果如图 5.9 所示。其增益收敛曲线如图 5.10 所示。

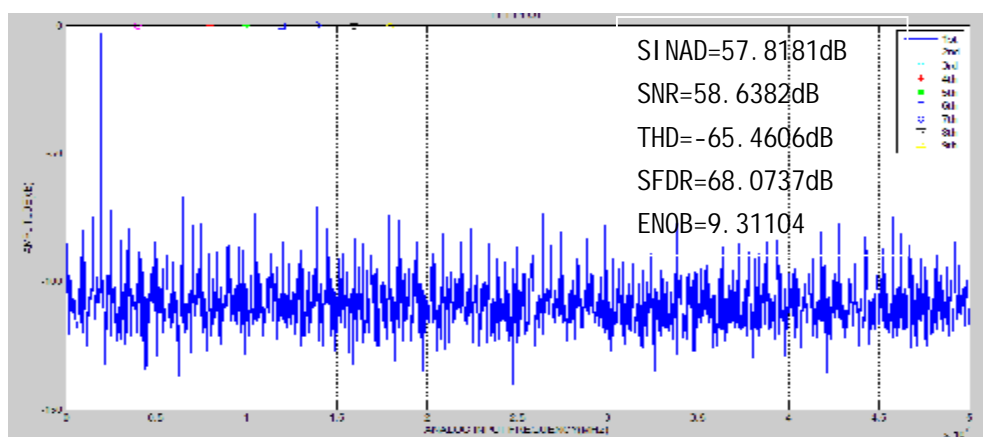


图 5.8 引入增益误差后的流水线 ADC 仿真结果

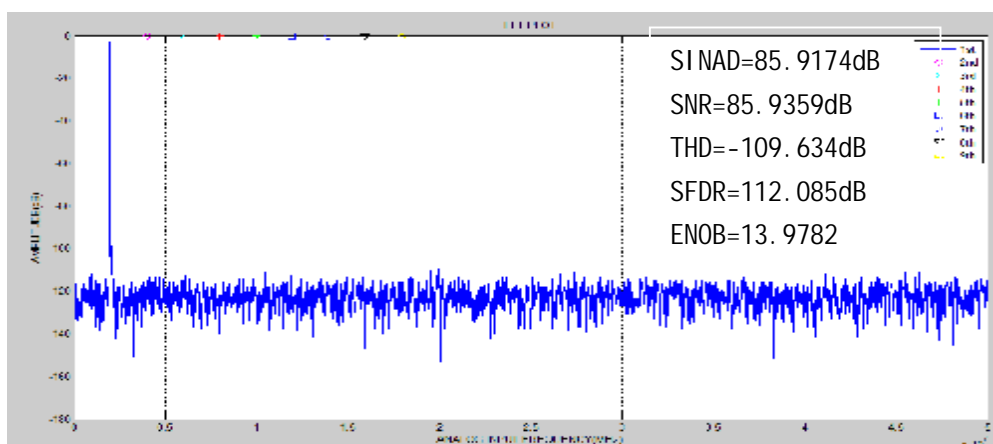


图 5.9 引入伪随机序列校准算法的流水线 ADC 的仿真结果

由以上仿真结果对比可知, 采用伪随机序列注入校正算法后, 将有效位数由校

准前的 9.3 提高到了 13.9 (此结果是在增益收敛到实际值附近的情况下得到的), SFDR、SNR 等动态指标也都有明显提升, 因此可以说伪随机序列注入校准技术对校准运放增益引起的误差作用明显。

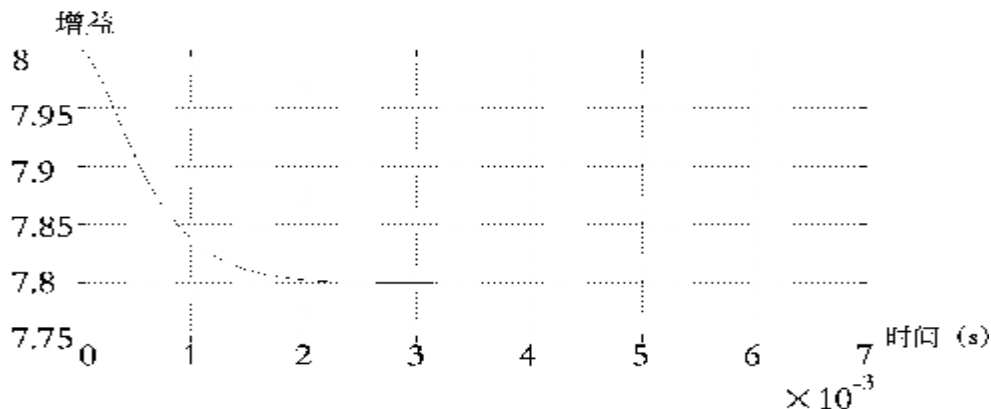


图 5.10 增益收敛曲线

由前面的介绍可知, 增益收敛的速度和精度跟两个数有关, 一个是指数平均器的带宽系数 K , 一个是 LMS 的迭代步长 u 。仿真时给第一级加入的实际增益为 7.8, 根据图 5.10 所示的增益收敛曲线可以看出, 运用 ADSC 调制的伪随机序列注入校准算法可以有效的将实际增益估计出来。图 5.10 所示的收敛曲线, 其 $K = 2^{-15}$, $u = 2^{-12}$ 。由图可知, 大约经历了 3.2ms 可以收敛到实际的增益值, 转化成采样周期数, 大约为 3.2×10^5 次。如果想进一步加快收敛速度, 可以在不改变电路的情况下适当减小 u 的值, 但付出的代价就是收敛后的精度有所减小, 可视情况做合理设置。

5.4 存在比较器失调误差和增益误差的仿真

误差的加入方法同上。对于理想的流水线 ADC 在加入两种误差后的仿真结果如图 5.11、5.12、5.13 所示。

对于引入数字后台校正算法的流水线 ADC 的仿真结果如图 5.16、5.17、5.18 示。

由仿真结果对比可知, 采用数字后台校准算法后, 将有效位数由校准前的 8.49 提高到了 13.9, SFDR、SNR 的值分别由校准前的 67.2dB 和 53.2dB 提高到了校准后的 112dB 和 85.9dB, 均有明显提升, 因此可以说采用这两种数字后台校准技术后对校准流水线 ADC 的比较器失调误差和增益误差效果明显。

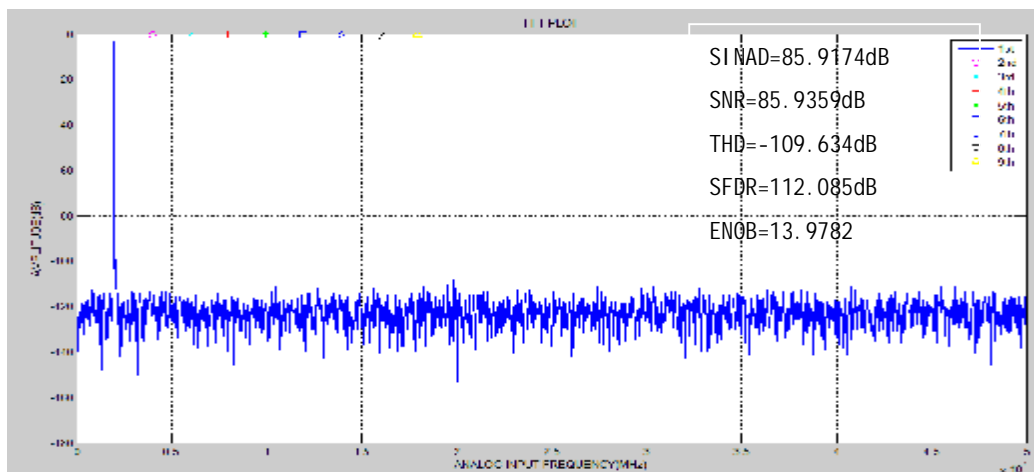


图 5.14 引入数字后台校准算法的流水线 ADC 的仿真结果

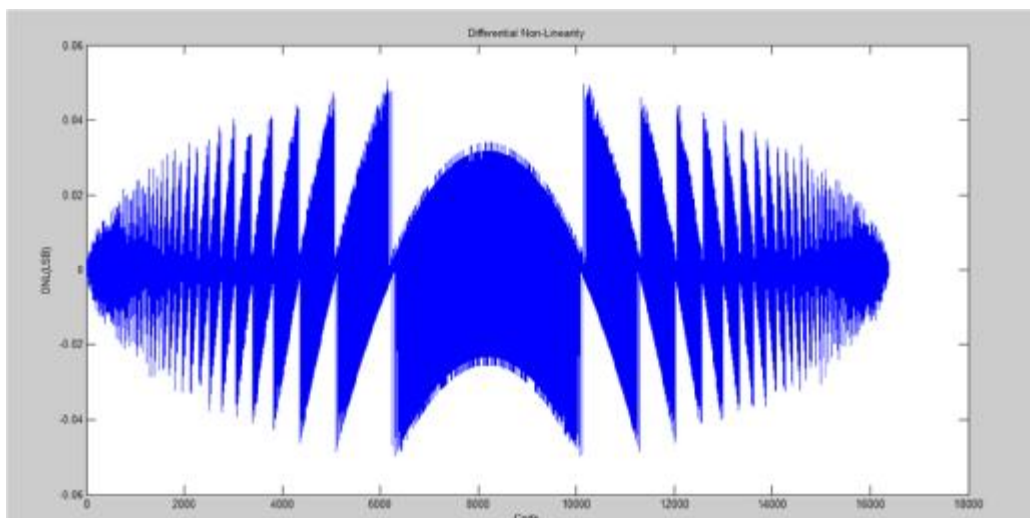


图 5.15 引入数字后台校准算法的流水线 ADC 的 DNL 仿真结果

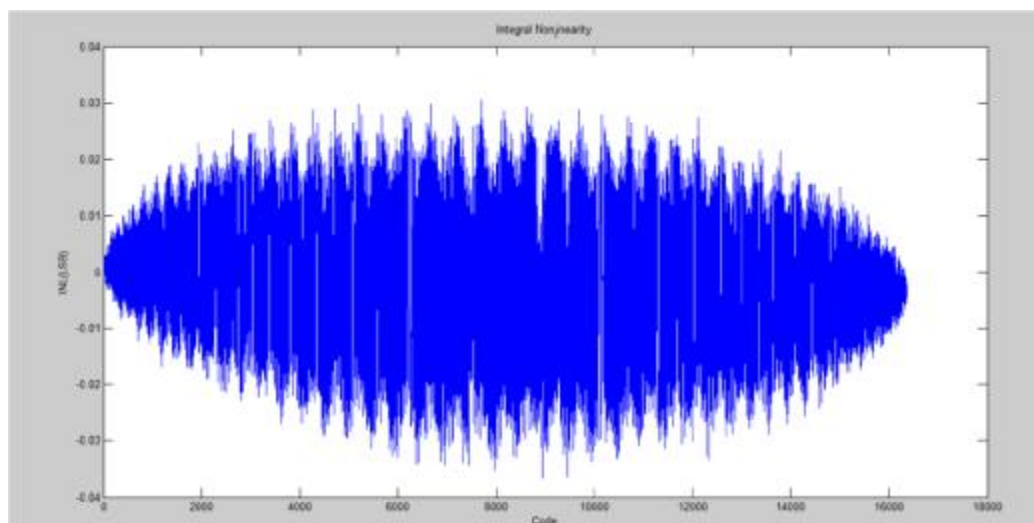


图 5.16 引入数字后台校准算法的流水线 ADC 的 INL 仿真结果

结论

本文首先介绍了目前研究较多的几种模数转化器的不同架构，并对各种架构的模数转换器做了各方面的对比。然后选择了在高速高精度领域研究应用都很广泛的流水线 ADC 进行了深入分析。

通过前文分析可知流水线 ADC 是 ADC 设计中高速和高精度的良好结合，同时在功耗和面积方面又有极大的优势。但是随着 ADC 高速、高精度、低压、低功耗的发展趋势，高性能的流水线 ADC 设计越来越困难，特别是滞后的集成电路制造工艺已成为高速高精度流水线 ADC 模拟电路设计的瓶颈。而不断发展的数字电路和数字信号处理技术所表现出的强大的优越性，使得越来越多的模拟功能由数字部分完成，模拟电路的各种噪声误差通过数字技术纠正和减小，这将是 ADC 设计的一个发展方向和研究热点。基于此，通过对流水线 ADC 的误差机制的深入分析，本文设计了两种数字后台校准算法：冗余位校正算法和伪随机序列注入校正算法。从仿真结果可知，本文设计的两种数字后台校正算法能很好的校正由于比较器失调和运放增益误差导致的误差。其中冗余位校正算法只需在模拟电路修改比较器的比较电压即可实现，并不会增加模拟电路设计的难度；伪随机序列注入校正算法采用 ADSC 注入，不用改变流水线 ADC 的关键电路 MDAC，而且估计校准都是在数字电路实现，也不会增加模拟电路的设计难度，只需稍微增加数字电路的复杂程度即可，对功耗并无多大影响。因此都是具有实际应用价值的后台校准算法。

由于时间有限，论文中也存在一些可以进一步完善的地方，在后续研究中可以对其进行深入探讨，主要体现在以下几个方面：

1)、由于本文主要考虑的是比较器失调误差和运放增益误差，所以在系统建模中没有考虑时钟抖动、采保电路等引入的误差。在后续研究中可以考虑加入这些因素的影响，从而更接近实际的验证本文所述两种数字后台校正算法的效果。

2)、采用伪随机序列注入校正算法时，有一个增益收敛时间和稳定性的折中考虑；用 LMS 迭代法实现相关运算，其收敛速度问题在某些特殊应用场合可能会不满足。因此在后续研究中可以设计变步长迭代算法，以进一步加快收敛速度。

3)、采用 simulink 建模，很多模块用的都是理想的，这与实际肯定是有差别的，也必然会导致仿真得到的校准效果高于实际效果，这两种数字后台校准算法在实际电路中能校准到什么程度，可在后续研究中设计实际电路进行仿真验证。