

电子科技大学  
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

# 专业学位硕士学位论文

MASTER THESIS FOR PROFESSIONAL DEGREE



论文题目 高精度流水线模数转换器的数字校准  
算法研究与实现

专业学位类别	电子信息
学 号	202122021424
作者姓名	郭文涛
指导教师	周 雄      副教授
学 院	集成电路科学与工程学院 (示范性微电子学院)

分类号 TN79+2 密级 公开  
UDC <sup>注1</sup> 621.3

# 学 位 论 文

## 高精度流水线模数转换器的数字校准 算法研究与实现

(题名和副题名)

郭文涛

(作者姓名)

指导教师 周 雄 副教授  
电子科技大学 成 都  
(姓名、职称、单位名称)

申请学位级别 硕士 专业学位类别 电子信息  
专业学位领域 集成电路工程  
提交论文日期 2024年4月2日 论文答辩日期 2024年5月20日  
学位授予单位和日期 电子科技大学 2024年 6月  
答辩委员会主席 \_\_\_\_\_  
评阅人 \_\_\_\_\_

注 1: 注明《国际十进分类法 UDC》的类号。

# **Research and implementation of digital calibration algorithm for high-precision pipeline analog-to-digital converter**

A Master Thesis Submitted to  
University of Electronic Science and Technology of China

Discipline **Electronic Information**

Student ID **202122021424**

Author **Wentao Guo**

Supervisor **Associate Prof. Xiong Zhou**

School **School of Integrated Circuit Science and**

**Engineering**

**(Exemplary School of Microelectronics)**

## 摘要

模数转换器（ADC）是现代电子通信不可或缺的组件，它将模拟信号转换为数字信号。特别是流水线模数转换器，同时兼顾了精度和速度，因此被广泛应用于移动通信等重要领域。然而，ADC的性能受到了许多非理想因素的制约，结合校准技术来纠正流水线ADC中的误差成为人们提高ADC性能的常用手段。其中数字校准技术将复杂的模拟问题转换为数字信号进行处理，很好的利用了数字电路集成的优势。

本文针对流水线模数转换器（ADC）在高速度和高精度应用中面临的挑战，深入研究了数字校准技术，提出了一种高精度流水线ADC的数字校准算法。通过对流水线ADC的工作原理、性能指标及其在宽带信号和非线性系统中的应用需求进行分析，本研究聚焦于解决流水线ADC中因非理想因素引起的误差问题，如增益误差、偏移误差和非线性误差等。在此基础上建立了一个贴近实际电路特性的16位流水线ADC Simulink模型。

研究首先对现有的数字校准技术进行了全面回顾，分析了其优缺点，并在此基础上，提出了一种结合前台校正算法和后台校正算法的新型数字校准策略。该策略通过高位削减手段和增添冗余级的方法，优化了校准过程，提高了校准效率和精度。通过在MATLAB环境下对所提算法进行建模和仿真验证，数字校准后，流水线ADC的SFDR从65.7 dB提高到99.5 dB，SNDR从59.2 dB提高到81.6 dB，有效位数从9.5 bit提升到13.2 bit，显著提高了电路的整体性能。在MATLAB验证完后，在RTL级电路对算法进行了验证，对比MATLAB仿真结果性能稍有下降，经过RTL级数字电路校正后SFDR提高到98dB，SNDR提高到81.7dB。这些测试结果证明了所提出数字校准算法的有效性和良好性能。

**关键词：**流水线模数转换器，前台校准算法，后台校准算法，电容失配，级间增益误差

## ABSTRACT

The Analog-to-Digital Converter (ADC) is an indispensable component in modern electronic communications, converting analog signals into digital signals. In particular, pipeline ADCs balance accuracy and speed, making them widely used in critical areas such as mobile communications. However, the performance of ADCs is constrained by many non-ideal factors. Combining calibration techniques to correct errors in pipeline ADCs has become a common method for improving ADC performance. Digital calibration techniques convert complex analog problems into digital signals, effectively leveraging the advantages of digital circuit integration. This thesis focuses on the challenges faced by pipeline Analog-to-Digital Converters (ADCs) in applications requiring high speed and precision, delving into digital calibration techniques and proposing a digital calibration algorithm for high-precision pipeline ADCs. By analyzing the working principles, performance indicators of pipeline ADCs, and their application requirements in broadband signals and nonlinear systems, this study focuses on addressing error issues caused by non-ideal factors in pipeline ADCs, such as gain errors, offset errors, and nonlinear errors. On this basis, a 16-bit pipeline ADC Simulink model that closely resembles the actual circuit characteristics was developed.

The research first conducted a comprehensive review of existing digital calibration techniques, analyzed their advantages and disadvantages, and based on this, proposed a new digital calibration strategy that combines front-end calibration algorithms and back-end calibration algorithms. This strategy optimized the calibration process, improved calibration efficiency and accuracy through high-order truncation and redundant level addition methods. By modeling and simulating the proposed algorithm in the MATLAB environment, after digital calibration, the SFDR of the pipeline ADC increased from 65.7 dB to 99.5 dB, SNDR increased from 59.2 dB to 81.6 dB, and the effective number of bits increased from 9.5 bits to 13.2 bits, significantly improving the overall performance of the circuit. After MATLAB validation, the algorithm was verified at the RTL level, showing a slight performance decrease compared to MATLAB simulation results. After RTL-level digital circuit calibration, the SFDR increased to 98 dB and SNDR increased to 81.7 dB. These test results demonstrate the effectiveness and good performance of the proposed digital calibration algorithm.

**Keywords:** Pipeline Analog-to-Digital Converter, Digital foreground calibration,  
Digital background calibration, Capacitor mismatch, Inter-stage gain error

# 目 录

第一章 绪论.....	1
1.1 研究背景与意义.....	1
1.2 Pipeline 校正算法国内外研究现状及趋势 .....	2
1.3 论文主要研究内容与章节结构安排 .....	3
第二章 流水线模数转换器原理 .....	5
2.1 模数转换器基本工作原理 .....	5
2.2 ADC 主要性能参数 .....	7
2.2.1 静态性能指标.....	7
2.2.2 动态性能指标.....	10
2.3 流水线 ADC 的基本结构 .....	12
2.3.1 Sub-ADC 电路.....	13
2.3.2 MDAC 电路.....	15
2.3.3 数字冗余位校正算法.....	16
2.4 本章小结.....	18
第三章 流水线 ADC 的系统模型设计 .....	19
3.1 流水线 ADC 的误差分析 .....	19
3.1.1 比较器失调和孔径误差.....	19
3.1.2 电容失配.....	20
3.1.3 运放有限增益.....	22
3.1.4 运放的有限带宽 .....	23
3.2 流水线 ADC 架构系统建模与仿真 .....	24
3.2.1 基本框架建模.....	24
3.2.2 电容阵列建模.....	27
3.2.3 Sub-ADC 建模.....	28
3.2.4 残差放大器建模.....	29
3.2.5 模型中的各类噪声分析.....	30
3.2.6 建模中各项设计指标总结.....	31
3.2.7 模型仿真结果.....	31
3.3 本章小结.....	33
第四章 流水线 ADC 校正算法原理与设计 .....	34
4.1 数字校正设计流程.....	34
4.2 数字校正的基本原理.....	35
4.2.1 前台校正技术.....	36
4.2.2 后台校正技术.....	37

4.3 校正算法设计.....	41
4.3.1 前台校正算法设计.....	41
4.3.2 后台校正算法设计.....	47
4.4 本章小结.....	51
第五章 校正算法的建模和仿真 .....	52
5.1 校正算法建模.....	52
5.1.1 PN 序列建模.....	52
5.1.2 MDAC 的 PN 序列注入模型和 Sub-DAC 模型 .....	53
5.1.3 增益估计值迭代模块.....	55
5.2 校正算法的仿真验证.....	55
5.3 校正算法的物理实现.....	63
5.4 本章小结.....	66
第六章 总结与展望 .....	67
6.1 全文工作总结.....	67
6.2 工作中存在的不足和进一步工作 .....	67
参考文献.....	69



## 第一章 绪论

### 1.1 研究背景与意义

随着集成电路技术的不断发展，各行各业数字化的程度不断加深，数字电路因其更高稳定性，更强灵活性和可编程性，更高集成度和更低功耗的特点在一些领域逐渐取代模拟电路。在现实世界的交互中，大多数信号以模拟信号的形式存在，这些信号不能直接被数字集成电路处理，因此需要先通过模数转换器将模拟信号转换成数字信号。

不同类型的模数转换器（ADC）根据其工作原理和特点，在不同场景中有着特定的应用。以下是一些常见类型的ADC及其在不同领域中的应用：逐次逼近型ADC（SAR ADC）是一种常见的ADC类型，适用于中等精度和速度要求的应用场景。它在医疗设备、音频处理、仪器仪表等领域中被广泛应用。闪存型ADC（Flash ADC）适用于高速、低精度的应用场景，如通信系统、雷达系统、高性能音频设备等领域。Sigma-Delta型ADC适用于高精度、低速率和低功耗的应用场景，如音频处理、传感器接口、精密测量等领域。流水线ADC（Pipeline ADC）适用于需要高速、高精度和宽动态范围的应用场景，如通信系统、高速数据采集系统、高性能仪器等领域。不同类型的ADC具有各自的优势和适用范围，根据具体的应用需求选择合适类型的ADC可以提高系统性能和效率。在实际应用中，通常会根据采样率、精度要求、功耗限制等因素来选择最合适的ADC类型，以满足系统的需求。在无线通信、图像采集与处理以及数字信号处理等多个领域，模数转换器的速度与精度标准正日益提高，对其性能的要求愈发严格，这与集成电路和数字处理技术的高速发展密不可分。流水线ADC作为一种能够兼顾高速和高精度的ADC结构，被广泛应用于这些领域。

随着集成电路制造工艺的不断进步，数字集成电路得到了极大的发展，但也给模拟电路设计带来了前所未有的挑战。随着工艺的微缩，为了减少功耗和避免晶体管击穿，芯片的电源电压越来越低。这限制了信号摆幅，从而影响ADC的动态范围和信噪比。在纳米尺度下，晶体管的本征增益降低，这对于需要高增益的模拟电路设计（如运算放大器）是个挑战，因为它直接影响到ADC的线性度和精度。另外，在芯片制造与运用过程中，流水线ADC的众多参数常因工艺制造差异与工作环境变动而发生变化。为削弱非理想因素对电路性能的负面影响，并简化模拟电路设计的复杂性，校正技术的引入成为了一种卓有成效的解决途径。

上世纪 90 年代，国外学者提出“ADC 校准”这一概念，ADC校准主要分为模

拟域校准和数字域校准。模拟域校准一般直接通过电路补偿或者误差平均的方法来校准,如电容微调 and 电容平均<sup>[1]</sup>,前者通过在电路中额外增加小电容矩阵对电容进行补偿,后者通过将电容拆分为单位电容进行排列组合达到误差平均的效果。模拟域的校正技术增加了电路设计的复杂程度,因此数字域校准逐渐发展成为ADC校正的主流<sup>[2]</sup>。ADC数字校准主要分为前台校准和后台校准,前台校准是在ADC的正常工作过程之外进行的校准过程。这种校准方法通常在ADC启动时或者在特定的校准模式下执行。前台校准主要针对的是电容失配和比较器offset等不随PVT变化的误差。后台校准是在ADC的正常操作过程中进行的校准。这种校准方法利用ADC空闲周期或者特定的技术,在不影响正常测量的前提下,动态地校准ADC。后台校准可以实时校准ADC的误差,减小PVT影响电路性能带来的影响。

## 1.2 Pipeline校正算法国内外研究现状及趋势

流水线ADC主要由多级流水线电路组成,流水级电路由子ADC和乘法数字模拟转换器(MDAC)组成,每级流水级电路通常只量化低位数。其中流水线ADC的非线性主要来自于比较器的offset,MDAC的电容失配以及运放的建立误差和增益误差。人们针对这些误差的特性提出了多种不同原理和结构的校正算法。

在1987年,S.H. Lewis和P. Gray提出了一种重要的技术,这种技术利用冗余码和错位相加的方法来提高模数转换器(ADC)的性能<sup>[3]</sup>,尤其是在对比较器失调误差的容错方面。在1992年,S.H. Lewis等人又提出了每级1.5位(1.5 bit/stage)的流水线模数转换器(ADC)结构<sup>[4]</sup>,这是流水线ADC设计中的一个重要里程碑。这种设计允许每个阶段输出1位有效数据和一个半位(即,决定下一阶段是否需要调整的额外位),从而提高了转换效率和精度,同时也简化了ADC的设计。它不仅提高了流水线ADC的性能,同时也推动了数字校正技术的发展,成为了许多高性能ADC设计的基础。

1993年,A. N. Karanicolas等人提出了一种基于码字实际权重测试的前台数字校正算法<sup>[5]</sup>。这种算法主要针对1 bit/级结构的流水线ADC中的电容失配误差及增益误差进行校正。在这种方法中,通过测量和分析ADC输出的码字实际权重,可以识别出电容失配和增益误差,进而通过数字码进行校正。这种方法的优点在于能够直接针对误差源进行校正,提高了ADC的精度。然而,作为一种前台校正技术,它需要在ADC的正常运行过程之外进行特定的测试和校正操作,这可能会影响系统的实时性和连续运行能力。

2001年,J. Ming率先提出了一项创新的数字后台校准技术,其核心理念与采用伪随机序列进行数字校准的方法相似,目的是对流水线ADC中的参考电压和增

益误差进行精确校准。紧随其后，在2003年，Jipeng Li与Un-Ku Moon引入了一种新颖的后台校正方法<sup>[6]</sup>，该方法通过对ADC的参考电压施加伪随机噪声（PN）信号，并对输出的码字进行解调，以此提取误差系数，达到校正ADC的目的。到了2005年，J.P. Keane、P.J. Hurst和S.H. Lewis共同提出了一种针对流水线式ADC的校正技术<sup>[7]</sup>，通过注入伪随机序列来校准第一级增益误差、运放的非线性误差以及后续各级的增益误差。2009年，B. Razavi及其团队采取了基于最小均方误差（LMS）理论的数字校准方法，专门针对流水线ADC前两级MDAC的非线性问题进行校正<sup>[8]</sup>。

在2017年，Antonio J. Ginés提出的基于积分非线性（Integral Non-Linearity, INL）的数字校准方法，该算法将ADC的误差进行合并，不对ADC内部做任何处理，采用类似黑盒子的方法进行校准<sup>[9]</sup>。在2020年，Tao Chen、Chulhyun Park和Degang Chen在基于INL校正的基础上，提出了基于FFT的前台校正算法，结合了频域处理数据<sup>[10]</sup>。

尽管我国在流水线模数转换器（ADC）的设计与校准技术领域起步晚于其他国家，但最近几年来，该领域已取得了显著的进展和成就。上海交通大学的Kai Fan利用基于Radix的数字校准方法<sup>[11]</sup>，并通过PN抖动技术提取Radix参数，成功校准了电容失配和运算放大器有限增益所导致的增益误差，将原有仿真的有效位数（ENOB）从5.76位显著提升至13位。不过，这种校准技术目前仅在仿真阶段得到验证，并未在实际电路设计中得到应用。与此同时，清华大学在2010年开发了一种基于积分非线性误差计算的数字后台校正技术，并以此设计并制造出了一款用0.18 $\mu\text{m}$  CMOS工艺制作的14 bit 357 kS/s流水线ADC。复旦大学也采纳了一种基于相关性的数字后台校正技术，使用0.18 $\mu\text{m}$  CMOS工艺成功制造了一款14 bit 100 MS/s和一款12 bit 100 MS/s流水线ADC<sup>[12]</sup>，这些研究成果标志着我国在该领域相比之前的研究取得了重大进展。

总体而言，尽管国内在ADC的数字校正技术上取得了显著进展<sup>[13][14][15]</sup>，但在实现高效率 and 低功耗的同时简化算法和硬件实现的复杂度方面，仍然存在着挑战和发展空间。未来的研究可能会更加关注于优化校准算法，以减少其对电路设计的影响，同时提高校准效率和精度，以更好地满足高性能ADC的需求。

### 1.3 论文主要研究内容与章节结构安排

本论文基于16 bit 125 MSps的流水线ADC，提出了一种应用于高精度流水线ADC的前后台相结合的校准技术。前台校正算法在基于INL校正算法的基础上，对MDAC的翻转增加了逻辑控制，将电容失配、MDAC的增益误差和参考电压误

差带来的影响当成未知数来求解，随后再通过数字码补偿的形式进行校准。后台校正采用注入伪随机序列的校正算法，利用相关性的原理对非理想因素带来的级间增益误差进行校准。在后台校准前，先将前台校准得到的级间增益误差设为开始迭代的初值，并对注入PN码的电容失配也进行校准，加快了后台校正算法收敛的速度同时提高了校正算法的精度。本论文对流水线ADC行为级建模的建立，前台校正算法和后台校正算法的原理，算法在模型上的验证，以及结合实际电路进行验证做了详细的阐述。

本论文章节内容安排如下：

第一章绪论主要阐述了选定论题的研究背景与其重要性，概述了国际及国内在该领域的研究进展，并对本篇论文的核心内容及其组织结构进行了说明。

第二章中开篇解释了模数转换器（ADC）的基础理论和关键性能参数。接着，讨论了流水线ADC的结构基础。

第三章深入分析了流水线ADC内部的主要误差来源，包括增益误差、偏移误差以及非线性误差，并根据这些误差对输出信号产生的影响进行了分类。接着，针对这些误差源，在流水线ADC的结构内构建了等效的误差模型，进而探讨了这些误差对系统的准确性造成的影响。通过建立的误差模型，本章进一步讨论了如何通过电路设计调整或实施数字校正策略等方法，有效地补偿这些由非理想因素导致的系统误差。

第四章首先介绍了本文所设计的数字校准技术的理论依据，重点讲解了确定流水线ADC数字校正方案的细节，这包括确定校正的级数和添加的冗余级数量。

第五章结合matlab对校正算法模型进行了建模和仿真验证并在RTL级进行验证。

第六章对全文进行了总结并对进一步工作做了规划。

## 第二章 流水线模数转换器原理

### 2.1 模数转换器基本工作原理

模数转换器（ADC）的基本工作原理主要涵盖几个关键步骤，如图2-1所示。首先，模拟信号在送入ADC进行转换之前，会先经过抗混叠滤波器的处理，这一步的目的是为了提升信号的质量。ADC的工作流程始于对原始连续模拟信号的采样，该过程将连续的模拟信号进行采样进而转换成一个个离散的模拟信号。随后，这些离散信号会经过比较器与参考电压进行比较，经过量化步骤，信号被转换为具有特定离散幅度的数字信号，得到的数字信号会经过编码逻辑进而转换成数字系统可以处理的码字。

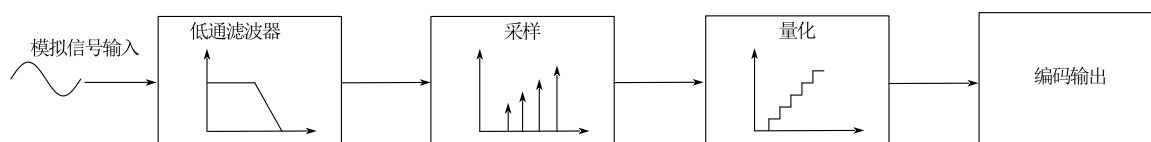


图2-1 ADC工作原理图

了解模数转换器（ADC）的频域响应对其设计和使用至关重要。输入的低通带信号在采样频率 $f_s$ 下采样时，其频谱在的整数倍处重复，若最大频率超过 $f_s/2$ ，会导致频谱混叠，阻碍原始信号的准确恢复。为防止混叠，ADC输入端设置抗混叠滤波器，限制频谱。采样率至少为信号最高频率的两倍，即奈奎斯特采样率。根据带宽和采样率，采样分为奈奎斯特采样和过采样，确保信号可恢复性<sup>[16]</sup>。

在采样过程将信号的时间维度从连续转换为离散之后，量化过程进一步将信号的幅度从连续转换为离散，从而实现完整的模拟信号到数字信号的转换。在量化过程中，ADC的动态输入范围被划分为若干个等间隔的台阶或级别，这些台阶的数量由ADC的位数决定。连续幅度的信号被映射到这些台阶上。具体来说，信号的幅度值将被映射到最接近其实际幅度的台阶上。因此，每个台阶代表了一定范围内的幅度值，而信号的幅度则被近似为该台阶的固定值。以精度为3 bit的理想ADC为例，在某一采样时刻的模拟输入 $V_{in}$ 可以用量化结果表示为：

$$\frac{V_{in}}{V_{ref}} = \sum_{i=1}^3 D_i * 2^{-i+1} + e_q \quad (2-1)$$

其中 $V_{ref}$ 为基准电压， $D_1$ 表示二进制编码情况下的最高位（MSB）， $D_3$ 表示最低位（LSB）， $e_q$ 表示量化误差。

3 bit理想ADC的量化曲线如图2-2所示。

其中 $V_{FS}$  为输入信号的满摆幅， $\Delta$ 表示整个ADC的LSB，两者之间的关系为：

$$\Delta = \frac{V_{FS}}{2^N} \quad (2-2)$$

$N$ 表示ADC的位数。

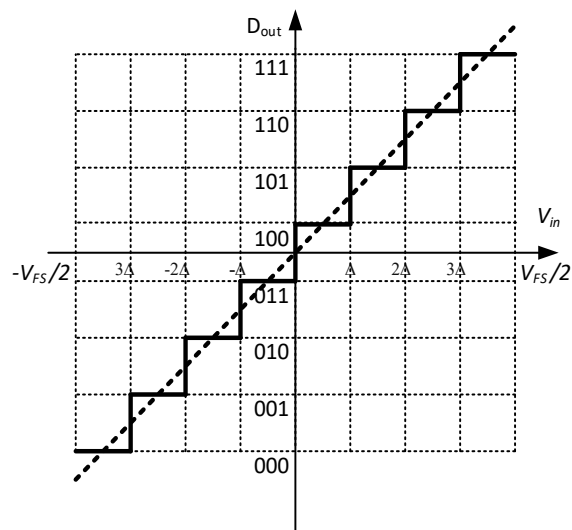


图2-2 ADC 量化曲线图

从图2-2和公式(2-1)的分析可见，信号在量化过程中由于幅度被近似到最接近的量化级别，因而产生了量化误差。这种误差源于信号的实际幅度与其对应的量化级别之间的偏差，是不可避免的，导致了量化噪声的产生，进而影响了信号的整体品质。量化误差主要分布在 $\pm\Delta/2$ 的范围内，一般用 $\epsilon$ 来表示量化误差，通常用图2-3所示的锯齿波形式来描述量化误差的特性：

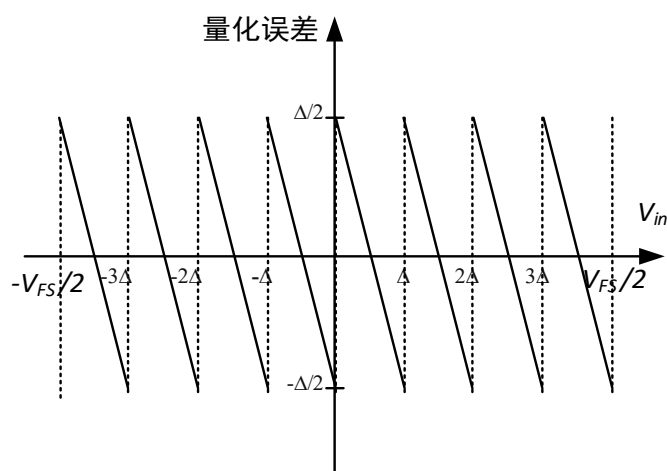


图2-3 量化误差示意图

在理想条件下,如果输入信号均匀地覆盖所有量化级别,并且量化误差是均匀分布的,则量化噪声可以被视为均匀分布的,假设其在取值范围 $\pm\Delta/2$ 内的概率分布函数 $p(\varepsilon)$ 为常数,我们可以得到量化误差的概率分布为:

$$p(\varepsilon) = \begin{cases} \frac{1}{\Delta}, & |\varepsilon| < \frac{\Delta}{2} \\ 0, & |\varepsilon| \geq \frac{\Delta}{2} \end{cases} \quad (2-3)$$

对量化误差在无穷无间区间内积分得到量化噪声:

$$P_Q = \iint_{-\infty}^{+\infty} \varepsilon^2 p(\varepsilon) d\varepsilon = \iint_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} \frac{\varepsilon^2}{\Delta} d\varepsilon = \frac{\frac{2\Delta^3}{8}}{3\Delta} = \frac{\Delta^2}{12} \quad (2-4)$$

这个公式表明了量化噪声的方差与量化步长的关系,量化步长越小,量化噪声的方差也越小。通过选择合适的量化位数,可以在一定程度上减少量化噪声的影响。

在量化结束后需要对码字进行处理,用于 ADC 的比较主流的数字编码方式包括二进制码,温度计编码和格雷码等等。

本小节介绍了 ADC 的工作原理以及量化误差,后续将详细介绍衡量 ADC 性能的性能指标。

## 2.2 ADC主要性能参数

在评价ADC性能时,主要从静态指标和动态指标两方面来看。静态指标关注转换精度,即实际与理想输出之间的偏差,静态指标显示在不变环境中的量化准确性,反映线性度。而动态指标重视ADC在变化信号下的表现,如频谱特性,动态指标评估信号变化时的性能,包括噪声和失真影响,这在通信领域尤为重要。性能衡量需结合应用需求,这些指标共同确定 ADC 是否适合其应用场景,确保其在各种条件下的有效运作。

### 2.2.1 静态性能指标

静态性能参数主要包括分辨率、增益误差、直流失调 ( offset )、微分非线性 ( Differential Nonlinearity, DNL )和积分非线性( Integral Nonlinearity, INL )等。

#### 1) 精度

分辨率又叫精度,分辨率代表了 ADC 的量化精度,定义了 ADC 能够分辨的最小量化幅度,是 ADC 基础的参数之一。即 ADC 输出的数字码的最低有效位 (LSB)所表示的模拟电平值  $\Delta$ 。从式(2-2)可以看出, ADC 的位数越多,  $\Delta$ 值越小,

代表 ADC 能达到的精度越高。

## 2) 增益误差

在理想情况中，当输出达到全量程的数字值时，该数字值所代表的模拟量与真实输入模拟量的比率应该是1。而增益误差是描述在输入输出特性曲线上，全量程输出数字和起点之间的直线斜率与理想斜率之间的差异。

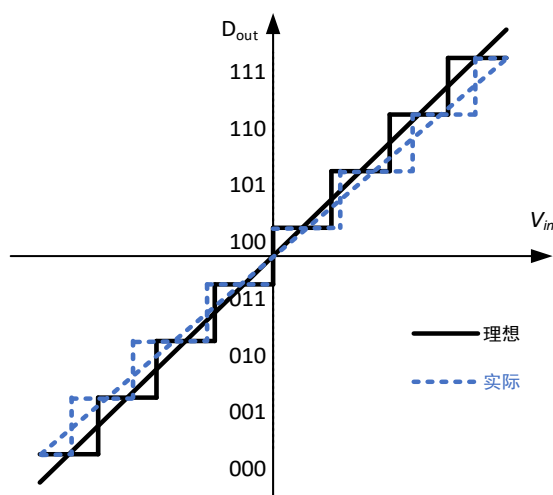


图2-4 ADC 增益误差

## 3) 直流失调

ADC 的直流电压失调是指在模拟信号转换过程中出现的直流偏移误差，造成 ADC 输出数字码值与输入信号之间存在固定偏差。这种失调会影响转换精度和准确性，降低系统性能。直流电压失调通常以 LSB 表示，可通过校准和补偿技术减小其影响。

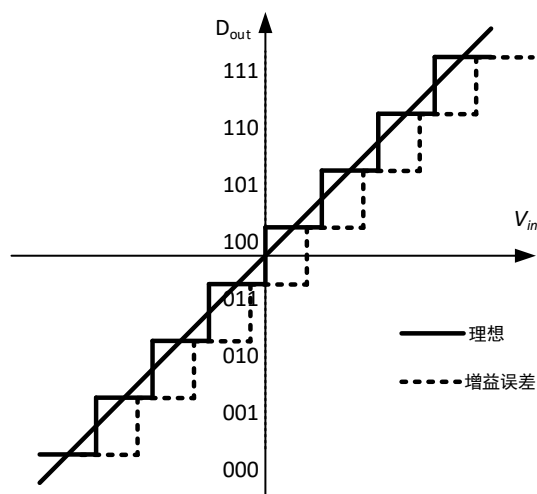




图2-5 ADC 失调电压图

## 4) 微分非线性误差

微分非线性误差 ( DNL ) 是评估ADC性能的关键参数, 它衡量了相邻数字码值之间代表的模拟量的实际值与理想值之间的偏差。理想情况下, ADC 的每一量化步长 $\Delta V$ 应该是均匀的, 但在实际应用中, 由于制造过程的不完美, 这些量化步长之间可能会存在差异, 这种差异就表现为微分非线性误差。DNL 通常以最小量化单位 ( LSB ) 为单位来表示, 其值反映了量化步长之间实际差异与理想差异之间偏差的大小。当 DNL 值在  $\pm 1$  个 LSB 之间时, 表明没有丢失码现象, ADC 能够准确地表示输入信号的每一个细微变化。DNL 的大小直接影响ADC的转换的准确度, 因此在设计和选择 ADC , DNL 是一个重要的考虑因素。DNL 可用  $\Delta$  表示为:

$$DNL = \frac{\Delta V}{\Delta} - 1 \quad (2-5)$$

## 5) 积分非线性

积分非线性误差( INL )是微分非线性误差( DNL )的累积效果, 反映了ADC的实际输出与理想输出之间的最大偏差。INL 衡量了转换器在整个输入范围内的线性偏差, 是通过将 DNL 值从起点开始逐点累加得到的。较低的 INL 值意味着转换器具有较好的线性度, 从而减少了信号的失真, 提高了转换精度。INL 可以用 DNL 表示为:

$$INL = \sum_{i=1}^{2^N} DNL \quad (2-6)$$

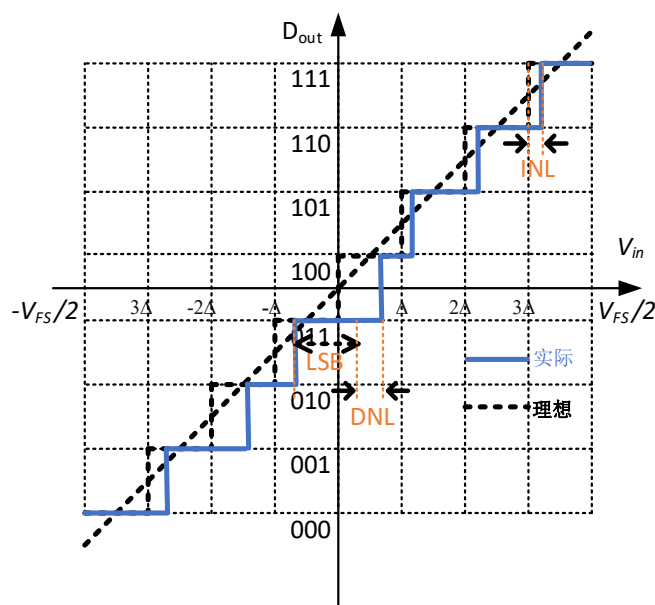


图2-6 INL 和 DNL

### 2.2.2 动态性能指标

模数转换器（ADC）在直流或低频输入条件下的转换误差可以通过静态性能指标有效地展现。然而，随着输入信号频率的上升，特别是在达到较高工作频率时，这些参数便不足以全面反映ADC的性能。因此，为了准确描述ADC在高频条件下的性能，我们有必要引入动态性能指标。为了更加深入地了解ADC在高频下的表现，我们首先要对其数字输出进行快速傅里叶变换（FFT），以获取输出的频谱分布。接着，通过分析频谱中的基频、各类谐波以及噪声等频谱信息，我们能够全面评估ADC的高频特性，从而对其性能有更完整和深入的了解。

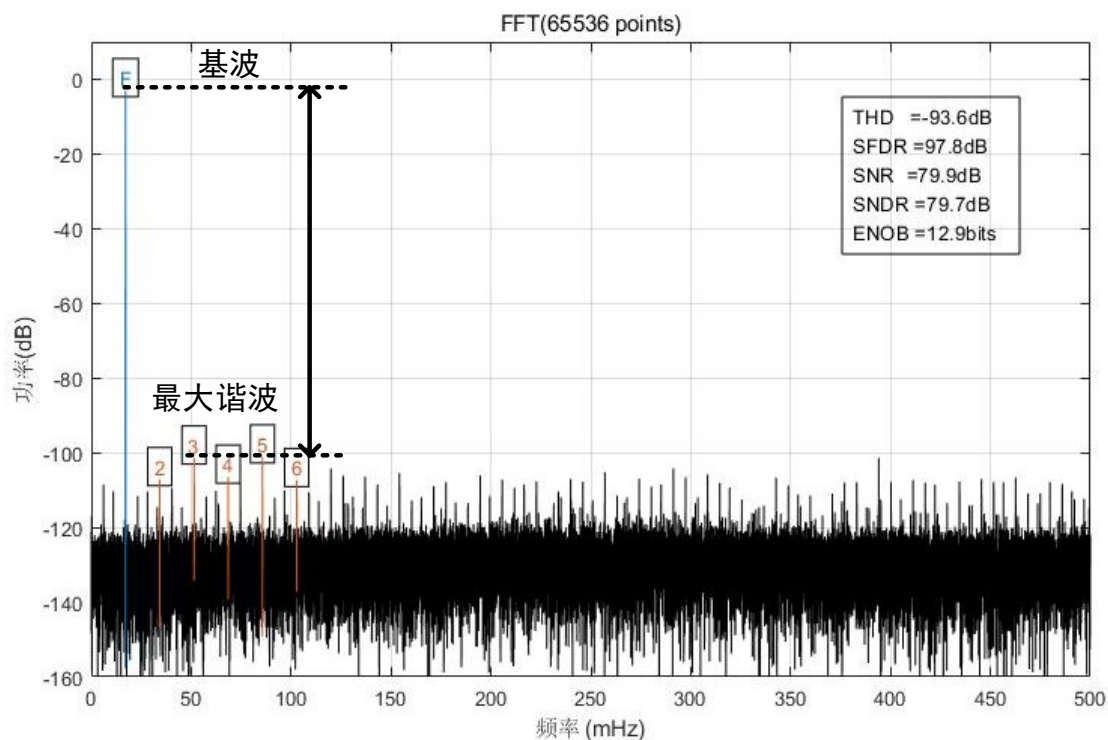


图2-7 ADC 频谱结果

动态性能指标主要包括信噪失真比(SNDR)，信噪比(SNR)，无杂散动态范围(SFDR)，总谐波失真(THD)，有效位数(ENOB)等。

#### 1) 信噪比

信噪比（SNR， Signal-to-Noise Ratio），是用于衡量信号与噪声之间相对强度或功率的参数。在信号处理中，信噪比是一个重要的性能指标，用于评估信号质量的好坏。信噪比越高，表示信号相对于噪声的能量更大，信号质量更高。信噪比通常以分贝（dB）为单位表示，计算公式为：

$$SNR = 10 \log_{10} \frac{P_{signal}}{P_{noise}} \quad (2-7)$$

其中  $P_{signal}$  为输入信号的功率， $P_{noise}$  为奈奎斯特频率区间内的噪声功率。

## 2) 信噪失真比

信噪失真比（Signal-to-Noise and Distortion Ratio, SNDR）类似于信噪比（SNR），但在计算时还考虑了失真成分。SNDR 是指输入正弦波时，RMS 信号功率与总噪声功率和所有其他频率分量功率的 RMS 和的比值。可以用以下公式表示：

$$SNDR = 10 \log_{10} \frac{P_{signal}}{P_{noise} + P_{harmonic}} \quad (2-8)$$

其中  $P_{harmonic}$  是谐波的功率之和。

## 3) 无杂散动态范围

无杂散动态范围（Spurious-Free Dynamic Range, SFDR）是系统能够输出的最大信号幅度与系统内部产生的最大杂散信号幅度之间的比值。可以用以下公式表示：

$$SFDR = 10 \log_{10} \frac{P_{signal}}{P_{harmonic(max)}} \quad (2-9)$$

无杂散动态范围是评价系统性能的关键参数之一，SFDR 对通信系统十分重要，它表征了 ADC 能分辨出的输入信号最小功率。对于多通道 ADC 来说，当天线接收小信号而其他通道输入大信号时，低的 SFDR 可能会导致小信号信息被大信号通道产生的相邻频率的杂波覆盖，从而无法得到小信号的真实信息。

## 4) 总谐波失真

总谐波失真（THD）是反映系统输出信号质量的一项重要指标，它指的是信号中所有谐波分量总功率与基波功率的比值。具体来说，总谐波失真的计算涉及信号中所有谐波分量的总功率与基波（即原始信号频率）功率之间的比例。这一比值为我们提供了系统输出信号中谐波分量的相对强度信息，有助于我们全面评估系统的性能。总谐波失真可以通过以下公式计算：

$$THD = 10 \log_{10} \frac{P_{harmonic}}{P_{fundamental}} \quad (2-10)$$

## 5) 有效位数

ENOB 的计算基于信号与噪声加失真比（SNDR），使用以下公式：

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2-11)$$

ENOB 的值越高，表示转换器的性能越好，ADC 能够提供更准确、更高质量的信号转换。例如，一个 12 位的 ADC 的有效位数为 10，这意味着尽管它的理论分

分辨率为12位，但由于各种误差的存在，它实际上只能提供与10位分辨率相当的性能。

## 2.3 流水线 ADC 的基本结构

在众多结构中，Flash ADC 的转换速度最快，但是随着精度的提高，Flash ADC 的功耗和面积也以指数的形式增加。SAR ADC 结构的功耗是同等精度和速度下功耗面积最小的ADC，但是它的量化需要多个周期。综合速度和面积 Pipeline ADC 是高速高精度结构中最合适的选择<sup>[17][18][19]</sup>。

流水线ADC逐级量化的结构结合单级并行的Flash ADC结构，在增加精度的同时，减少了电路所需元件的数目。如图2-8所示为流水线ADC的基本结构，主要由多级的低精度的流水线式ADC、最后一级Flash ADC 以及非交叠时钟、数据对齐和数字冗余位校正模块组成。其中每一级流水线式ADC由sub-ADC和由开关电容和余量放大器组成的MDAC构成。

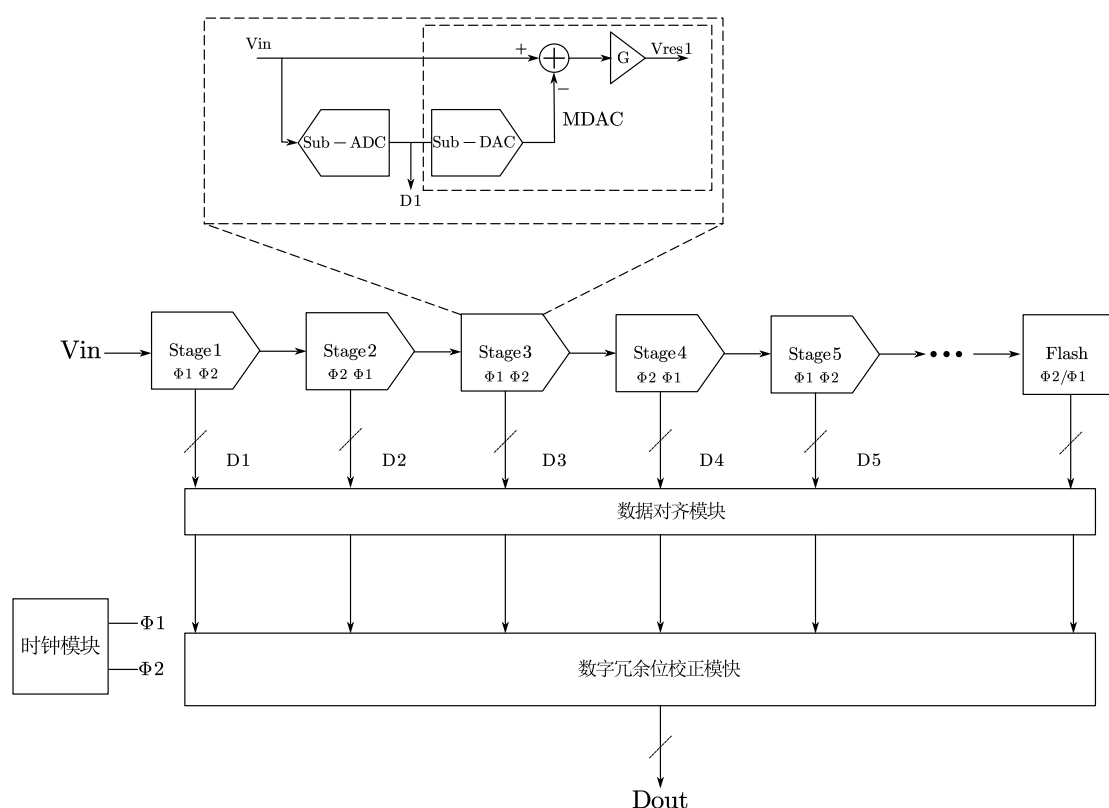


图2-8 流水线 ADC 结构图

如图所示，在第一级进行采样后，所得模拟电平同时被送往Sub-ADC和MDAC进行处理。Sub-ADC的主要任务是将模拟电平经过比较编码处理，量化出第一级输出码字 $D_1$ 。随后，MDAC将采样得到的模拟电平与Sub-ADC的量化结果

在DAC处进行作差，得到第一级的残差电压。该差值在MDAC中的运算放大器的作用下进行放大，进而作为下一级处理的输入信号。流水线ADC出最后一级的每一级工作原理和结构类似。

流水线ADC的正常工作需要专门设计的双相非交叠时钟信号，该信号由专门的时钟生成模块提供，用以确保各级操作的有序进行。其中奇数级和偶数级分别用不同相位的时钟，交替执行采样和放大操作，从而实现数据的连续传递。如图2-8所示， $\Phi 1$ 和 $\Phi 2$ 是控制流水线ADC各级运作的双相非交叠时钟信号，stage1和stage2分别代表第一级和第二级。在一个采样周期内，stage1会依次执行采样和放大操作：前半周期用于采样数据，后半周期则用于放大输入信号与本级量化结果之间的差值（即残差）。与此同时，stage2开始处理经放大的残差信号，确保数据的连续处理。这种机制使流水线ADC实现了高效且精准的数据转换。

在流水线ADC中，输入数据需要经过多个子级ADC的逐级处理，并依次传递至下一级。这一过程中，后级ADC的输出数据会相对于前级存在一定的时钟周期延迟。因此，为确保最终输出码字的正确，对各级产生的数字输出码进行时间对齐变得至关重要，以便在合并这些码字前能够保持其正确的时序关系。

流水线ADC在工作时，每一级电路都在其输入信号上执行量化操作，而且所有级的电路可以同时工作。一旦第一级完成其量化并生成残差电压，第二级就可以开始处理这个残差电压，同时第一级可以开始处理新的输入信号。这种方式可以显著提高转换速度。尽管各级电路可以并行工作，但整个转换过程中的每一步（即每一级的量化）都依赖于前一步的结果。每一级的输出（残差电压）成为下一级的输入，这构成了一个串行的逼近过程，逐步接近最终的数字输出。这种结构决定了流水线ADC的转换时间不取决于ADC所有流水级总的转换时间，只取决于转换速率最慢的子级流水级式ADC的转换时间。

### 2.3.1 Sub-ADC电路

Sub-ADC主要负责对当前级的模拟输入信号进行初步的量化处理，这一过程通常采用Flash结构来实现。Sub-ADC主要由比较器阵列和编码器两大组件构成。当模拟输入信号进入比较器阵列时，它会与一系列预设的参考电压进行逐一比对。如果输入信号的电压高于某一参考电压，比较器将输出高电平信号（即1）；反之，若输入信号电压低于参考电压，则输出低电平信号（即0）。这一比较过程使得比较器阵列生成一个类似温度计编码的序列。随后，这个温度计码经过编码器的处理，被转换为二进制码，最终作为Sub-ADC的数字输出。

如图2-9所示，以3 bit的Sub-ADC结构为例，该子ADC包含7个比较器和1个编

码器。这7个比较器同步对输入信号进行采样，并与对应的参考电压进行比较，从而产生一个七位的温度计码。随后，编码器将温度计码转换为三位的二进制码。对于拥有两位有效位的此子ADC，其量化关系可表达为：

$$\begin{cases} -V_{ref} \leq V_{in} \leq -\frac{3}{4}V_{ref}, & D_i=000 \\ -\frac{3}{4}V_{ref} \leq V_{in} \leq -\frac{1}{2}V_{ref}, & D_i=001 \\ -\frac{1}{2}V_{ref} \leq V_{in} \leq -\frac{1}{4}V_{ref}, & D_i=010 \\ -\frac{1}{4}V_{ref} \leq V_{in} \leq 0, & D_i=011 \\ \dots\dots\dots & \dots\dots\dots \\ \frac{3}{4}V_{ref} \leq V_{in} \leq V_{ref}, & D_i=111 \end{cases} \quad (2-12)$$

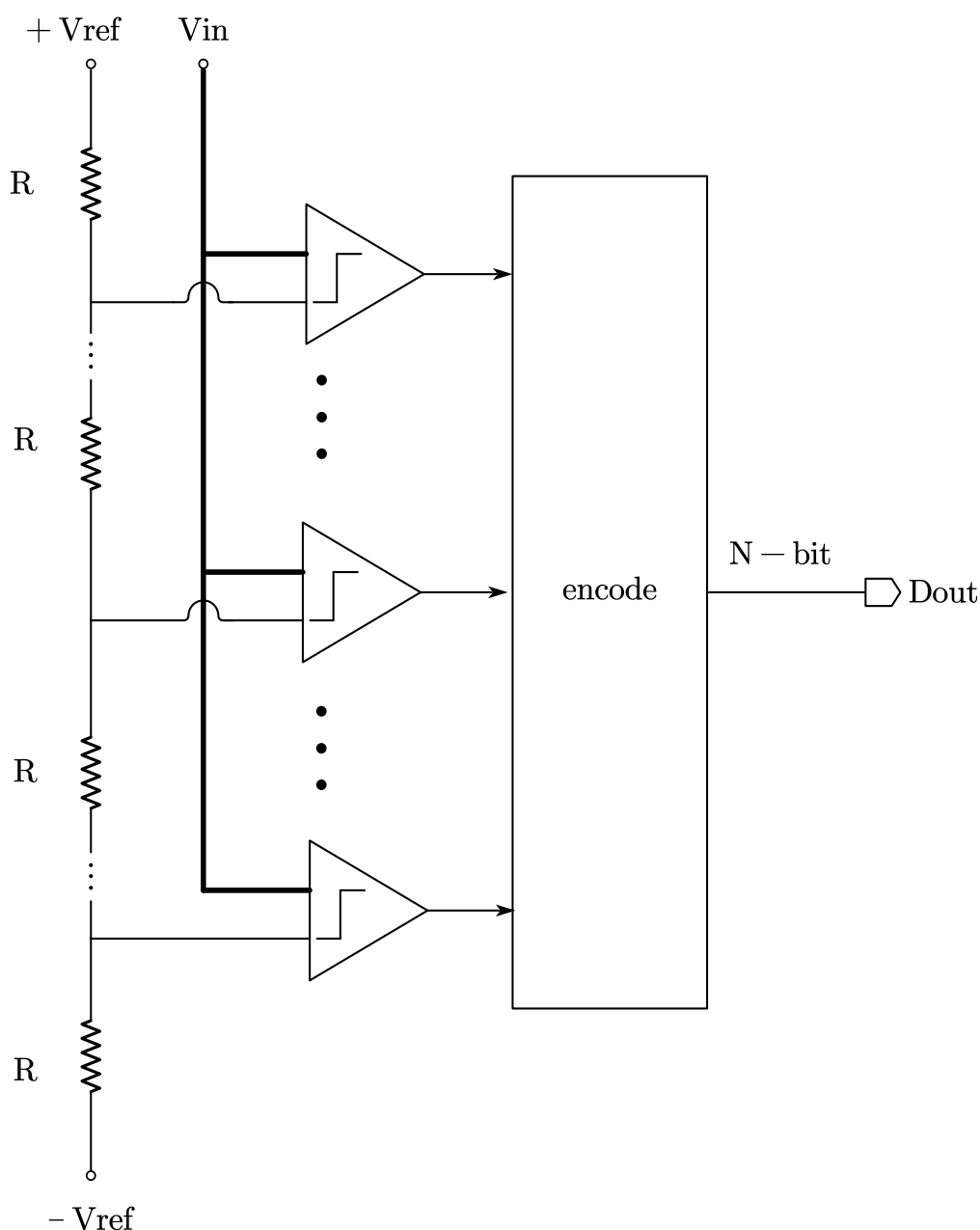


图2-9 Sub-ADC 结构示意图

### 2.3.2 MDAC 电路

子流水线中最关键的模块是MDAC(Multiplying Digital-to-Analog Converter)，它主要由开关电容和残差放大器组成。MDAC在Sub-ADC输出码字的控制下将DAC的输出从输入模拟信号中减去，得到一个代表未量化部分的余量信号。这一步骤是为了得到当前级别尚未量化的信号部分，即余量。得到的余量信号通常幅度较小，需要被放大以便于下一级的量化。MDAC中的放大器部分负责这一操作，它将余量信号放大一个固定的倍数（通常是2的幂次），以保证信号强度适合于下一级的处理。以单端电路的电荷重分配型结构为例对MDAC进行简要介绍。以一个3位/级流水级电路为例，假设器件均为理想器件。电容翻转型MDAC的结构如图2-10所示，MDAC在两种工作状态下运行：采样相位 $\phi_S$ 和放大相位 $\phi_F$ 。当MDAC处于采样阶段时， $\phi_S$ 为高，而 $\phi_F$ 为低。此时，采样电容 $C_s$ 的一端与输入信号相连，另一端接地，进行对输入信号的采样。反馈电容 $C_f$ 此时两端连接共模电压，处于清零状态。此时运放输入X点的电荷总量为：

$$Q_{X, sample} = V_{in} * \sum_{i=1}^8 C_{s, i} = V_{in} * C_{s, total} \quad (2-13)$$

其中 $V_{in}$ 为采样得到的输入信号， $C_{s, total}$ 为总的采样电容。在MDAC的放大阶段， $\phi_S$ 为低，而 $\phi_F$ 为高。这时，根据本级子ADC的输出，采样电容 $C_s$ 的一个端点会被接到一个预定的电平，而另一个端点接到运算放大器上。反馈电容 $C_f$ 则一端连接到运算放大器的输入，另一端连接到输出，通过这种连接方式，MDAC实现了信号的减法处理和放大功能。此时运放输入端X点的电荷总量为：

$$Q_{X, hold} = \sum_{i=1}^7 C_{s, i} * d_i * V_{ref} + V_{out} * C_f \quad (2-14)$$

其中， $V_{out}$ 为MDAC的输出电压， $d_i$ 为本级Sub-ADC量化产生的七位温度码。对于3bit/级的MDAC一般设 $C_s$ 为4倍的 $C_f$ 。由于在翻转阶段，运放输入端处于浮空状态电荷总量没有变化，根据电荷守恒可以得到输出电压 $V_{out}$ ：

$$V_{out} = \frac{C_{s, total}}{C_f} * \left( V_{in} - \frac{\sum_{i=1}^7 C_{s, i} * d_i * V_{ref}}{C_{s, total}} \right) \quad (2-15)$$

由式（2-15）得到理想情况下MDAC的级间增益为：

$$G_{ideal} = \frac{C_{s, total}}{C_f} \quad (2-16)$$

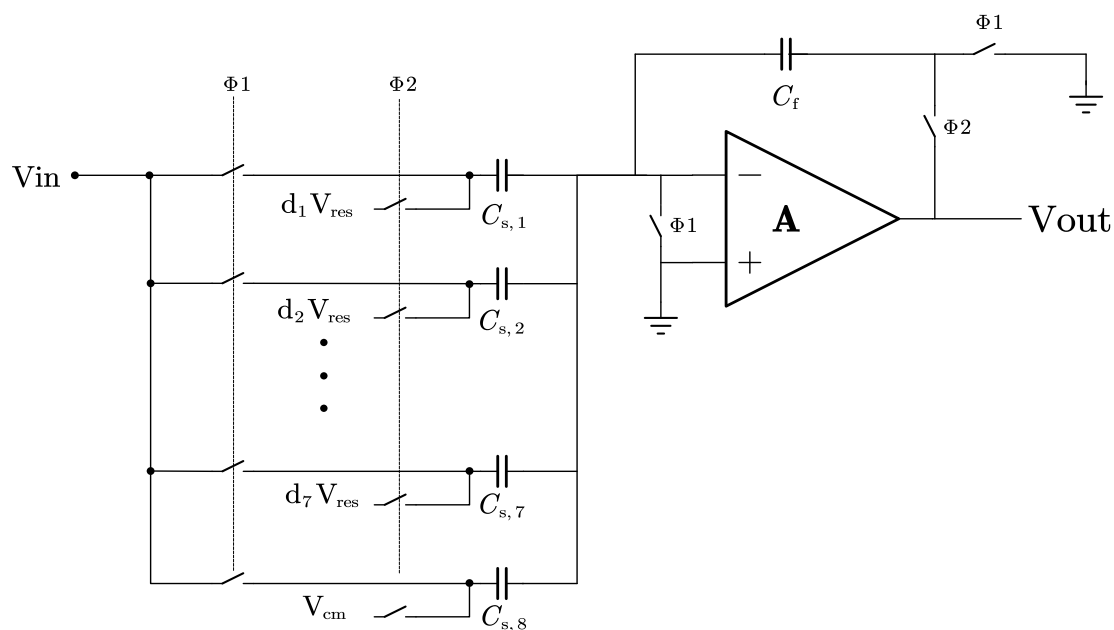


图2-10 MDAC 电路结构图

### 2.3.3 数字冗余位校正算法

理想流水线ADC的输入输出摆幅是相同的，由于存在比较器offset等误差，使得输出超过满摆幅带来丢码问题，导致流水线ADC量化出错。在1987年，S.H. Lewis和P. Gray提出了一种重要的技术，利用冗余码和错位相加的方法来提高模数转换器（ADC）的性能，一个合理的范围内，从而避免了失级（missing decisions）误差和失码（missing codes）误差，或至少使这些误差能够通过数字校准算法得到校正。通过改变级电路的传输特性，使得残差电压的输出范围缩减到满摆幅的一半，从而确保即使存在误差，残差电压也能保持在正常输出摆幅之内。

以一个2 bit的流水线式ADC为例来说明数字冗余算法的基本工作原理。如图2-11所示，在一个传统的输出2位数字码的流水线级别中，传输函数设计为全量程输出。然而，电路内部阈值电平的轻微偏移可能会使输出的摆动范围超过下一级流水线所能接受的输入摆动限制，这会在后续的转换过程中引入非线性误差。通过降低这一级的增益，可以提高电路对于这种偏移误差的容忍度，并降低输出电平溢出的风险。通过选择每级的放大倍数为2的幂次方，借助二进制的特性，可以简化加权求和的过程，仅需进行移位和加法操作。因此，将二位数字码的流水线级别的放大倍数从4减少到2是有益的。这样做可以在不改变原有量化区间的前提下，减少放大倍数，避免在输入电平最大值附近的数字码突变，同时保证零输入不会导致输出为零。通过将传输函数曲线右移半个最小有效位（LSB），确保该级的最大输出为“10”而不是“11”，从而防止高位溢出，同时保证最小输出时下



一级能输出“00”，避免非单调性变化。降低放大倍数使得原本最大输出“11”的情况通过该级输出“10”且下一级高位为“1”来补偿，允许去除最大判决电平0.45，即减少一个比较器，如图2-12所示的1.5bit量化结果图所展示。

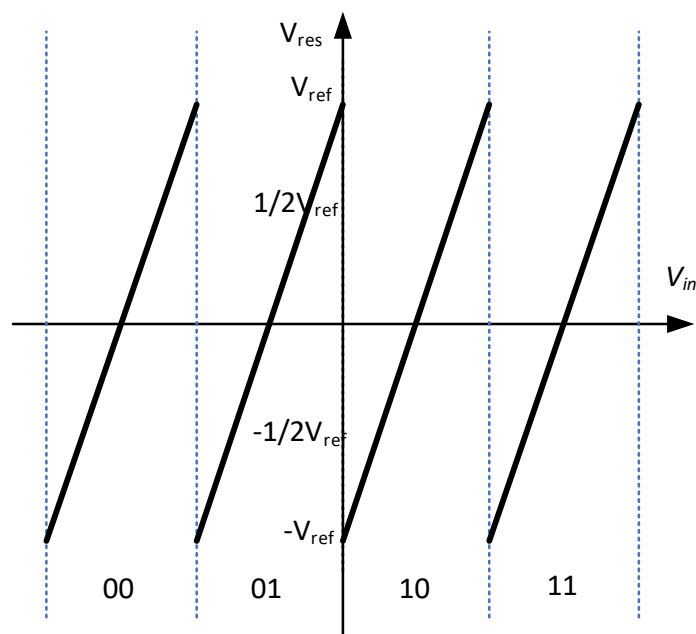


图2-11 传统2bit 量化图

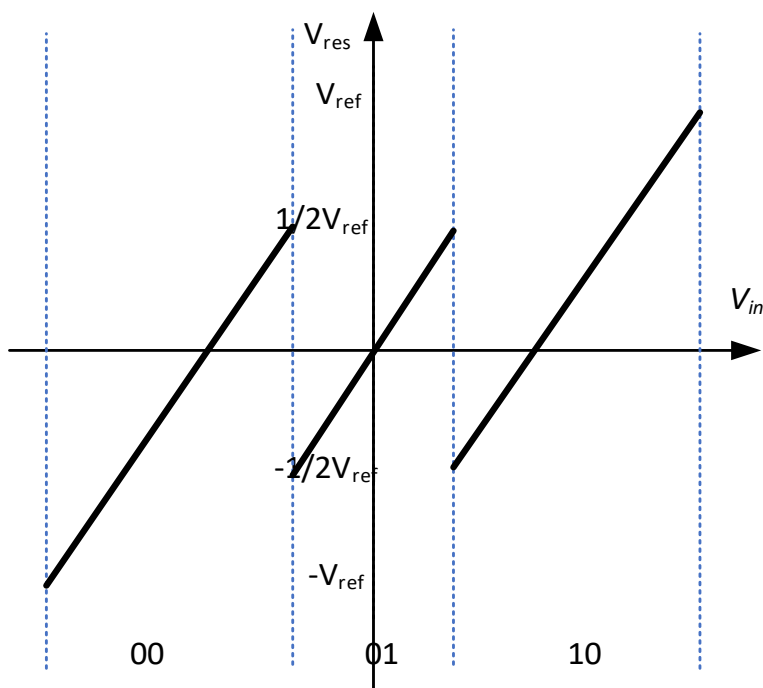


图2-12 1.5-bit 流水级传输曲线

## 2.4 本章小结

在本章节中，我们将基于通用模数转换器的基本工作机制和原理，深入探讨ADC的静态与动态特性参数。这些参数是评估转换器在低频和高频环境下性能的关键指标，不同类型的模数转换器在静态和动态性能上呈现出明显的差异。流水线结构的ADC在维持高转换精度和速度方面具有显著优势，有效降低了实现特定性能要求所需的电路面积、能耗以及设计复杂度。随后，我们将详细阐述流水线ADC的基本原理和结构，包括其子模数转换器、余量增益放大器和数字冗余校正算法等核心组成部分。此外，基于理想流水线模数转换器的工作原理，我们还将深入分析实际电路中的非理想因素及其对系统性能的影响。为了更准确地模拟实际电路的工作状态，我们将开发一个高级仿真模型，这将为数字校准算法的开发提供一个精准可靠的校准基础。通过这一研究，我们期望能够进一步提升ADC在实际应用中的性能表现。

## 第三章 流水线ADC的系统模型设计

上一章详细讲述了理想流水线ADC的基本原理和结构，然而在实际电路中，存在许多不可避免地非理想因素影响流水线ADC的性能。由于制造工艺的精度和制造过程中边缘效应等带来的误差，会给电容电阻以及晶体管带来失配。此外，运放本身有限增益，以及容易受温度、电压等外界工作条件的影响，也会使得流水线ADC性能出现下降。下面将分析流水线ADC中对关键电路中的误差，并结合第二章对整个流水线ADC进行建模，为后续利用模型研究算法提供校准模型。

### 3.1 流水线ADC的误差分析

在流水线ADC的电路设计中，存在多种非理想因素，它们共同影响着整体性能。其中，系统内部的热噪声、子ADC内比较器的失调、MDAC中电容的不匹配以及运算放大器的非理想特性等都是关键因素。下面将对这些误差因素进行简要概述，以便更好地理解它们对ADC性能的影响。

#### 3.1.1 比较器失调和孔径误差

孔径误差和比较器失调对ADC残差电压带来的影响相同，都表现为实际残差电压与理想残差电压存在误差，只要不超过最大冗余范围，对ADC整体的性能不会造成影响。孔径误差是指MDAC与sub-ADC的采样路径不匹配带来误差，表现为比较器采样得到的电压与MDAC采样得到的电压之间存在误差，可以用公式表示为：

$$\Delta X = 2\pi f_{in} A \Delta t \quad (3-1)$$

其中 $f_{in}$ 为输入频率， $A$ 为输入信号幅度， $\Delta t$ 为等效采样失配时间。

比较器失调主要由两部分原因引起，一部分是因为参考电压偏离理想值，由于电阻串在制造工艺下存在失配，进而使得通过分压得到的参考电压存在误差，使得比较器翻转电压偏移，此外参考电压受外界或者其他模块影响存在波动，也导致了参考电压偏离。另一部分导致比较器性能受到影响的原因是其内部存在的失配现象。这种失配可能源于比较器内部组件的不匹配，或者是由于比较器输入电压的波动。这些因素共同作用，导致比较器本身的翻转电平发生偏移。在子ADC中，这些非理想因素在比较器阈值电压失调方面所产生的影响是相似的，它们都会对比较器的精确性和稳定性造成不利影响。

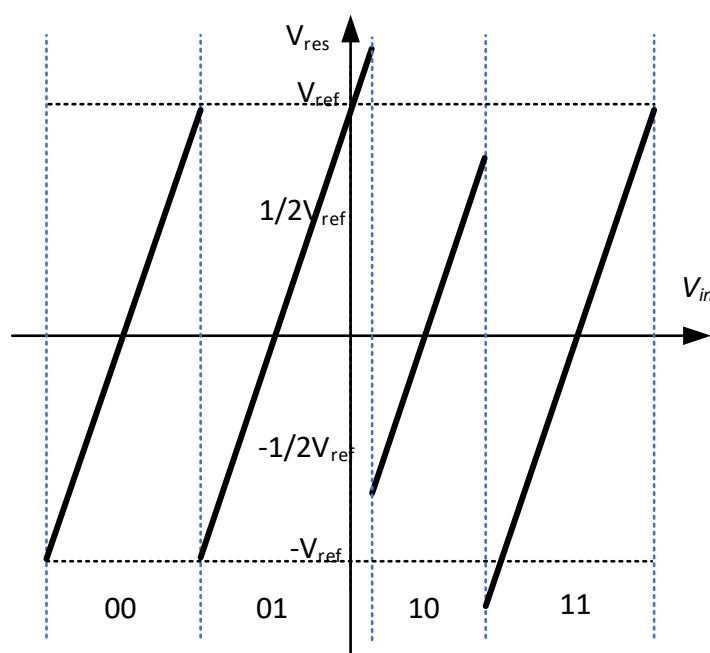


图3-1 带失调的2bit/级流水线式电路传输曲线

为了解决失调带来的影响采用上一章提到的数字冗余校正算法，减小输出范围，留给失调更大冗余，即便本级子 ADC 在量化过程中产生误差，该误差可以通过转移至后级并调整后级子 ADC 的量化输出来进行修正，从而确保最后的输出结果是准确的。或者采取模拟域校正的办法，采用auto-zero等方式进行自交校准。

### 3.1.2 电容失配

MDAC主要由开关电容构成，电容的失配将直接影响残差电压的输出，进而影响ADC整体的性能。电容失配分为随机失配和系统失配，对于系统失配，可以在版图设计时采用同质心匹配等措施来尽可能减小，但是随机失配是由微观随机物理机制产生的，是不可避免的。仅考虑电容失配，下面以2bit/级电荷重分配型MDAC为例来进行分析电容失配带来的影响。由式（2-15）理想情况下的残差电压传输公式我们可以得到，带有电容失配的实际残差电压传输公式为：

$$V_{out} = \frac{8C}{2(C+C_{\Delta f})} * \left( V_{in} - \frac{\sum_{i=1}^7 (C+C_{\Delta i}) * d_i * V_{ref}}{8C} \right) \quad (3-2)$$

其中C表示采样电容的平均数， $C_{\Delta f}$ 表示反馈电容 $C_f$ 与C之间的误差， $C_{\Delta i}$ 为对应单位采样电容与C之间的误差。

由上式可知电容失配也造成了增益误差，电容失配不是指于偏离理想值多少，

而是偏离采样电容平均值多少。

如图3-2和3-3分别表示存在电容失配情况下2bit/级MDAC的残差电压传输曲线和ADC整体量化曲线。

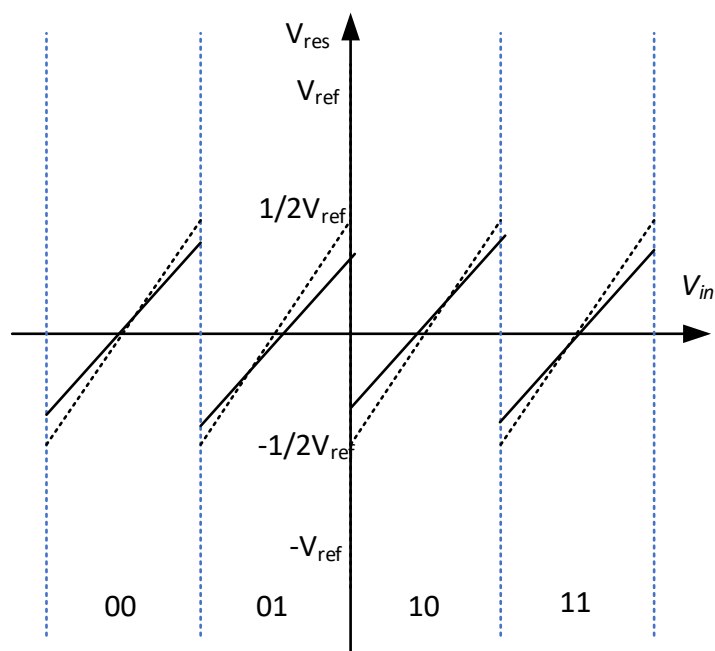


图3-2 带失调的2bit/级流水线式电路传输曲线

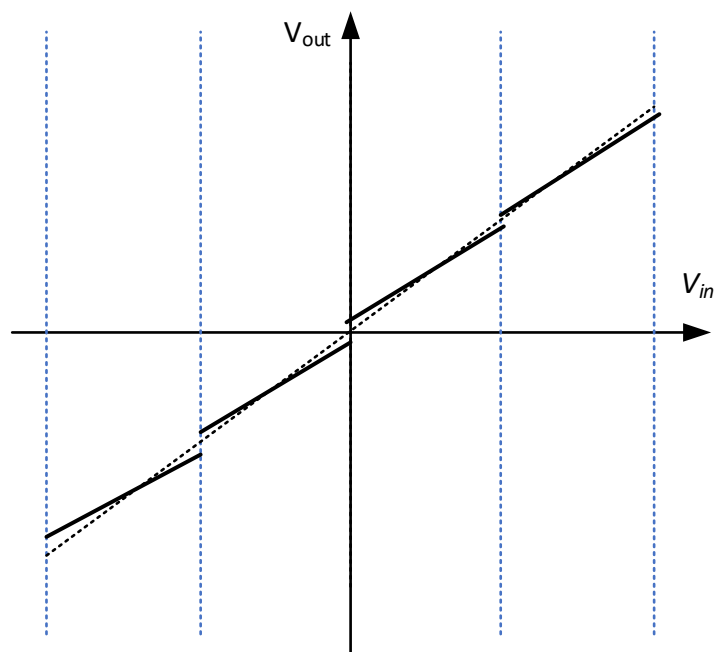


图3-3 带失调流水线ADC整体传输曲线

由图3-2和3-3可以看到，虽然电容失配对残差电压引入的是线性误差，但对ADC整体传输曲线来说引入的是非线性误差，可能使得ADC出现了丢码现象，严重降低了ADC整体的性能。此外由于电容失配，差分电路中的对称性可能会被破坏，这可能导致偶次谐波的产生。电容失配意味着差分对中的电容值不完全相等，这会导致两个相反相位的信号在放大或处理过程中产生不同程度的误差，从而无法完全抵消偶次谐波。

### 3.1.3 运放有限增益

对于流水线ADC来说运放的设计是重中之重，在前期的理论分析中我们通常假设运放的增益是无穷大，然而由于功耗和面积的限制运放的开环增益是有限的。以3bit/级MDAC为例，不考虑其他非理想因素，当运放开环增益有限时我们重新分析MDAC的传输公式可以得到：

$$V_{out} = \frac{C_{s, total}}{C_f} * \frac{1}{1 + \frac{1}{A\beta}} \left( V_{in} - \frac{\sum_{i=1}^7 C_{s, i} * d_i * V_{ref}}{C_{s, total}} \right) \quad (3-3)$$

式中A表示运放增益， $\beta$ 表示反馈系数，在这里 $\beta = C_f / (C_f + C_{s, total})$ 。对式3-3做进一步近似处理得到：

$$V_{out} = \left( 1 - \frac{1}{A\beta} \right) * \frac{C_{s, total}}{C_f} \left( V_{in} - \frac{\sum_{i=1}^7 C_{s, i} * d_i * V_{ref}}{C_{s, total}} \right) \quad (3-4)$$

设该级流水线最大输出量程为FS，则输出范围为 $-FS/2 \sim +FS/2$ ，该级残差电压最大误差为：

$$\varepsilon_{max} = \frac{FS}{2} \left( 1 - \frac{G}{G_0} \right) \quad (3-5)$$

其中 $G_0$ 表示MDAC的理想增益，即为 $C_{s, total} / C_f$ ，G为实际增益。

由式（3-4）可得：

$$G = G_0 \left( 1 - \frac{\varepsilon_{max}}{FS/2} \right) \quad (3-6)$$

设前几级MDAC的级间增益乘积为 $G_{sum}$ ，为了保证流水线ADC能够达到精度要求，一般要求等效到输入端的误差小于 $LSB/2$ ，既满足：

$$\frac{\varepsilon_{max}}{G_0 G_{sum}} \leq \frac{FS}{2^{N+1}} \quad (3-7)$$

其中N为流水线ADC总的精度，结合式(3-5)、(3-6)和(3-7)可得运放开环增益的最低要求为：

$$A \geq \frac{1}{G_{sum}} \frac{2^N G_0}{1 + G_0} \quad (3-8)$$

在传统的流水线ADC设计中，往往选择具有显著增益和较高功耗的运算放大器，从而保持极小的误差系数，这在实际应用中往往被视作可忽略的微小因素。但是，在追求更高速度的流水线ADC设计过程中，运算放大器难以实现极高的增益，成为了一个难以逾越的难题。此外，随着制造工艺的日新月异，晶体管尺寸逐渐缩小，其固有的增益也相应下降，进一步加大了设计高增益运算放大器的难度。这些挑战导致了误差系数的显著增加，对ADC的性能造成了不可忽视的影响。因此，为了确保流水线ADC的精度达到要求，我们必须采用数字校准技术，对运算放大器有限增益带来的误差进行精确补偿。

### 3.1.4 运放的有限带宽

在分析运算放大器（运放）的工作特性时，我们通常假设其输出信号能够立即建立，但实际情况并非如此。由于运放的带宽有限，输出信号达到高精度水平需要一定的时间。在运放的实际工作过程中，输出信号的建立经历了一个明显的变化过程。首先，输出信号会经历一个线性的大信号响应阶段，随后逐渐过渡到小信号响应阶段，直至输出信号完全稳定。这一过程揭示了运放在实际工作中的动态特性，有助于我们更准确地理解和评估其性能。

在线性阶跃响应分析中，运算放大器的有限带宽和直流增益特性会导致建立误差的产生，这种误差主要表现为级间放大器增益的偏移。为了更精确地描述这一现象，我们将一阶表达式代入式(4-3)中，以替代原有的A值。通过简单的推导过程，我们可以得到级间放大器的传输函数：

$$G(s) = \frac{G_0 A p}{(1+G_0)s + (1+A+G_0)p} \quad (3-9)$$

由运放建立一阶模型可得，时间常数 $\tau$ 为：

$$\tau = \frac{1+G_0}{(1+A+G_0)p} \approx \frac{1+G_0}{Ap} = \frac{1+G_0}{GBW} \quad (3-10)$$

结合一阶响应的时域模型、式（3-10）以及式(3-5)可得，运放所需要的单位增益带宽GBW为：

$$GBW = \frac{(1+G_0) \ln \frac{2^N}{G_0 G_{sum}}}{T_h} \quad (3-11)$$

其中 $T_h$ 表示运放实际建立时间。在实际应用中，运放的建立时间是一个重要的考量因素。为了确保流水线ADC的精度标准不受影响，我们必须确保GBW（增益带宽积）至少超过之前计算得出的结果。如果GBW过低，那么输出信号的精确建立可能无法达到标准，导致MDAC的实际输出与理想输出之间存在建立偏差。这种

偏差会引入非线性误差，对流水线ADC的性能产生负面影响。因此，在设计和选择运放时，我们需要充分考虑其GBW，以确保流水线ADC能够满足预期的精度要求。

### 3.2 流水线ADC架构系统建模与仿真

经过对前一节内容的深入剖析，我们总结出流水线ADC电路整体量化性能受到四种主要误差源的影响，分别是比较器失调电压、电容失配、运放的有限增益和带宽。针对比较器失调电压这一误差，在特定范围内，我们可以通过引入带有冗余位的数字校正策略来有效消除，该方法的详细操作已在2.3节中阐述。然而，由非理想因素所引发的线性和非线性增益误差，成为了ADC整体性能进一步提升的绊脚石，这些误差的完全消除显得尤为困难。在避免模拟设计复杂度显著增加的前提下，我们需要借助数字校准技术，以减轻增益误差和非线性误差对系统性能的负面影响，进而推动ADC性能的优化与提升。有关这部分内容的深入探讨，将在第四章中详细展开。接下来，我们将逐一分析流水线各子级中非理想因素的作用及其等效模型，并进一步探讨流水线A/D转换器的系统模型。

参照最常见的高速高精度流水线ADC性能指标，对要搭建的流水线ADC模型性能做如下预设：

表3-1 系统建模预指标参数

精度	16 bit
采样频率	125 MHz
参考电压	1V
最大输入幅度	$2 V_{pp}$
ENOB	13 bit
SNR	82 dB
SNDR	81 dB
SFDR	95 dB

#### 3.2.1 基本框架建模

在性能指标的框架下，选择合适的级数、每级的有效精度分配以及采样电容尺寸分配至关重要。如果流水线级别的有效精度不足，后续级别的噪声抑制效果将不尽如人意，此时需增大电容来弥补，但这会增加功耗。反之，若流水线级别的有效精度过高，会导致反馈系数降低，进而要求运算放大器具备更高的带宽以



满足速度需求，同时也会使Flash ADC的功耗显著上升。因此，我们需要为每个流水线级别找到一个介于高位数和低位数之间的最佳有效精度点，以便在满足速度和噪声标准的同时，尽可能降低总体功耗。此外，有效精度分配确定后，采样电容的设置也需慎重考虑。过大的采样电容会增加该级及其前级的运算放大器负载，进而增加功耗；而过小的采样电容则会提高对后续级别噪声性能的要求，迫使后续级别的采样电容增大，同样会提高运算放大器的功耗。因此，采样电容的选择也需在大电容与小电容之间寻求最优解。

合适的架构可以在满足性能的同时尽可能地降低功耗并减小面积，根据文献中提到的一些模型简化和相应优化策略，我们可以得到前两级有效位的最优值应分别取 2bit 与 3bit，级间放大倍数分别为  $G_1=4$ ， $G_2=8$ 。此时功耗最小，由于采样电容大小决定了反馈电容的大小，进而决定了运放的负载，根据文献可以计算出当第一级采样电容取4.5pF时，前两级功耗最小。

如图3-4所示，最终流水线ADC模型采取了3+4+3+3+3+3+3的七级流水线结构，其中前六级流水线电路均含有一位数字冗余位，用来冗余比较器失调电压和孔径误差。流水级电路前五级都单独设计，第六级、第七级沿用第五级。

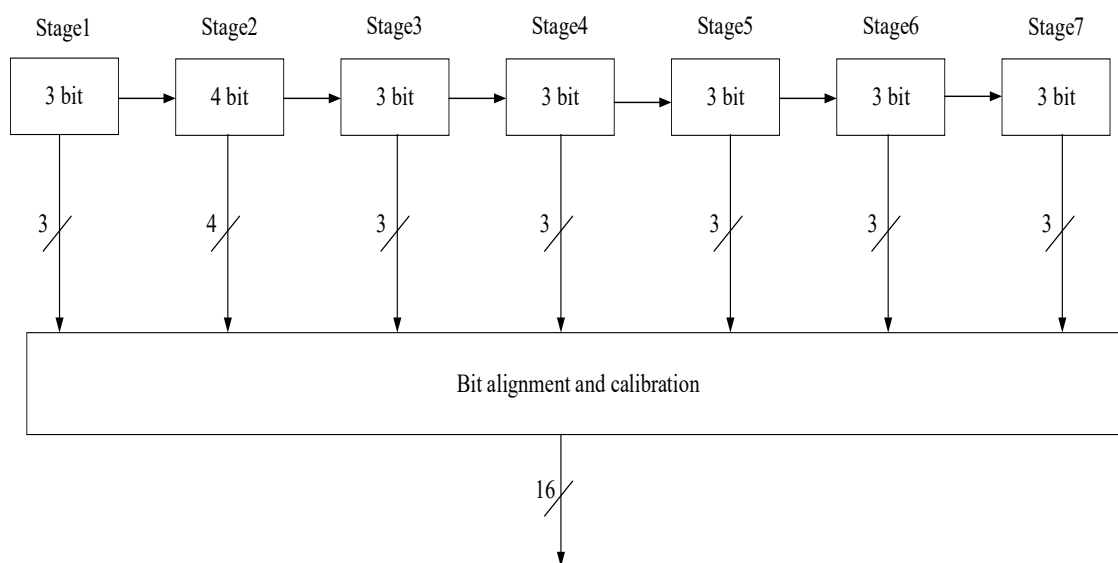


图3-4 流水线ADC结构框图

根据结构框图在simulink上对16bit流水级ADC进行建模。如图3-5所示。

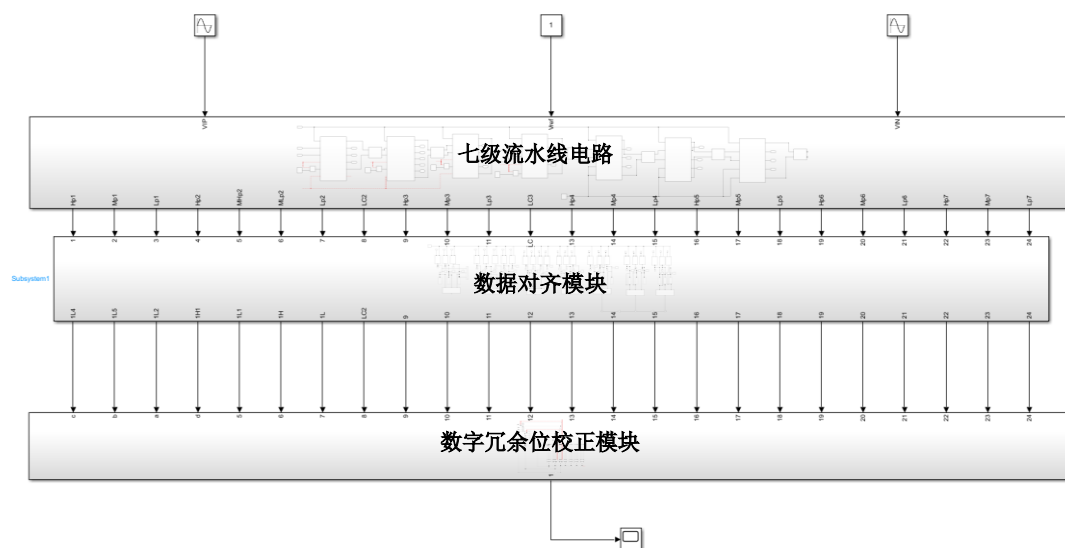


图3-5 流水线ADC simulink 整体建模

根据第二章和第三章流水级电路的原理、结构以及各个模块存在的误差，在整体建模的基础上对内部模块分别建模，建模结果如图3-6、图3-7和图3-8所示。在流水级电路中，为了引入孔径误差，特意将MDAC采样和Sub-ADC采样用两个不同的时钟控制来模拟孔径误差，对于模块内部将在接下来小节中详细介绍。

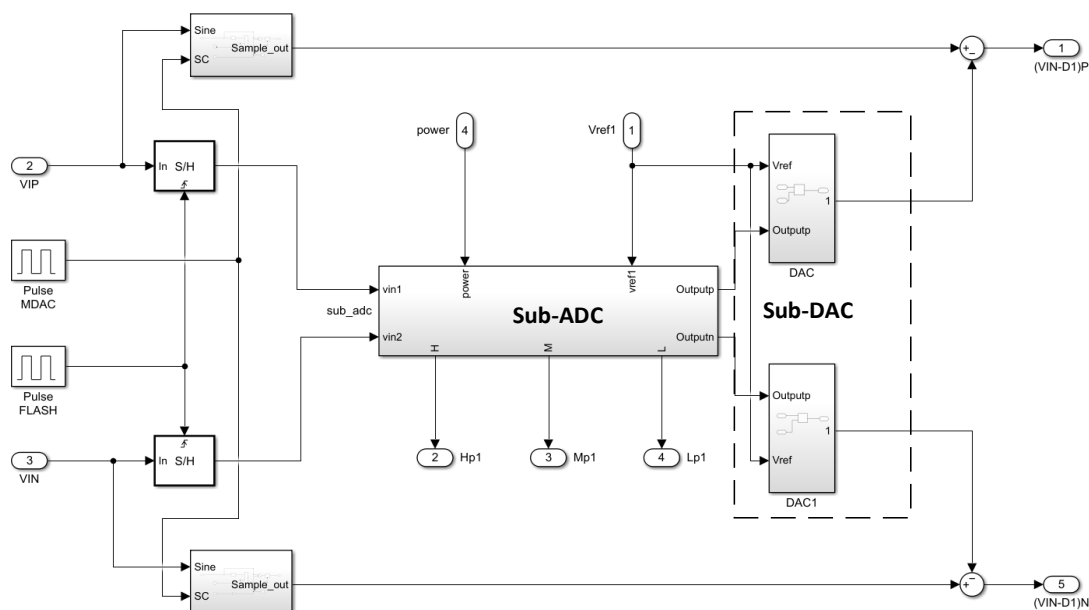


图3-6 流水级电路 simulink 建模

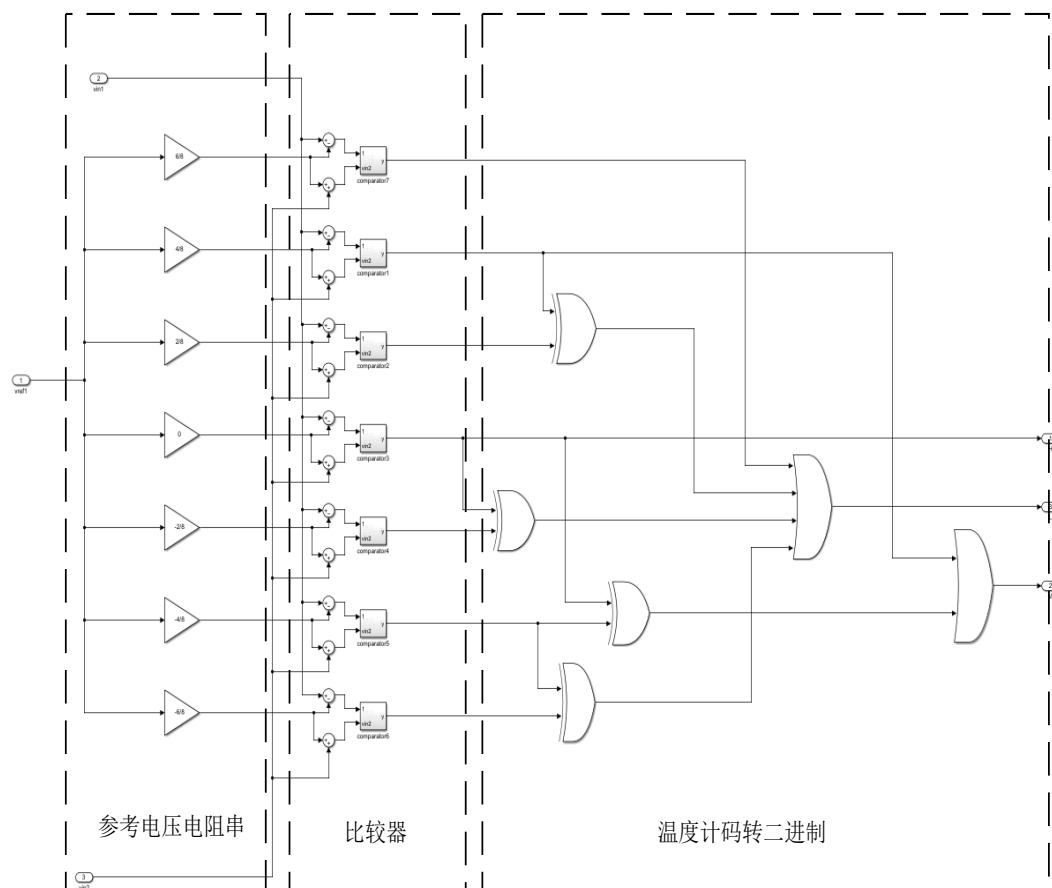


图3-7 Sub-ADC simulink 建模

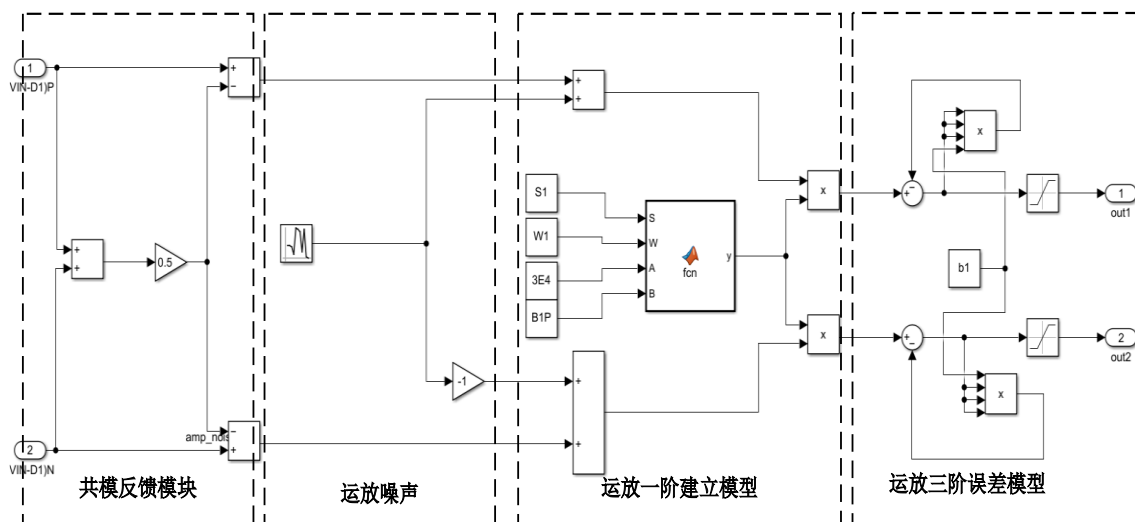


图3-8 运放simulink 建模

### 3.2.2 电容阵列建模

在基本模型的基础上，对各级 DAC 大小和失配分别进行设计。首先考虑的是单位电容的选取，在流水线ADC中，为了满足整个系统的精度需求，第一阶段

的采样精度至关重要。这就使得第一阶段DAC的单电容选择变得尤为关键。选择过大的单电容可能会延长整个系统的采样和建立时间，而选择过小的电容可能会导致较高的采样噪声和电容之间的失配问题。在关心功耗和面积的同时，也会特别关注由电容失配引起的非线性问题。

在模型中DAC均采用比较器输出的温度计码直接控制，所以在各级内每个温度计码控制的都是本级的单位电容。

电容失配与电容面积和工艺参数有关，电容面积越大，失配越小。按照经验值一般取失配为千分之五。在模型中添加的办法是在matlab中取一组随机数，随机数的个数与电容总个数相同，并使随机数的方差均值为千分之五。再将失配值添加到理想电容阵列上作为实际电容阵列。具体matlab代码如图3-8所示。

```
mis_C1P=normrnd(0,0.01,1,10);  
mis_C1N=normrnd(0,0.01,1,10);  
  
mis_C2P=normrnd(0,0.01,1,18);  
mis_C2N=normrnd(0,0.01,1,18);  
  
mis_C3P=normrnd(0,0.005,1,10);  
mis_C3N=normrnd(0,0.005,1,10);  
  
mis_C4P=normrnd(0,0.005,1,10);  
mis_C4N=normrnd(0,0.005,1,10);  
  
mis_C5P=normrnd(0,0.005,1,10);  
mis_C5N=normrnd(0,0.005,1,10);
```

图3-9 电容失配 matlab 代码

这里电容都按单位电容取得，进行了电容的归一化处理。其中前两级的失配系数给大了一倍，为了使失配更明显，便于后面与校正后的结果进行前后对比。

### 3.2.3 Sub-ADC建模

如图3-7为Sub-ADC的simulink建模，模型中主要包括三个模块参考电压模块、比较器模块以及温度计码转二进制码模块。为了使比较器更加贴近实际情况，在比较器模块中添加了噪声和失调电压。如图3-10所示：

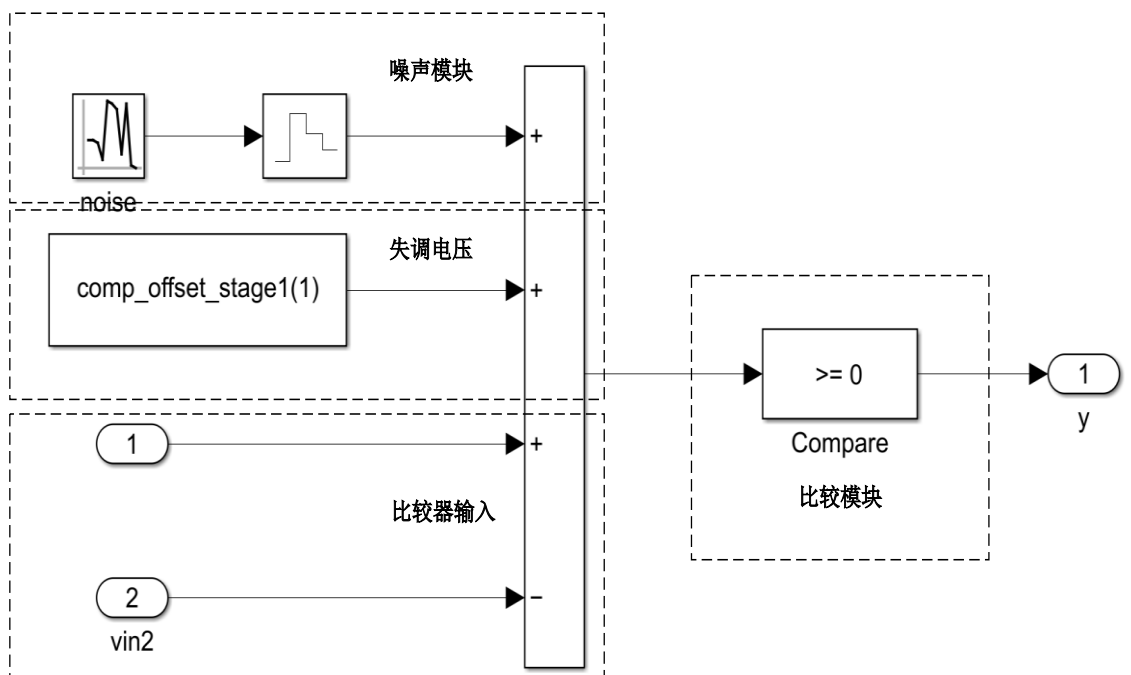


图3-10 比较器 Simulink 模型

由于流水线每级只有3-4bit，相较于失调电压，比较器噪声可以忽略不计。根据冗余范围可得失调电压 $|V_{os}| < LSB/2$ ，由于后续校正采用通过注入伪随机序列的方法来校正，使得失调电压的绝对值要小于 $LSB/4$ 。对于3 bit/级流水级电路，失调电压绝对值最大为 62.5 mV，对于4 bit/级流水级电路，失调电压绝对值最大为 31.75 mV。如图3-11所示在模型中添加失调电压的方式与添加电容失配的方式类似，都是借助matlab中的随机数生成函数，只不过均方差不同。

```
comp_offset_stage1=normrnd(0,0.02,7,1);
comp_offset_stage2=normrnd(0,0.01,15,1);
comp_offset_stage3=normrnd(0,0.02,7,1);
comp_offset_stage4=normrnd(0,0.02,7,1);
```

图3-11 比较器失调电压 matlab 代码

为了使失调电压不超过 $LSB/4$ ，在这里取3 sigma等于 $LSB/4$ ，所以1 sigma分别取0.02和0.01，有正态分布概率计算可得模型基本不会超过 $LSB/4$ 限制。

### 3.2.4 残差放大器建模

残差放大器作为流水级电路中最重要模块，在建模时尽可能地贴合实际电路中运放的特性十分重要。如图3-8所示，残差放大器模型包括共模反馈模块、噪声模块、一阶建立模块以及三阶误差模块。在实际电路中运放的共模反馈模块稳

定了运放的输出共模，避免了共模随输入信号浮动进而引起运放增益发生变化，在模型中添加共模反馈模块还原了稳定共模的作用。运放的一阶建立模型包含了运放的有限增益和带宽带来的误差，可由下面公式表示残差放大器的一阶建立公式为：

$$V_{res} = \frac{C_{S, total}}{C_f} \left(1 - \frac{1}{A\beta}\right) \left(1 - e^{-\frac{T_h}{\tau}}\right) \quad (3-12)$$

在式（3-12）中，在125 MHz采样率下，放大时间设为3 ns，要想满足设计要求根据上一小节中对运放GBW的要求可以求得GBW为3.5 GHz，要满足16bit精度第一级运放的开环增益至少为110 dB。由于要验证校正算法对级间增益误差的校正效果，运放的增益和带宽可以放宽一下。由于实际运放随着输入幅度的增大，导致运放的gm发生变化，进而引入了非线性误差，在模型中通过反馈的形式增加了三阶误差<sup>[20]</sup>，来模拟幅度过大时带来的非线性。

### 3.2.5 模型中的各类噪声分析

在建立流水线ADC模型时不仅要考虑失调等误差，还要考虑电路中可能存在的噪声，包括量化噪声、kT/C噪声、比较器噪声、残差放大器噪声以及参考电压带来的噪声。这些噪声将直接影响流水线ADC的SNR性能。

在无采保的电路中，没有了前端采样保持级的噪声贡献，系统总的等效输入噪声有了大幅的下降。根据上面提到的流水线ADC结构原理，因为各级产生的热噪声之间没有相关性，并且这些热噪声与最终的量化噪声也没有相关性，因此，系统的总噪声能量可以表示为所有级别贡献的噪声能量的总和：

$$V_{n, total}^2 = V_{n, 1}^2 + \frac{V_{n, 2}^2}{G_1^2} + \frac{V_{n, 3}^2}{G_1^2 G_2^2} + \cdots + \frac{V_{n, 7}^2 + e_q^2}{\prod_{i=1}^6 G_i^2} \quad (3-13)$$

由公式（3-13）可以看出每一流水线电路的噪声功率都需要除以该级前所有增益积的平方才能等效到输入端，所以噪声主要取决于前级流水线电路。

Pipelined ADC整体的信噪比如下公式所示：

$$SNR = \frac{P_{in}}{P_{kt/c} + P_Q + P_{amp} + P_{ref} + P_{jitter}} \quad (3-14)$$

根据之前的指标最终的噪声分配为：

表32 噪声参数分配

$P_{kt/c}$	$P_Q$	$P_{amp}$	$P_{ref}$	$P_{jitter}$	$P_{in}$	SNR
1.8e-9	7.8e-11	7.3e-10	1e-10	5.4e-11	0.3972	81.7dB

模型中的噪声添加通过正态分布随机数的形式添加到模块中，随机数中方差表示的功率值，所以在各个模块中分别取方差为对应的噪声功率值。添加模型如图3-11所示。在上面章节分析误差时，分析了孔径误差，这里的时钟抖动与孔径误差计算方法类似，都与信号斜率有关，但不同的是时钟抖动直接影响的是采样的性能，等效为输入信号本身就带有噪声，降低了运放的信噪比性能。

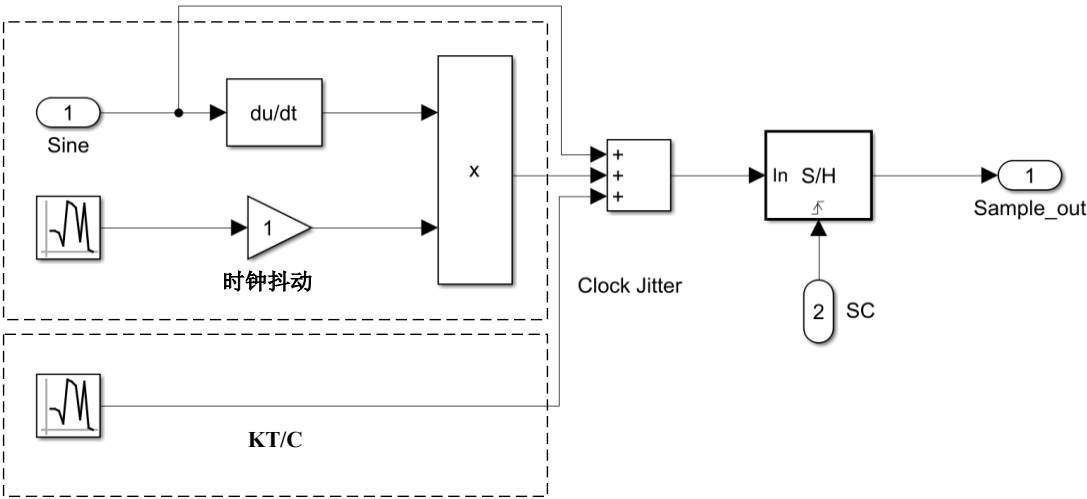


图3-12 采样模块中的噪声模型

3.2.6 建模中各项设计指标总结

表 3-2 列出了本建模中的各项考虑参数：

表3-3模型中各项设计指标

ADC位数	16 bit
输入电压幅度	2Vpp
各级位数分布	3+4+3+3+3+3+3+3
前4级级采样电容分配	6.4pF + 1.6pF +0.4pF +0.2pF
级间增益	4 8 4 4 4 4
比较器失调电压(最大)	62.5mV(3 bit) 31.25mV(4 bit)

3.2.7 模型仿真结果

建模完成后，对模型进行仿真与数据分析，并不断调试参数使得电路各项性能指标达到预先的计划，在 125 MHz 采样频率下，得到的 FFT 性能如图 3-13 所示：

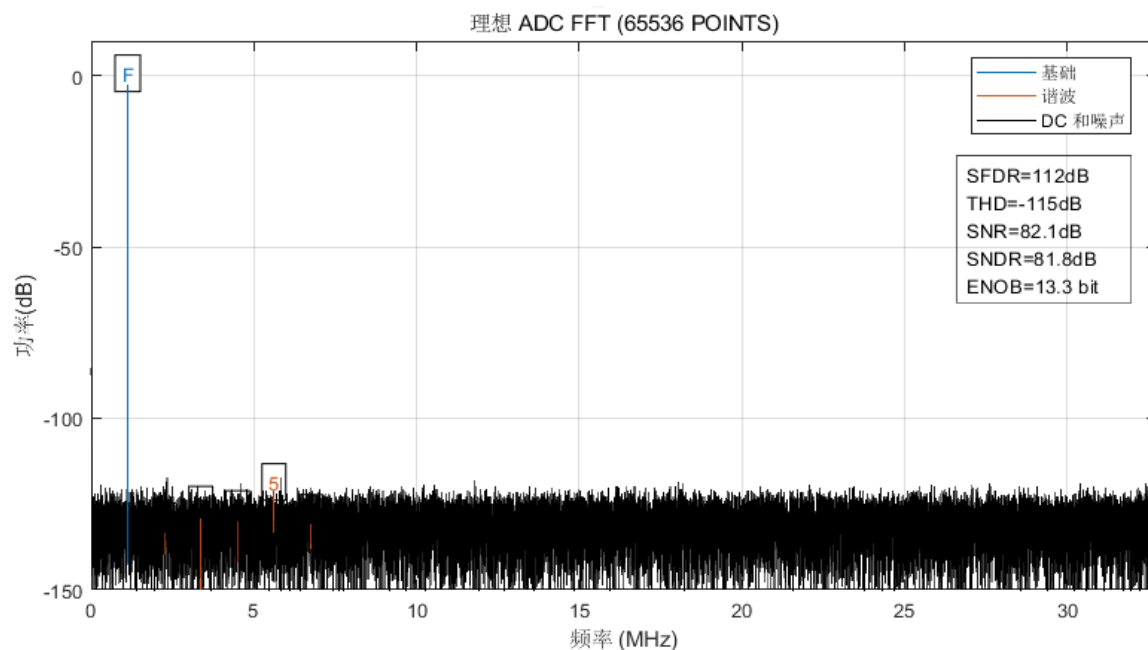


图3-13 不含误差的理想 ADC FFT 结果

由仿真结果可以看出，加入的噪声是满足指标要求的，为了更好的比较校正前与校正后的性能，所有非线性误差均做了调整，得到的 FFT 结果如下。

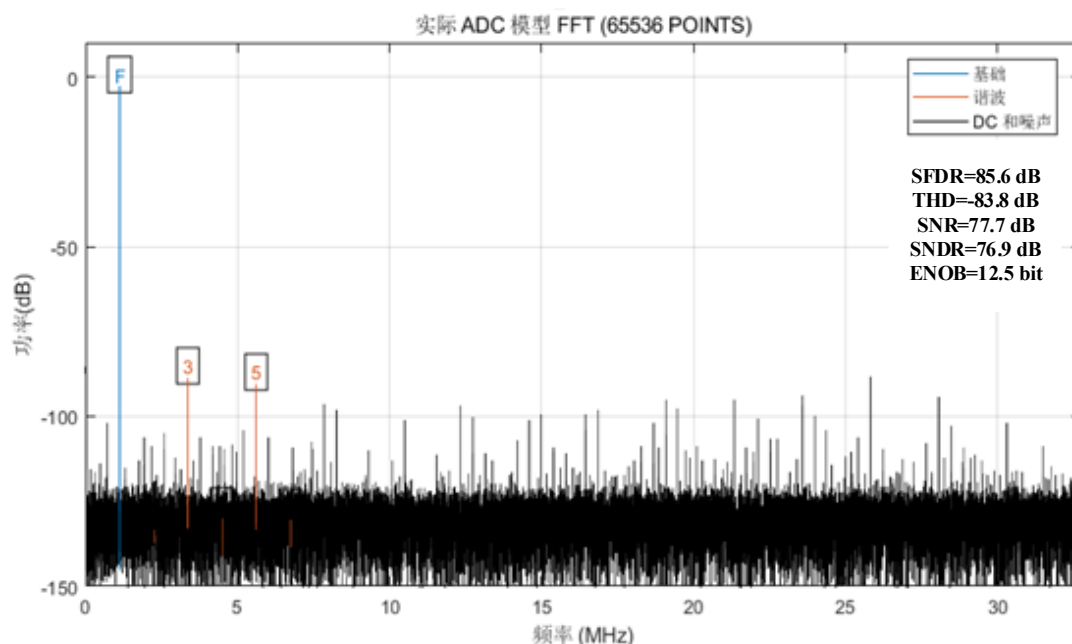


图3-14 加入非理想特性后的 FFT 结果

为了配合校正算法，在模型中加入的非理想因素大于设定指标，使得 ADC 性能指标出现的下降，加入非理想因素后的FFT结果。



### 3.3 本章小结

流水线架构模数转换器主要由子逐次逼近数模转换器（Sub-ADC）和乘法数字模拟转换器（MDAC）等关键组件构成。在集成电路制造过程中，由于制造误差和电路非理想特性的存在，实际电路中可能出现失调误差、增益误差以及非线性增益误差等问题，这些都会对模数转换器的线性度和精度产生不良影响。为了有效应对这些非理想因素，我们通常采用模拟或数字校准技术来抑制或补偿误差。通过对这些误差的等效模型进行深入分析，我们可以更精准地建模各级理想传输函数所受到的影响，进而利用系统级模型精确模拟实际电路的性能。这种方法不仅简化了系统分析流程，还为开发高精度的数字校准算法提供了有力的模型支持。

## 第四章 流水线ADC校正算法原理与设计

前面章节分析了流水线ADC中存在的非理想因素，由于功耗、面积以及工艺带来的限制，单纯通过模拟设计的方法已经无法解决问题，因此希望通过借助数字校正的方式来以最小的代价解决非理想因素带来的影响。本章节简要介绍校正技术的基本原理，并对文中采用的校正技术做了详细阐述。

### 4.1 数字校正设计流程

在数字辅助设计技术的电路系统中，设计师面临着将模拟和数字电路融合的挑战，需要不仅关注模拟电路的指标，还要综合评估整体系统的性能。这要求在模拟和数字领域之间做出恰当的功能分配和性能权衡，以优化整个系统设计。在这种系统中，模拟电路负责核心功能和一部分性能指标，而数字电路则补充以实现其他性能要求。这种融合方法使得传统的模拟电路设计流程不再充分适用。

设计流程采用了自顶向下的策略，始于确立全局的设计目标和性能需求，随后界定模拟与数字电路的具体功能。在系统层面，我们着手开发电路的架构模型，并探讨适用于数字辅助的设计算法及其架构。为了验证所提出结构和算法的有效性，我们采用行为级仿真工具进行验证。随着设计逐渐深入，我们转向电路版图层面的精细设计，其中模拟电路基于 $0.18\mu\text{m}$ 工艺进行设计，而数字电路则通过硬件描述语言和FPGA实现。在设计的最终阶段，我们构建物理级的交互验证平台，以确保设计在功能性和时序上的精确性。

数字辅助设计技术的流程是一个综合性的过程，它涵盖了从系统级的设计和验证到模拟电路详细设计的各个环节。这其中，电路设计、仿真、版图设计以及后续的仿真工作都是不可或缺的步骤，它们共同确保了设计能够更真实地反映非理想特性。通过协同设计和多层次验证的方式，我们可以对误差机理的数学模型进行修正，进一步完善数字校准算法，从而确保混合信号系统能够顺利实现其预定功能并达到性能标准。整个设计流程的详细内容如图4-1所示。

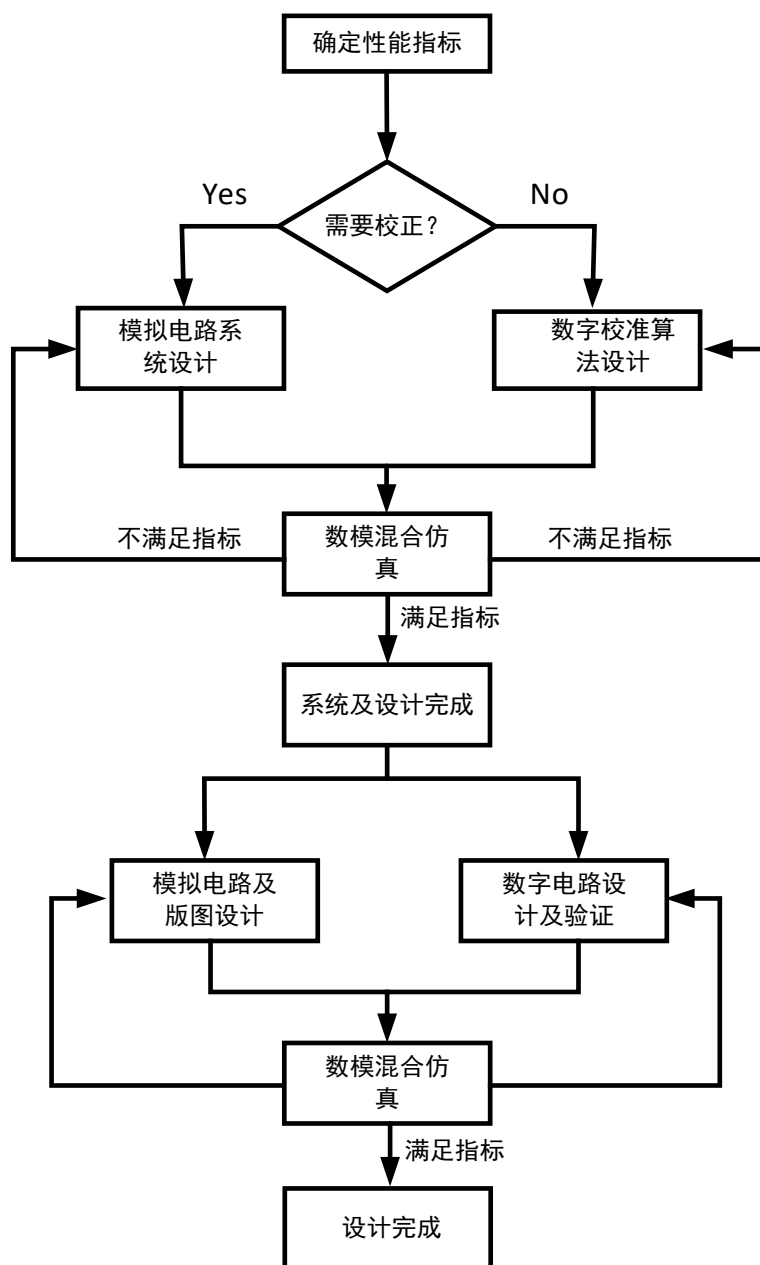


图4-1 结合数字校正ADC设计流程

## 4.2 数字校正的基本原理

借助数字电路进行校正的基本思想可以简要描述为，首先经过模拟域对输入信号进行量化，得到的量化结果中带有误差信息，在数字域通过算法完成对误差的提取，随后以数字码的形式对量化结果进行补偿。整个过程如图 4-2 所示。

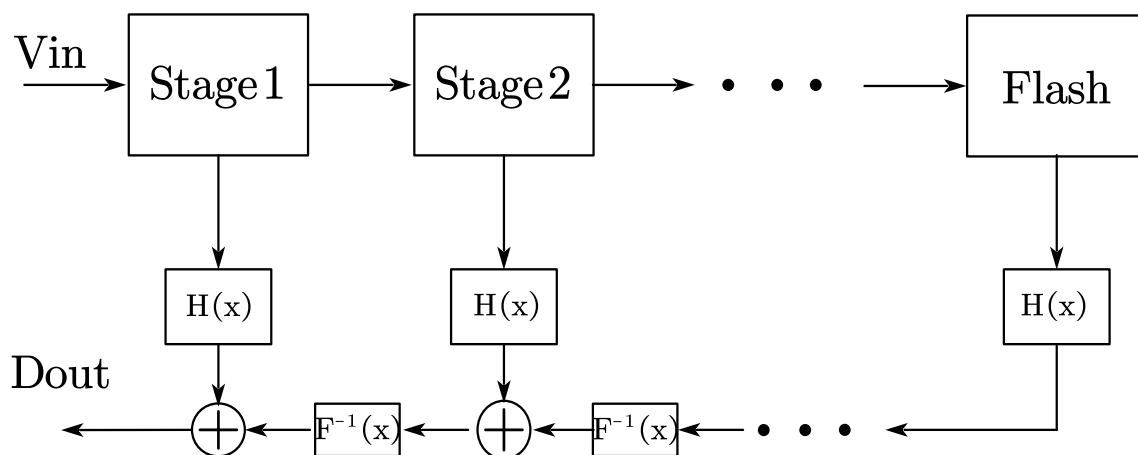


图4-2 校正算法过程图

以一个  $i$  级的流水线 ADC 为例，对于第  $k$  级流水线电路，设输入  $V_{in}$  与该级量化结果  $D_k$  和输出残差电压  $V_{k+1}$  的关系式为

$$V_{k+1} = F(V_{in} - H(D_k)) \quad (4-1)$$

式 (4-1) 为式 (3-4) 的化简，其中包括了电容失配和增益误差。在已知本机残差电压以及量化码字的基础上，可以计算出：

$$V_{in} = F^{-1}(V_{k+1}) - H(D_k) \quad (4-2)$$

对于最后一级我们可以近似认为  $V_{in} = H(D_k)$ 。在式(4-2)中  $F^{-1}()$  表示  $F()$  的反函数。对于每一级来说式(4-1)表示的映射关系各不相同，这里只是统一描述。由于电容的翻转与量化结果有一一对应关系，所以一种量化码字对应一个失配误差， $H(D_k)$  中包含了电容失配的补偿， $F^{-1}()$  表示对级间增益误差的补偿。数字校准过程主要包括两个阶段：首先是提取误差参数，接着是进行误差校正，通过拟合反函数来得到准确的数字输出。数字校准技术根据是否能够在系统正常运行时进行误差参数的提取，分为前台校准和后台校准技术。

### 4.2.1 前台校正技术

提取前台校准技术误差参数不能与系统正常运行同步进行<sup>[21]</sup>。系统框图见图 4-3，展示了传统的前台校正技术的流程：首先，将校准信号送入 ADC，通过比较 ADC 实际量化输出与理想电平之间的偏差来获取误差参数，随后将这些参数存储起来。当系统处于正常运行状态时，通过这些预存的误差参数对 ADC 的非理想属性进行补偿，从而来提升 ADC 的准确性。

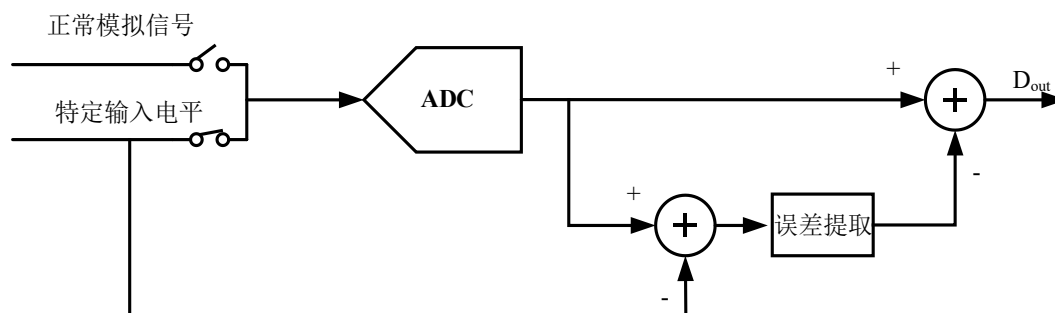


图4-3 前台校正算法

前台校准技术一般不需要很多数据而且结构大多相对简单，通常仅需 $10^4$ 个周期便能完成误差校准。然而，该技术将误差参数的提取与数字输出的校准视为两个分离的步骤，这两个过程无法同时执行。提取误差参数会中断系统的常规运作，并且无法即时监测系统参数误差的变化，这限制了其应用范围。

传统的前台校正算法利用比较器的翻转电平来进行校正，需要多个输入电平，多次采样计算。而且由于比较器存在失调电压，因此需要先进行一次满输入幅度信号的采样，来找出比较器的翻转电平，校正过程比较繁琐。本文采用基于INL、DNL的校正算法<sup>[22][23]</sup>，输入信号采用正常的正弦波来进行校正。

流水线ADC所有的非线性最终都会体现在INL和DNL上有所体现，基于INL、DNL校正算法的核心思想是将ADC当作一个黑匣子，由式(4-2)可以看出，误差可以由量化结果得到的码字进行表示，因此，每一种码字都对应一种误差，将所有码字都列出尽可能地得到所有误差来列出方程组求解。

### 4.2.2 后台校正技术

目前，后台数字校准技术处于百花齐放的发展阶段，多种后台校准方法已经相继涌现。基于ADC校准信号的特性，这些方法可归为两大类<sup>[24]</sup>。其一，是运用固定校准信号进行后台校准的码域均衡技术；其二，则是借助伪随机信号进行校准的方法<sup>[25]</sup>。尽管策略不同，这两种方法却有一个共同点：它们都依赖于自适应反馈机制，无需深入探究ADC的传输特性。它们通过后台自适应迭代算法，精确测量并校准误差，从而提升了ADC的性能。

码域均衡技术，这一创新性的后台数字校准方法，最初由Chiu Yun和X. Wang两位学者提出。其核心思想巧妙地借鉴了自适应系统中噪声消除模型的设计原理，如图4-4所示。在此技术中，我们利用一个低速但精度卓越的参考ADC生成的固定校准信号，作为期望达到的目标输出。与此同时，另一个高速但精度稍逊的ADC的输出，则被用作自适应滤波器的输入信号。通过巧妙地运用线性均衡技术，我

们能够精准地计算出ADC的响应函数系数，并进一步提取出误差系数。这种独特的设计使得码域均衡技术能够在后台对数字信号进行精细校准，提高信号处理的准确性与稳定性。这些误差系数随后在一个反馈循环中被用来校准高速ADC的输出，以提高其精度。

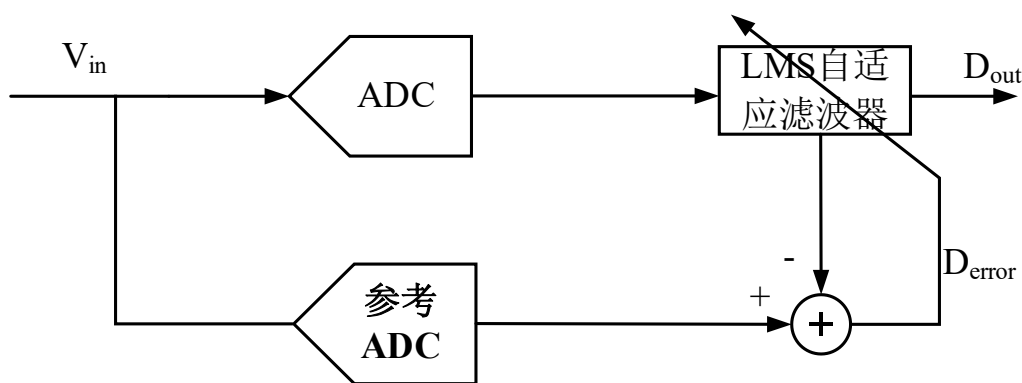


图4-4 码域均衡技术原理图

在该系统中，主ADC的采样速率是参考ADC采样速率的N倍。同时向主ADC输入信号时，每N个周期也会向参考ADC输入同一信号。设参考ADC的数字输出为 $D_{ref}$ ，视为理想输出，而主ADC的数字输出为 $D_{real}$ ，其每N个周期的输出记为 $D_N$ 。 $D_{ref}$ 与 $D_N$ 的差值 $D_e$ 被送入自适应滤波模块。该模块利用最小均方误差（LMS）算法更新自适应滤波器的系数，目的是使 $D_e$ 逐步减小至最小可能值。

LMS（最小均方误差）算法是一种自适应策略，旨在最小化系统预测输出与目标输出之间的差距。它通过不断更新系统内部的线性权重来实现这一目标。设定在时间点k，期望的系统响应是 $d_k$ ，而实际的估计响应是 $Y_k$ ，那么在此基础上，我们可以根据自适应系统的输入和输出关系式计算出时间点K的误差 $e_k$ 。

$$e_k = d_k - Y_k = d_k - W_k^T X_k \quad (4-3)$$

式中 $X_k$ 表示k时刻系统的输入， $W_k^T$ 为k时刻的估计权向量。根据最速下降法，可以求出下一时刻的权向量为：

$$W_{k+1} = W_k + 2\mu e_k \nabla e_k \quad (4-4)$$

式中 $\mu$ 表示迭代步长， $\nabla e_k$ 表示对权向量的导数，表示在下一时刻，系统的权值将向着 $\nabla e_k$ 的方向进行迭代，最终使得 $e_k$ 逼近零。

在实际电路中应用基于参考ADC的数字校准技术时，参考ADC较低的工作速度意味着它对整体功耗的增加影响不大。然而，设计一个低速但高精度的参考ADC会使电路设计更加复杂。此外，主ADC和参考ADC各自使用的采样时钟可能会为系统引入额外的噪声。

伪随机序列(Pseudo-random Noise, PN)注入后台数字校正技术是一种利用相关性的算法<sup>[26-30]</sup>,如图4-5所示在电路中注入伪随机序列,然后利用伪随机序列与其他信号不相关的特性来提取误差参数,再经过结合LMS算法对误差进行校准。

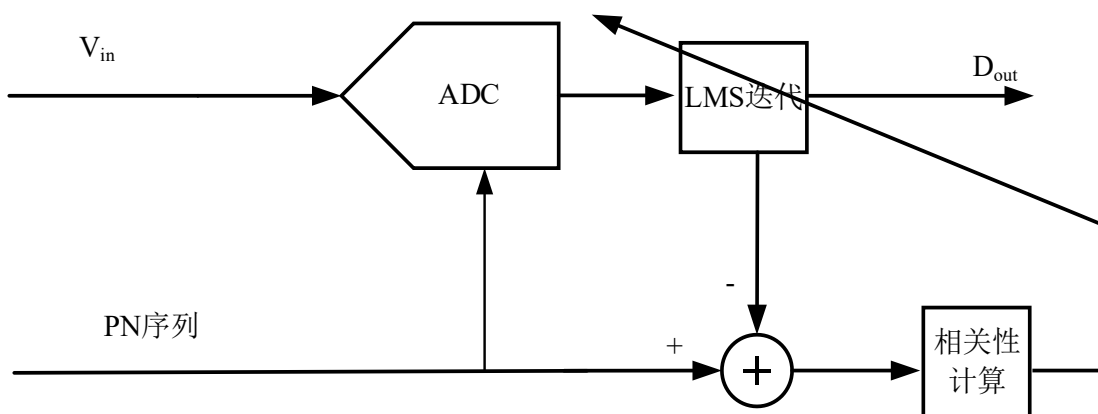


图4-5 PN注入校正原理图

根据PN序列在电路中注入的位置, 可以将PN序列注入校正算法分为四种结构<sup>[31]</sup>: 输入信号调制; 子ADC调制; 级电路调制; MDAC调制。

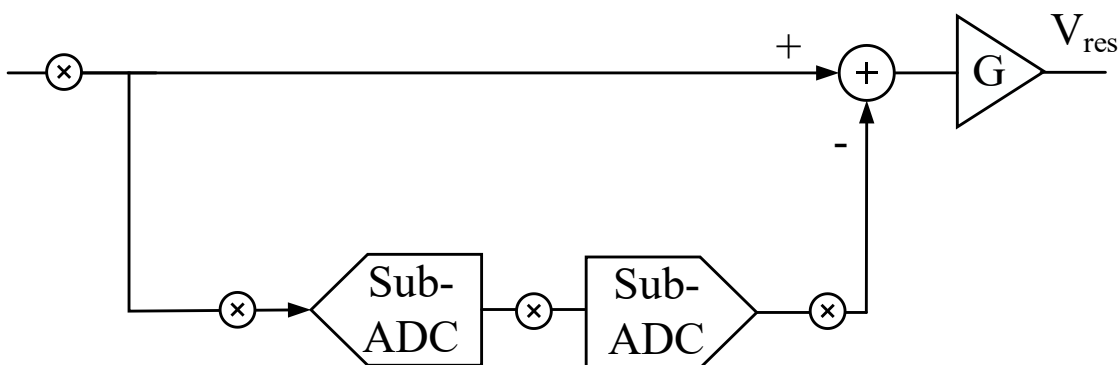


图4-6 PN注入位置示意图

在输入信号调制过程中，有两种主要做法。一种是直接将伪随机噪声（PN）序列加入输入信号中，但此举需降低信号幅度以适应输入动态范围。不过，需要注意的是，由于模拟域中添加的PN序列与数字域中减去的PN序列之间的匹配度并非完全精确，这可能会引入额外的误差。另一种策略是在子ADC调制阶段注入PN序列，以此随机调整比较器的阈值，但它同样会对输入信号的动态范围产生一定的约束。至于级间电路调制，它的主要作用是校准开环MDAC的级间增益。这一方法通过对比同一输入信号在残差曲线上的输出差异来实现误差的修正。特别值得注意的是，这种调制方法与输入信号的统计特性紧密相连，因此在实际应用

中需要充分考虑信号的统计特性。本文主要聚焦于研究针对MDAC调制的PN序列调制方法<sup>[32]</sup>，因此，将详细阐述MDAC调制技术的相关内容。

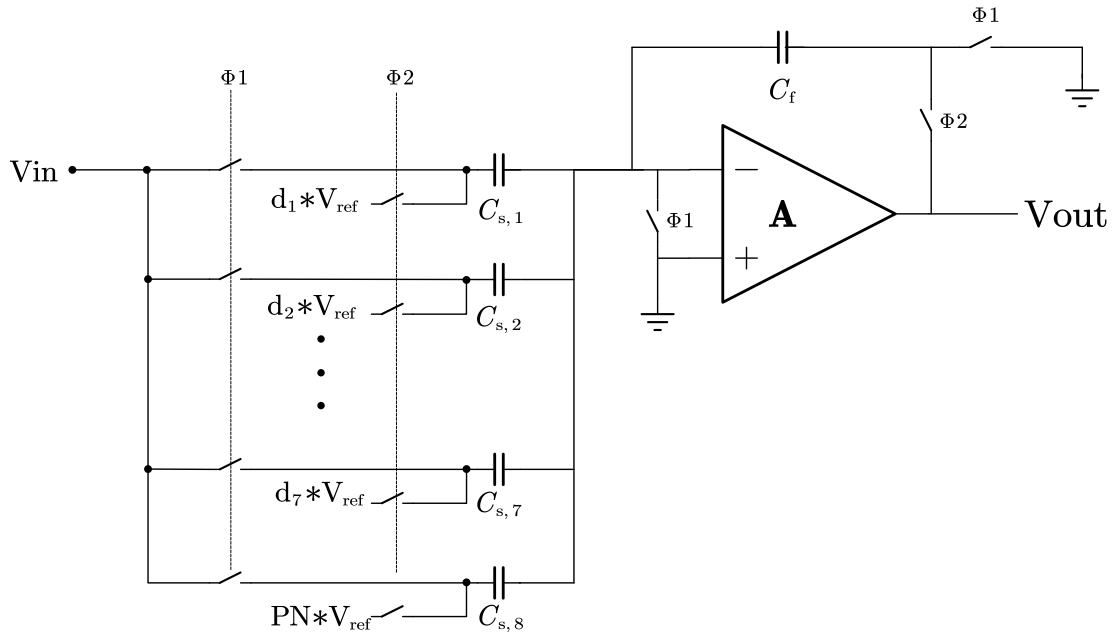


图4-7 MDAC 注入PN序列

如图4-7所示，在再放大阶段解共模的电容改为接PN电压，注入PN后式（3-3）变为：

$$V_{res} = G \left( V_{in} - \frac{\sum_{i=1}^7 C_{s,i} * d_i * V_{ref}}{C_{s,total}} - \frac{C_{s,8} * PN * V_{ref}}{C_{s,total}} \right) \quad (4-5)$$

其中G为实际级间增益，式中最后一项包含运放非线性和电容失配带来的级间增益误差。通过相关性计算，可以只留下式(4-5)中的最后一项。利用PN序列的相关性对残差电压做相关性计算可得：

$$V_{res} \odot PN = G \left( \frac{C_{s,8} V_{ref}}{C_{s,total}} \right) \quad (4-6)$$

式中 $\odot$ 表示相关运算，一般为多组数据分别相乘后取平均。

如图4-8所示，MDAC 的传输曲线再注入PN后发生了上下平移，这使得MDAC 的冗余范围变小，对比较器的失调电压提出了更高的要求。



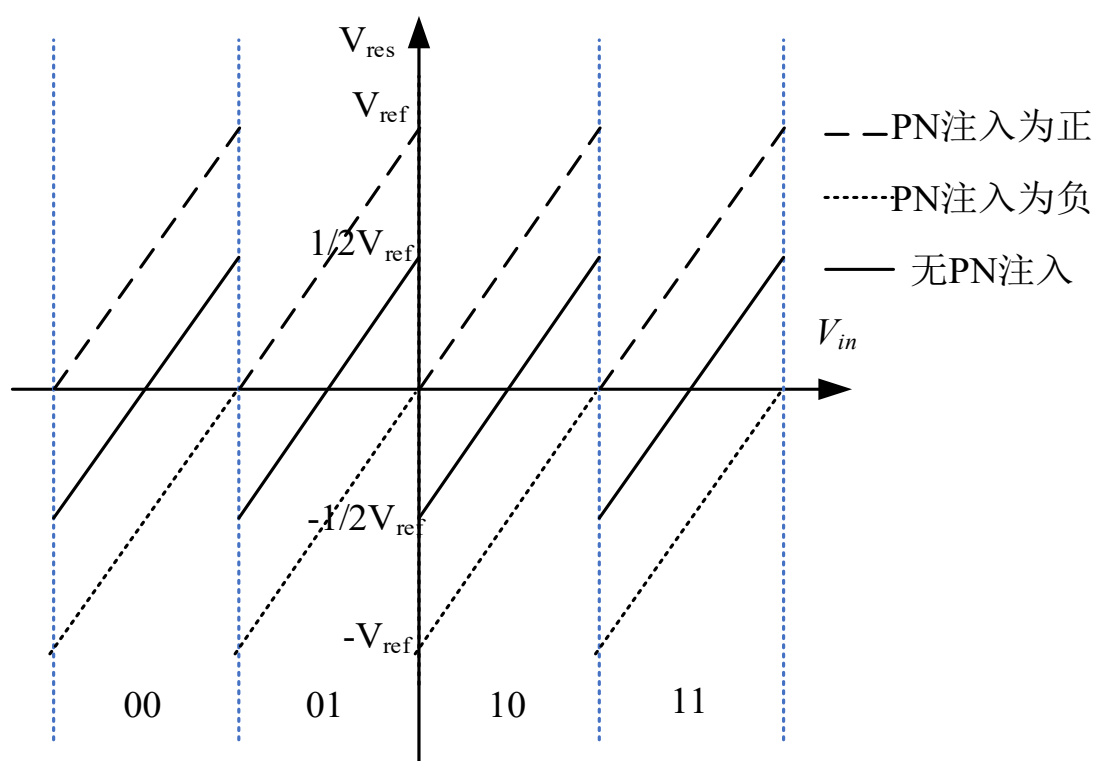


图4-8 PN注入后的MDAC传输曲线

### 4.3 校正算法设计

由上面章节可以得到对于电容失配和运放非理想特性引起的级间增益误差可以采用基于PN注入的后台校正方式来校正，而对于电容失配和MDAC中参考电压失调带来的误差仅靠该后台校正是无法消除的，从外本文采用MDAC位置PN注入的校正算法，严重依赖于电容的准确性。因此本校正算法采用前台校正算法和后台校正算法相结合的设计，前台校正算法首先对电容失配和MDAC中参考电压的失调进行校准，在后台校正算法进行时，将前台校正得到的误差通过数字码的形式进行补偿，极大的提高了流水线ADC的整体性能。

#### 4.3.1 前台校正算法设计

##### 4.3.1.1 前台校正算法原理

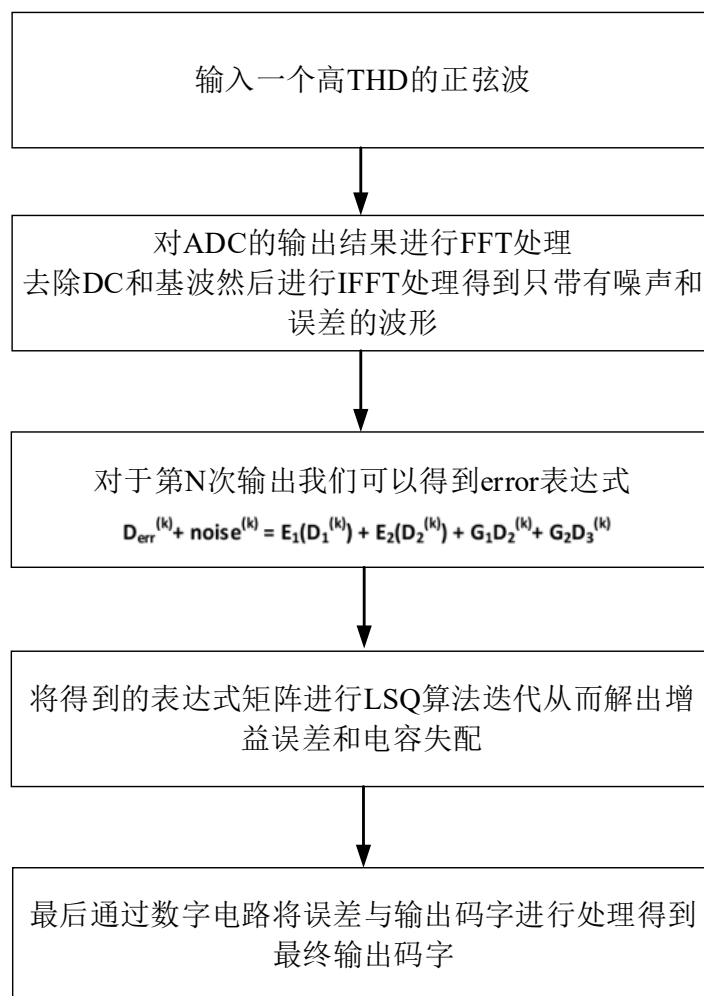


图4-9 INL 校正算法流程图

如图4-9所示，为基于INL、DNL的校正算法流程图。首先流水线 ADC 输入一个比较干净且接近满摆幅的正弦信号，随后将各级量化结果以及 ADC 整体的码字输出对应存储起来，即每一个 ADC 整体量化输出都与各级的量化结果有一一对应关系。随后将ADC输出进行 FFT 处理，将时域波形转化为频域来处理。由于输入频率我们一直，可以在频域找到基波并把基波删除掉，只留下噪声和谐波。随后再对频域剩下的数据进行 iFFT 处理，转换到时域，得到只含有噪声和误差的波形。由式（4-5）我们可以知道，电容翻转与各级量化结果有对应关系，每一种量化结果都对应一种反转结果，而每一种翻转结果都代表误差结果，所以可以认为每一种量化结果都对应一种误差。所以可以得到误差与量化结果关系的方程为：

$$D_{error} = noise + E_1(D_1) + E_2(D_2) + G_1 * D_2 + G_2 * D_3 \quad (4-7)$$

由流水线 ADC 的残差电压传输公式可知，本级的残差电压可由下一级的量化结果表示，所以本级的级间增益误差可用本级增益与下级的量化结果来表示。

为了消除噪声带来的影响,根据各级量化结果对前面处理得到的含有误差和噪声的结果进行分类并取平均。最终根据各级量化码字列出方程组,通过最小二乘法迭代进行求解。

#### 4.3.1.2 前台校正算法具体设计

由流水线 ADC 的传输特性可知,后级的非线性误差等效到输入端是要经过缩小的。所以本前台设计只对前三级进行电容失配校准,前两级进行级间增益误差校准。

除了电容失配和级间增益误差以外,参考电压的失调也会带来非线性影响。以一个传统2位流水级的结构为例,在放大阶段,DAC上要减去的电压为:

$$V_D = \frac{T_1 * C_1 + T_2 * C_2 + T_3 * C_3}{C_f} * (V_{refp} - V_{refn}) \quad (4-8)$$

当参考电压不存在误差时,对于两个相反的码字输出的 $V_D$ 互为相反数。而当电容失配和参考电压误差同时存在时,两个相反码字的输出电压是存在误差的。设正负两端电容表达式分别为 $(C + \Delta C_1)$ ,  $(C + \Delta C_2)$ , 设正负参考电压表达式分别为 $(\frac{V_{ref}}{2} + \Delta V_1)$ ,  $(-\frac{V_{ref}}{2} + \Delta V_2)$ , 随意取一对相反码字,电容两端的电压分别为:

$$V_{X+} = (C + \Delta C_1) * (\frac{V_{ref}}{2} + \Delta V_1) - (C + \Delta C_2) * (-\frac{V_{ref}}{2} + \Delta V_2) \quad (4-9)$$

$$V_{X-} = (C + \Delta C_1) * (-\frac{V_{ref}}{2} + \Delta V_2) - (C + \Delta C_2) * (\frac{V_{ref}}{2} + \Delta V_1) \quad (4-10)$$

由式(4-9)和(4-10)可以看出,当 $\Delta V_1 \neq \Delta V_2$ 时,对于相反的码字带来的误差是不同的。所以将DAC翻正翻负带来的误差分别设为未知量,为了得到想要的方程组需要对电容的翻转方式做特殊处理。

对于第一级流水线电路来说,输入为满摆幅,所有量化码字都会出现,这使得第一级有足够多的方程来求解误差。而对于后级来说,输入范围只有满摆幅的一半,无法列出足够的方程求解那么多未知量。对于本前台算法来讲,核心问题在于能不能通过设未知量的形式来尽可能的涵盖误差,并能根据条件列出方程组来求解使得方程组满秩,来求得收敛的结果。

为了减小电容失配带来的未知数个数,本设计将DAC阵列由单位电容阵列改为二进制阵列。同时为了得到想要的方程组需要对电容的翻转方式做特殊处理。当二进制码字高位为0时,DAC翻转只会接 $V_{cm}$ 或者 $-V_{ref}$ ,其中码字为0,对应的DAC接 $-V_{ref}$ ,码字为1接 $V_{cm}$ ;当二进制码字高位为1时,DAC翻转只会接 $+V_{ref}$ 或者 $V_{cm}$ ,其中码字为0,对应的DAC接 $V_{cm}$ ,码字为1接 $+V_{ref}$ 。以一个3 bit /级流水线结构为例,如图4-10所示。


$$\begin{bmatrix} 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 \end{bmatrix} \quad (4-11)$$

当各级码字 $D_{<1:3>}=[0\ 0\ 0]$ ， $D_{<4:7>}=[0\ 1\ 1\ 1]$ ， $D_{<7:9>}=[0\ 1\ 1]$ 时，该码字对应的未知数系数为：

$A1=[1\ 0\ 1\ 0\ 0\ 0\ 1\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B1;

当各级码字 $D<1:3>=[0\ 0\ 1]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A2=[1\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B2;

当各级码字 $D<1:3>=[0\ 1\ 0]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A3=[0\ 0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B3;

当各级码字 $D<1:3>=[0\ 1\ 1]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A4=[0\ 0\ 0\ 0\ 1\ 0\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B4;

当各级码字 $D<1:3>=[1\ 0\ 0]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A5=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B5;

当各级码字 $D<1:3>=[1\ 0\ 1]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A6=[0\ 0\ 0\ 1\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B6;

当各级码字 $D<1:3>=[1\ 1\ 0]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A7=[0\ 1\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B7;

当各级码字 $D<1:3>=[1\ 1\ 1]$ ,  $D<4:7>=[0\ 1\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A8=[0\ 1\ 0\ 1\ 0\ 0\ 0\ 1\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B8;

当各级码字 $D<1:3>=[1\ 0\ 0]$ ,  $D<4:7>=[0\ 0\ 1\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A9=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ -1\ -1\ 1\ 1\ 1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B9;

当各级码字 $D<1:3>=[1\ 0\ 0]$ ,  $D<4:7>=[0\ 1\ 0\ 0]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A10=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ -1\ 1\ -1\ -1\ 1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B10;

当各级码字 $D<1:3>=[1\ 0\ 0]$ ,  $D<4:7>=[0\ 1\ 0\ 1]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A11=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ -1\ 1\ -1\ 1\ 1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为B11;

当各级码字 $D<1:3>=[1\ 0\ 0]$ ,  $D<4:7>=[0\ 1\ 1\ 0]$ ,  $D<7:9>=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A_{12}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ -1\ 1\ 1\ -1\ 1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为 $B_{12}$ ;

当各级码字 $D_{<1:3>}=[1\ 0\ 0]$ ,  $D_{<4:7>}=[1\ 0\ 0\ 0]$ ,  $D_{<7:9>}=[0\ 1\ 1]$ 时, 该码字对应的未知数系数为:

$A_{13}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ 1\ 1\ -1\ -1\ -1]$ , 该码字对应的误差值为 $B_{13}$ ;

当各级码字 $D_{<1:3>}=[1\ 0\ 0]$ ,  $D_{<4:7>}=[0\ 1\ 1\ 1]$ ,  $D_{<7:9>}=[0\ 0\ 1]$ 时, 该码字对应的未知数系数为:

$A_{14}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ -1\ -1\ 1\ 1]$ , 该码字对应的误差值为 $B_{14}$ ;

当各级码字 $D_{<1:3>}=[1\ 0\ 0]$ ,  $D_{<4:7>}=[0\ 1\ 1\ 1]$ ,  $D_{<7:9>}=[0\ 1\ 0]$ 时, 该码字对应的未知数系数为:

$A_{15}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ -1\ 1\ -1\ 1]$ , 该码字对应的误差值为 $B_{15}$ ;

当各级码字 $D_{<1:3>}=[1\ 0\ 0]$ ,  $D_{<4:7>}=[0\ 1\ 1\ 1]$ ,  $D_{<7:9>}=[1\ 0\ 0]$ 时, 该码字对应的未知数系数为:

$A_{16}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ -1\ 1]$ , 该码字对应的误差值为 $B_{16}$ ;

当各级码字 $D_{<1:3>}=[1\ 0\ 0]$ ,  $D_{<4:7>}=[0\ 1\ 1\ 1]$ ,  $D_{<7:9>}=[1\ 0\ 1]$ 时, 该码字对应的未知数系数为:

$A_{17}=[0\ 0\ 0\ 0\ 0\ 1\ 0\ 0\ 1\ -1\ -1\ -1\ -1\ 1\ -1\ 1\ 1]$ , 该码字对应的误差值为 $B_{17}$ ;

最终得到的方程组为:

$$\begin{bmatrix} A_1 \\ A_2 \\ A_3 \\ A_4 \\ A_5 \\ A_6 \\ A_7 \\ A_8 \\ A_9 \\ A_{10} \\ A_{11} \\ A_{12} \\ A_{13} \\ A_{14} \\ A_{15} \\ A_{16} \\ A_{17} \end{bmatrix} * X = \begin{bmatrix} B_1 \\ B_2 \\ B_3 \\ B_4 \\ B_5 \\ B_6 \\ B_7 \\ B_8 \\ B_9 \\ B_{10} \\ B_{11} \\ B_{12} \\ B_{13} \\ B_{14} \\ B_{15} \\ B_{16} \\ B_{17} \end{bmatrix} \quad (4-12)$$

通过迭代的方式进行求解并对得到的结果进行处理, 由于在设未知数时是根据码字来设的, 得到的结果中既包含电容失配又包含级间增益误差, 利用在同一级中电容失配的和为零, 可以从中提取出级间增益误差, 计算过程如下:

$$G_1 = X(9) + X(10) + X(11) + X(12) + X(13) \quad (4-13)$$

$$C_{21} = X(9) - \frac{G_1}{2}, C_{22} = X(10) - \frac{G_1}{4}, C_{23} = X(11) - \frac{G_1}{8}, C_{24} = X(12) - \frac{G_1}{16} \quad (4-14)$$

$$G_2 = X(14) + X(15) + X(16) + X(17) \quad (4-15)$$

$$C_{31} = X(14) - \frac{G_2}{2}, C_{32} = X(15) - \frac{G_2}{4}, C_{33} = X(16) - \frac{G_2}{8} \quad (4-16)$$

电容失配误差的补偿公式为:

$$\begin{aligned} \text{error} = & \frac{D(1)+1}{2} * X(2) + \frac{|D(1)-1|}{2} * X(1) + \frac{D(1)+1}{2} * X(4) \\ & + \frac{|D(2)-1|}{2} * X(3) + \frac{D(3)+1}{2} * X(6) + \frac{|D(3)-1|}{2} * X(5) \\ & + D(4) * C_{21} + D(5) * C_{22} + D(6) * C_{23} + D(7) * C_{24} \\ & + D(8) * C_{31} + D(9) * C_{32} + D(10) * C_{33} \end{aligned} \quad (4-17)$$

其中ADC的量化结果D取 $\pm 1$ ,  $C_{21}$ ,  $C_{22}$ ,  $C_{23}$ ,  $C_{24}$ 为第二级电容失配量,  $C_{31}$ ,  $C_{32}$ ,  $C_{33}$ 为第三级电容失配量。

最终码字合成结果为:

$$D_{\text{out}} = D1 + \frac{D2}{\frac{1}{4} + G1} + \frac{D3}{\left(\frac{1}{4} + G1\right) * \left(\frac{1}{8} + G2\right)} + D_{\text{out4}} + \text{error} \quad (4-18)$$

其中D1, D2, D3分别为前三级量化结果之和, D<sub>out4</sub>为后几级量化结果之和。

## 4.3.2 后台校正算法设计

### 4.3.2.1 后台校正算法原理

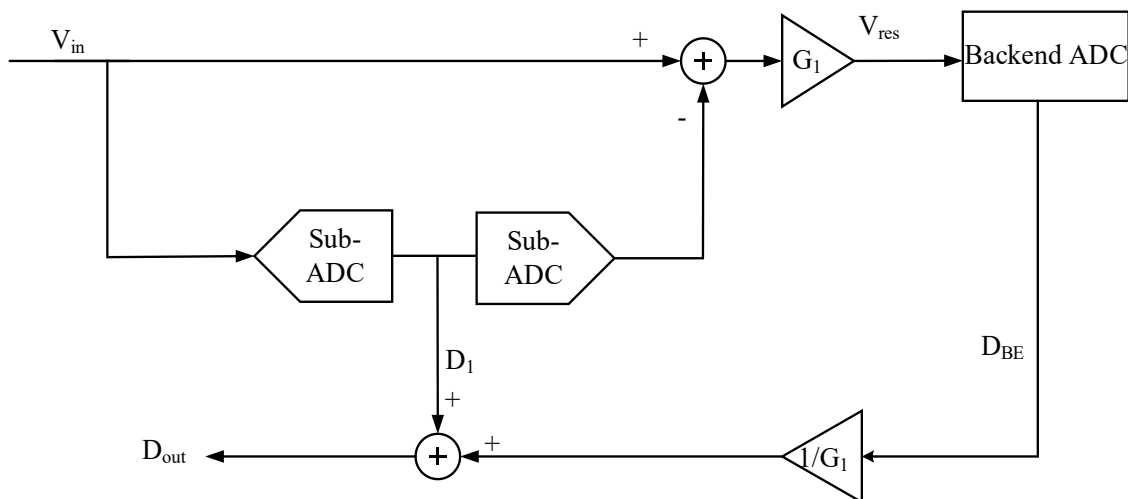


图4-11 传统流水线 ADC 的基本结构

如图4-11所示, 为传统流水线 ADC 的基本结构, 当输入信号传输到第K级时, 该记得 Sub-ADC 对输入进行量化产生码字 $D_K$ , 然后在MDAC中用采样得到的输入信号对本级量化结果进行做差得到差值并进行放大, 放大后产生的残差电压传

输到下一级。在理想情况下，流水线 ADC 的输出公式为：

$$D_{out} = D_1 + \frac{1}{G_1} * D_{BE} \quad (4-19)$$

式中 $D_{BE}$ 表示第一级后所有的量化结果。

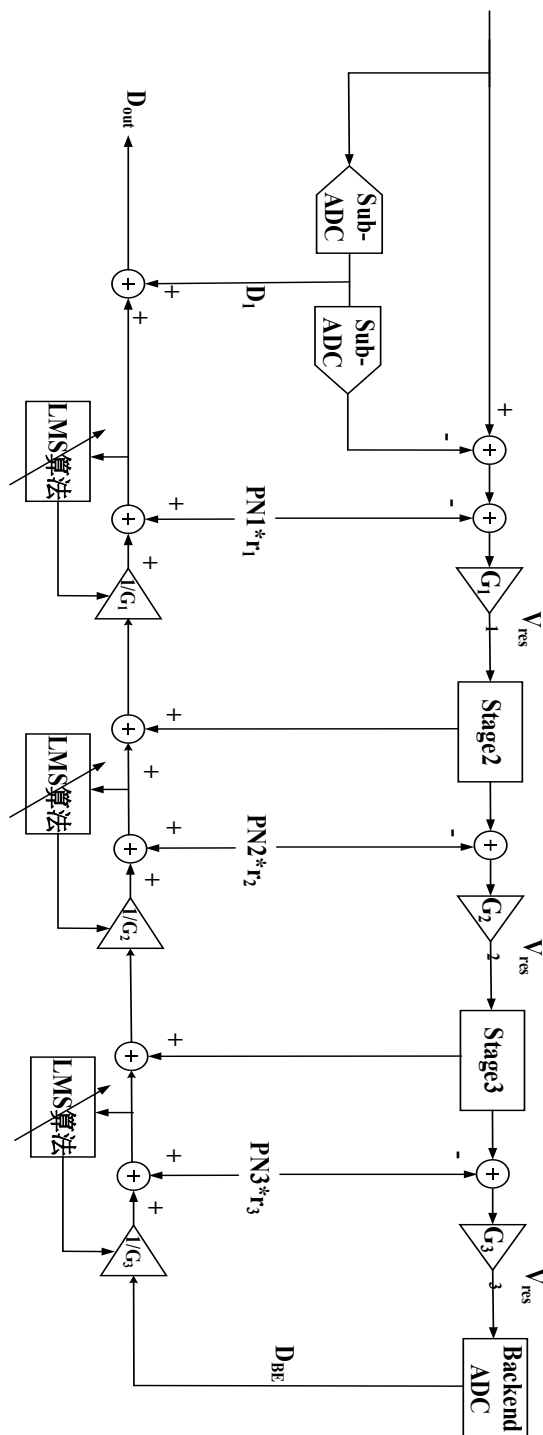


图4-12 后台校正算法结构图



图4-12 为在 MDAC 位置注入PN序列后的流水线 ADC 结构示意图, 此时理想情况下, 流水线 ADC 的输出公式为:

$$D_{out} = D_1 + \frac{1}{G_1} * D_{BE} - \gamma * PN \quad (4-20)$$

$D_1$ 和 $D_{BE}$ 可以分别表示为:

$$D_1 = V_{in} - Q_1, \quad D_{BE} = V_{res} - Q_{BE} = G_1 * (Q_1 + \gamma * PN) - Q_{BE} \quad (4-21)$$

式中 $Q_1$ 为第一级量化误差,  $Q_{BE}$ 表示后级量化误差。在实际电路中由于存在级间增益误差, 这里用 $\widehat{G}_1$ 表示级间增益估计值。结合式(4-20)和(4-21)可以得到心得输出表达式:

$$D_{out} = V_{in} + Q_1 * \left(\frac{G_1}{\widehat{G}_1} - 1\right) + \gamma * PN * \left(\frac{G_1}{\widehat{G}_1} - 1\right) - \frac{Q_{BE}}{\widehat{G}_1} \quad (4-22)$$

利用PN序列的相关性运算, 将 $D_{out}$ 与PN序列进行相关性运算得到:

$$D_{out} \odot PN = M \odot PN + \gamma * \left(\frac{G_1}{\widehat{G}_1} - 1\right) \quad (4-23)$$

式中 $M$ 表示与PN序列不相关的项。当PN序列足够长时, 上式中的第一项会趋于零。所以最终式(4-23)变为:

$$\alpha = D_{out} \odot PN = \gamma * \left(\frac{G_1}{\widehat{G}_1} - 1\right) \quad (4-24)$$

利用LMS算法, 通过迭代的过程, 将级间增益的估计值 $\widehat{G}_1$ 逐渐向实际值 $G_1$ 靠拢, 迭代的公式为:

$$\widehat{G}_{1(k+1)} = \widehat{G}_{1(k)} + \mu * \alpha \quad (4-25)$$

式中 $\mu$ 表示步长, 步长是一个关键因素, 它影响着迭代算法的收敛速度和精度。减小步长, 会提高校准的精度, 但是会降低收敛的速度; 增加步长, 可以加快收敛速度, 但会降低校准精度。在实际应用中, 通常需要在迭代速度和精度之间找到一个平衡点。这可以通过动态调整步长来实现, 例如, 开始时使用较大的步长以快速接近解, 然后逐渐减小步长以提高解的精度。还有一些高级的算法会自动调整步长, 以便在保证收敛的同时最大化效率。

#### 4.3.2.2 伪随机序列设计

对与基于PN序列的后台校正算法来说, PN序列是首先要解决的模块。伪随机序列是一种特殊的数字序列, 它们通过确定性的计算过程生成, 但其表现和统计特性类似于真正的随机数序列。

这种序列的生成依赖于特定的算法, 这些算法根据给定的初始值(通常称为

种子)按照一定的数学规则产生一系列数值。虽然这些序列是由完全确定性的过程生成的,但它们在很多应用场景中可以作为随机数的有效代替。伪随机序列的一个关键特点是重现性,即相同的种子和生成算法会产生完全相同的序列,这在测试和调试过程中非常有用。

伪随机序列的另一个特点是它们具有有限的周期性,这意味着序列中的数值会在经过一定数量的生成后开始重复。伪随机数生成算法有多种,包括由线性反馈移位寄存器产生、梅森旋转算法和加密算法等。线性同余生成器是最简单的一种,通过一个简单的线性方程重复生成数值。梅森旋转算法则是一种更为复杂和高效的算法,它能产生具有极长周期和良好统计特性的序列。

本文采用由线性反馈移位寄存器产生的方式来进行,如图4-13所示,为反馈移位寄存器与异或门构成的伪随机序列生成电路。

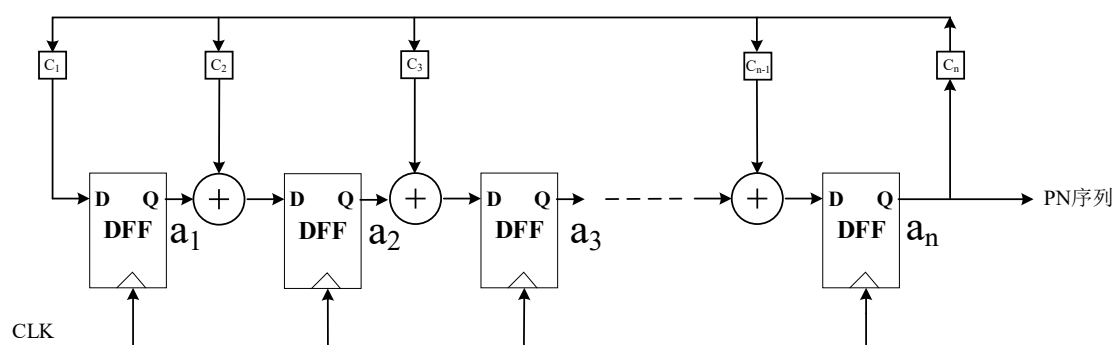


图4-13 线性反馈移位寄存器原理图

图 4-13 中,  $a_i$  表示移位寄存器中的值, 而  $a_k$  代表生成的伪随机序列。反馈系数用  $c_i$  表示, 它只能取两种值。当  $c_i = 1$  时, 意味着第  $i$  个寄存器与反馈环路连接; 而当  $c_i$  不等于 1 时, 则表示第  $i$  个寄存器没有与反馈环路连接。通过选择适当的反馈系数来决定反馈路径, 使用特征多项式  $f(x)$  来描述线性反馈移位寄存器 (LFSR) 的反馈连接状况。

$$f(x) = \sum_{i=0}^n c_i x^i \quad (4-26)$$

当选定的特征多项式是本原多项式的情况下, 如果移位寄存器的起始状态设为零, 则线性反馈移位寄存器 (LFSR) 的状态将始终保持为零。相反, 若初始状态非零, 则LFSR能够经历所有  $2^{N-1}$  个非零状态, 因此,  $2^{N-1}$  定义了伪随机序列可能达到的最大长度。

#### 4.3.2.3 高位消减算法和添加冗余级校正算法

由式 (4-23) 可以得到, 虽然理想下随着数据的增加, 与PN序列不相关的项

将会趋近于零，但是就每次计算而言，无关项都是提取误差的干扰项。干扰项中主要包括本级的量化结果、量化噪声和后级的量化噪声。由于每级的位数是确定的，所以可以通过高位消减和增加级数来减少干扰项<sup>[33]</sup>。

消减后的干扰项公式变为：

$$M \odot PN = Q_1 * \frac{G_1}{G_1} - \frac{Q_{BE}}{G_1} \quad (4-27)$$

通过减小干扰项可以加快算法的收敛速度和校准精度。

#### 4.3.2.4 结合前台算法进行校正

在前一小节中，通过前台校正算法事先得到了电容失配的参数和级间增益误差，由于PN序列采用的是MDAC注入，所以电容失配会影响校准的精度，在后面减去PN时，直接根据电容系数对PN进行补偿，可以消除电容失配对PN迭代的影响。即公式变为：

$$D_{out} = V_{in} + Q_1 * \left( \frac{G_1}{G_1} - 1 \right) + \gamma * PN * \left( \frac{G_1}{G_1} + \Delta_{PN} - (1 + \Delta_{PN}) \right) - \frac{Q_{BE}}{G_1} \quad (4-28)$$

由上式可以看出，当不对PN进行补偿时，由于电容失配的存在，校正本身存在误差。此外，还将前台校正得到的级间增益误差作为后台校正算法，迭代的初值，可以极大的加快算法的收敛速度。

### 4.4 本章小结

本节首先概述了数字校准技术的核心概念，接着针对级间增益误差和电容失配问题，开发了一种新型的数字校准策略。此策略采用前台校正算法和后台校正算法相结合的算法，前台采用基于INL的校正原理来校正电容失配和级间增益误差，后台算法采用基于传统的伪随机序列注入技术，并通过引入高位削减和增加冗余级的手段，对原有的校准方法进行了优化。为下一章校正算法的建模和仿真提供了理论基础。

## 第五章 校正算法的建模和仿真

第四章详细阐述了校准算法的原理和设计方案，本章节将在第三章建好的16 bit 流水线 ADC 模型的基础上进行校正算法的建模和验证。

### 5.1 校正算法建模

本校正算法是对模型的前三级进行校准，其中对前三级的级间增益误差进行校准，对前两级的电容失配误差进行校准。下面将在 16 bit 流水线 ADC 模型基础上进行修改和添加。主要添加的模块有冗余级、PN序列产生模块、增益更新估计值模块，并根据前台算法的要求对前三级的DAC控制逻辑进行了修改。此外为了加快算法的计算速度，每级校正过程都是单独的，即不会等后级校正完再对前级进行校准，每次前级迭代的值用的是后级上一次迭代的结果。

#### 5.1.1 PN序列建模

```
reg=zeros(N,23);
reg(1,:)=ones(1,23);
t=linspace(0,(N-1)*8e-9,N);
for i = 2:N
    reg(i,23)=reg(i-1,7);reg(i,22)=reg(i-1,6);reg(i,21)=reg(i-1,5);
    reg(i,20)=reg(i-1,4);reg(i,19)=reg(i-1,3);reg(i,18)=reg(i-1,2);
    reg(i,17)=reg(i-1,1);reg(i,16)=xor(reg(i-1,23),reg(i-1,18));
    reg(i,15)=xor(reg(i-1,22),reg(i-1,17));reg(i,14)=xor(reg(i-1,21),reg(i-1,16));
    reg(i,13)=xor(reg(i-1,20),reg(i-1,15));reg(i,12)=xor(reg(i-1,19),reg(i-1,14));
    reg(i,11)=xor(reg(i-1,18),reg(i-1,13));reg(i,10)=xor(reg(i-1,17),reg(i-1,12));
    reg(i,9)=xor(reg(i-1,16),reg(i-1,11));reg(i,8)=xor(reg(i-1,15),reg(i-1,10));
    reg(i,7)=xor(reg(i-1,14),reg(i-1,9));reg(i,6)=xor(reg(i-1,13),reg(i-1,8));
    reg(i,5)=xor(reg(i-1,12),reg(i-1,7));reg(i,4)=xor(reg(i-1,11),reg(i-1,6));
    reg(i,3)=xor(reg(i-1,10),reg(i-1,5));reg(i,2)=xor(reg(i-1,9),reg(i-1,4));
    reg(i,1)=xor(reg(i-1,8),reg(i-1,3));
end
R=[reg(:,8:22),not(reg(:,23))];
Rout=R(:,16);
for i = 1:length(Rout)
    if Rout(i)==0
        Rout(i)=1;
    else
        Rout(i)=-1;
    end
end
ts=timeseries(Rout,t);
```

图5-1 PN序列生成代码

如图5-1所示为PN序列在 matlab 中的代码，本设计采用的是23 级的线性反馈移位寄存器产生伪随机序列，能够保证PN序列在校正过程中近似随机序列的要求。

本模型需要对前三级进行校正，所以需要三个互不相关的PN序列，由于PN序列的特性，相邻间的PN结果是不相关的，所以可以利用演示模块对PN做处理。在同一个数据的量化结果中，对于第一级来说，PN序列正常注入，而对于第二级可以注入第一级PN序列的上一次注入结果，第三级再往前推一个。在实际过程中由于数据传输是串行的，所以需要对PN序列进行额外多一次延时才可以满足要求。这样只需要一个PN序列产生模块就可以，节省了面积和功耗。PN产生模块如图 5-2 所示。

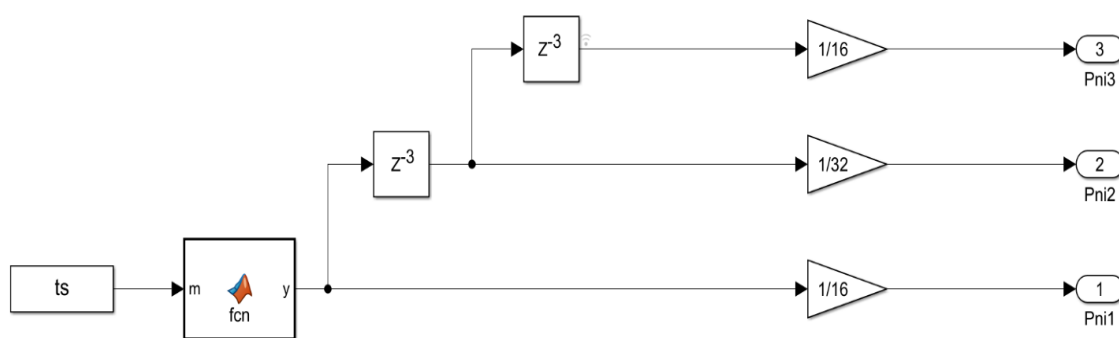


图5-2 PN序列产生模块

合适的选择PN序列的大小可以在加快收敛速度的同时，还能保证残差电压不会超出输出范围。在本模型中，PN序列大小设置为注入级的 LSB/4，在留有余度的同时保证了后台校正算法收敛的速度。

### 5.1.2 MDAC 的PN序列注入模型和 Sub-DAC 模型

为了前台校正中误差参数的个数，在 Sub-DAC 中将原来的单位电容阵列改为二进制电容阵列，同时电容翻转由二进制码字控制。具体的逻辑控制真值表可以见图 4-10。

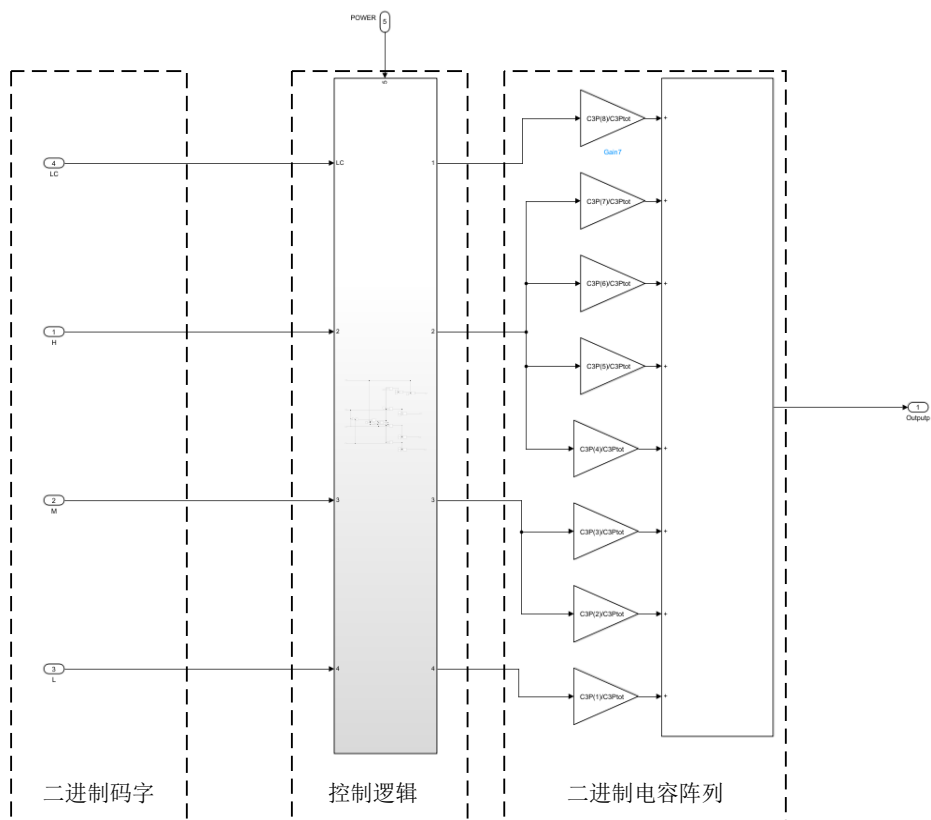


图5-3 Sub-DAC 模型

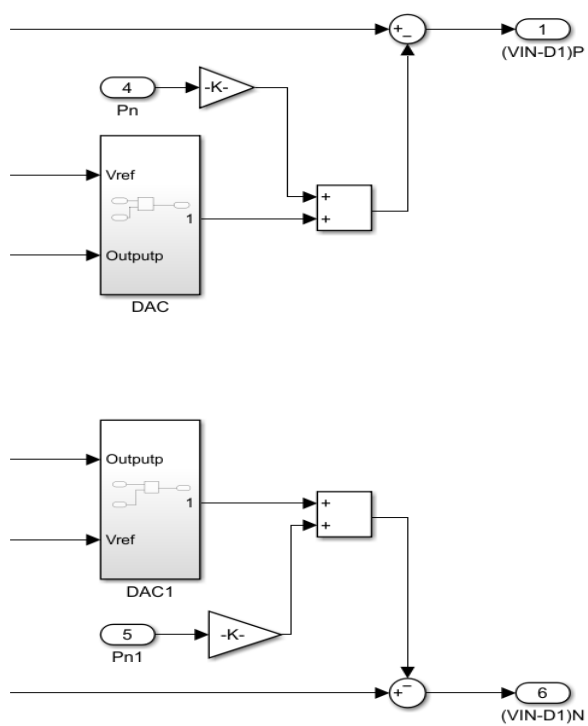


图5-4 PN序列在 MDAC 中的注入位置

为了使模型更加贴近实际，在注入PN序列时特意添加了电容失配系数，还原了电路中的实际情况。

### 5.1.3 增益估计值迭代模块

如图5-5所示为增益估计值迭代模块。 $Dbe$ 为高位消减后的数字输出，PN为当前级注入的PN序列， $R$ 为PN的符号， $\mu_1$ 表示迭代的步长。由于校正方案需要对前三级进行校正，所以需要三个增益估计值迭代模块，分别对前三级的级间增益估计值进行更新。其中迭代模块的初值设置为前台校正得到的误差值和增益倒数之和，对于PN序列还需要补偿电容失配。

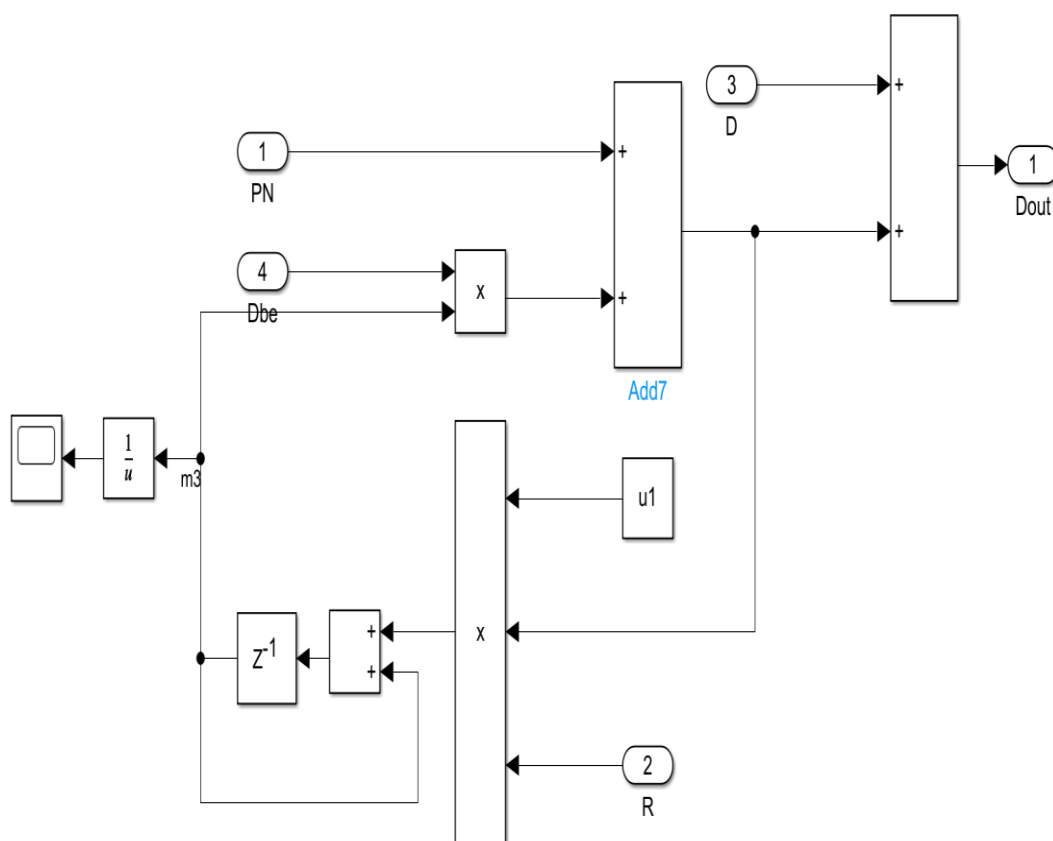


图5-5 级间增益估计值迭代模块

## 5.2 校正算法的仿真验证

为了更好的对比校正前与校正后的效果，对模型中的非理想因素作了进一步调整，调整后的FFT仿真结果为：

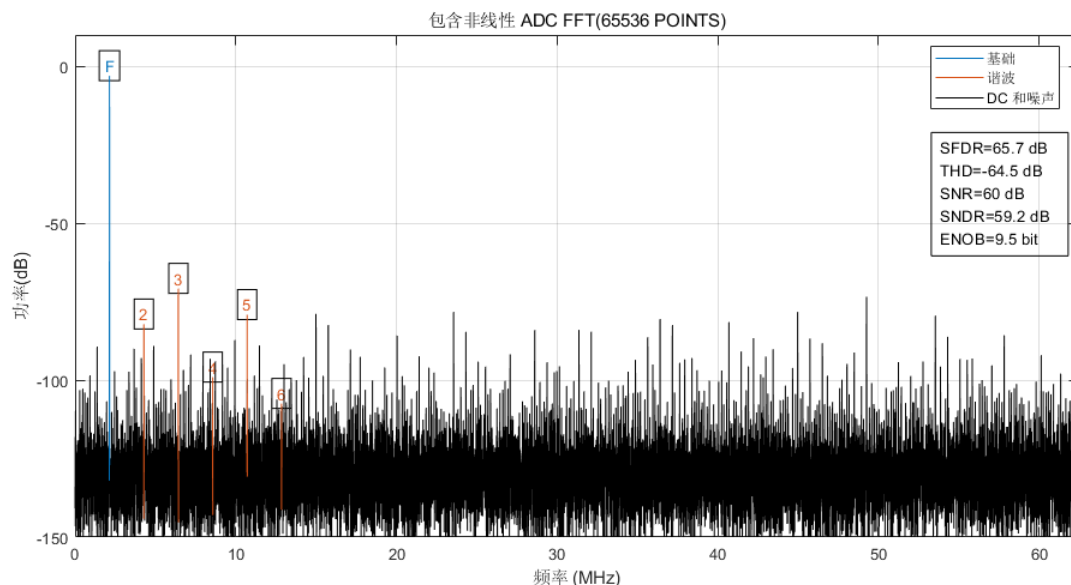


图5-6 加大非理想因素后的 FFT 结果

由算法原理可以得到，仅靠后台校正算法是无法完全消除非理想因素的，而且后台校正算法的校正精度也取决于PN注入电容失配的大小。下面分别对只有前台校正、只有后台校正和前后台校正同时存在的结果进行对比。

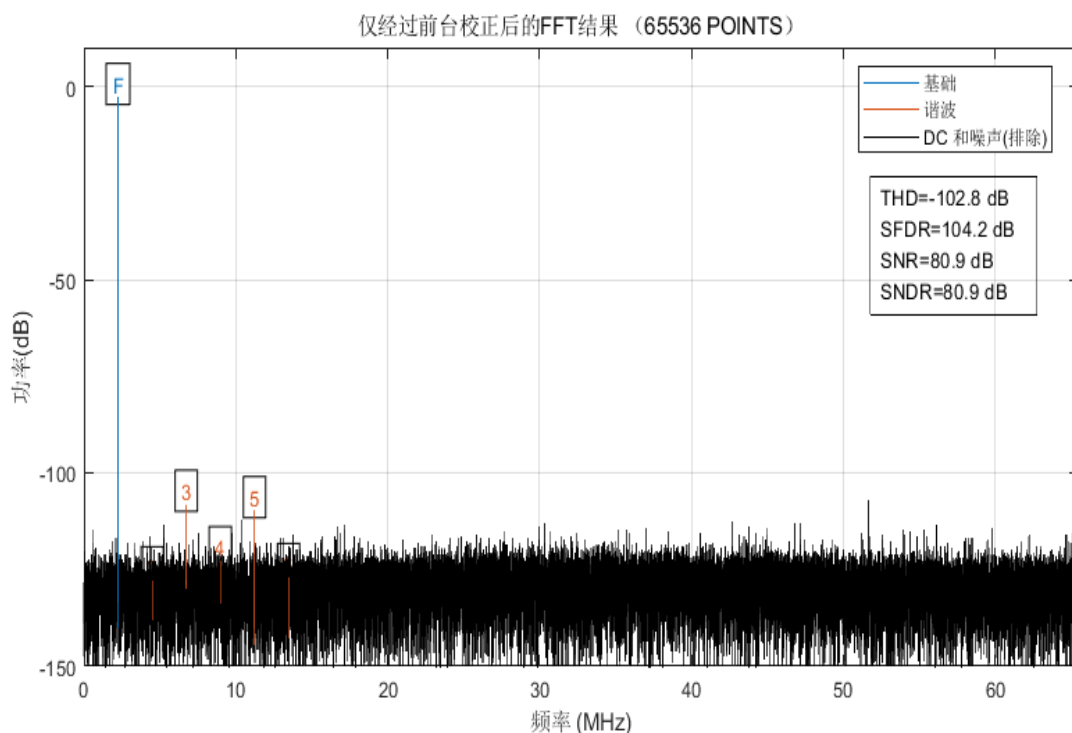


图5-7 仅经过前台校正后的FFT结果



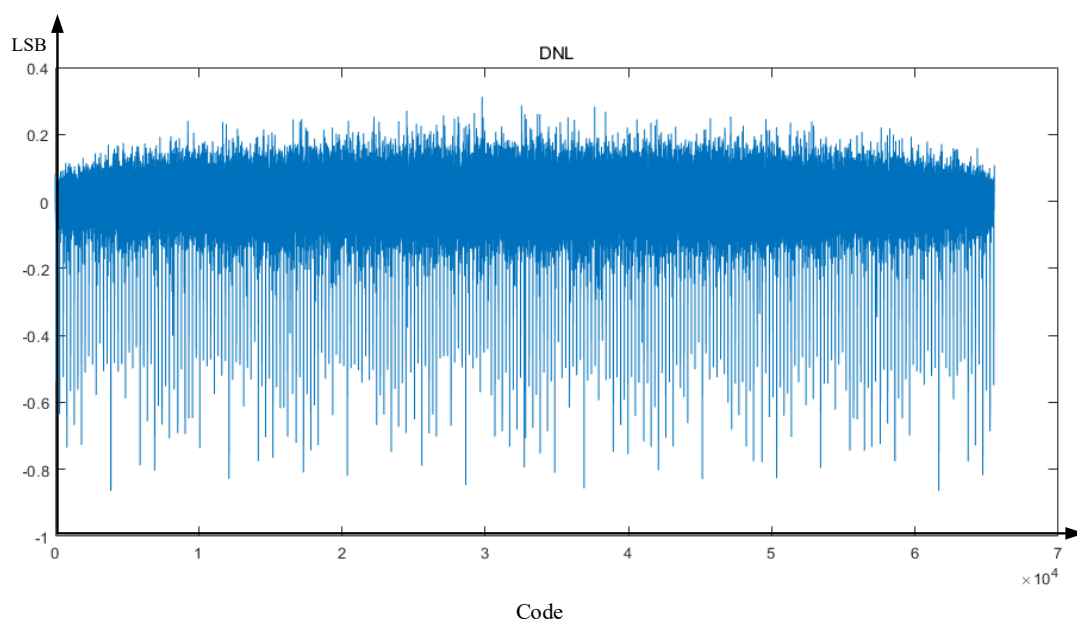


图5-8 仅经过前台校正后的DNL结果

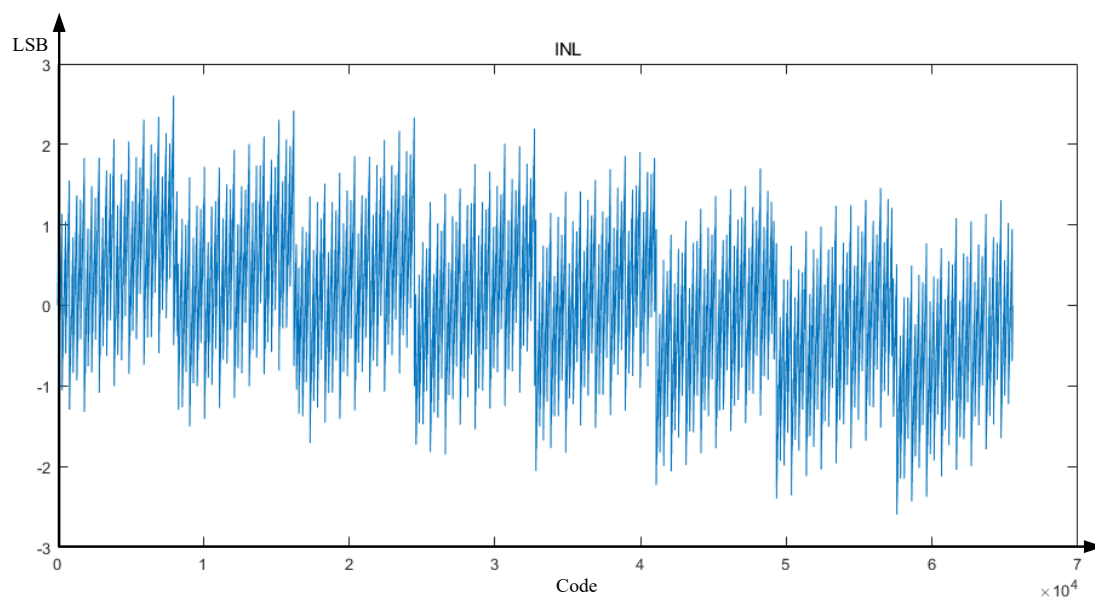


图5-9 仅经过前台校正后的INL结果

由采用本文的校准算法之后，流水线 ADC 的整体微分非线性（DNL）和积分非线性（INL）的仿真结果如图 5-8 和图 5-9 所示。其中 DNL 的范围为 $[-0.9, 0.4]$ LSB，INL 的范围为 $[-2.5, 2.5]$ LSB。对比可知，校准后的 DNL 和 INL 特性相比校准之前均有明显改善，消除了失码的现象，系统整体的线性度得到显著提高。

经过仿真可以发现，经过前台校准后流水线ADC的性能已经接近理想情况下

的性能，前台校正算法对级间增益误差和电容失配同时进行了补偿。这里针对的是已经固化下的误差，而运放容易受PVT的影响性能发生变化，所以这里只是对增益误差进行粗校准，提供后台校正算法的初值。

下面为只经过后台校正算法的FFT结果，和前三级增益估计值迭代的变化曲线。

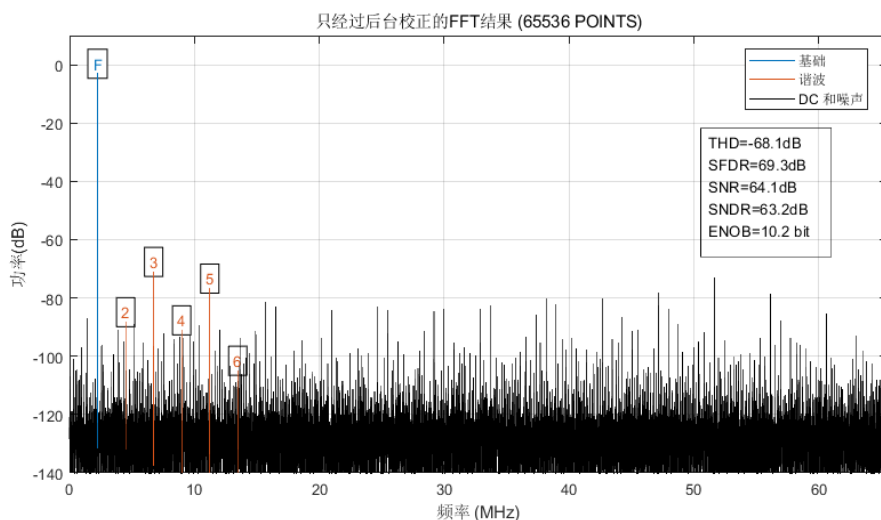


图5-10 只有后台校正下的FFT结果

如图 5-11 和 2-12 所示为只经过后台校准的情况下，流水线ADC 的整体微分非线性（DNL）和积分非线性（INL）的仿真结果。其中 DNL 的范围为 $[-0.3, 1]$ LSB，INL 的范围为 $[-55, 50]$ LSB，由此可知，只经过后台校准的流水线 ADC 出现了较为严重的失码，从而导致整体的线性度变差。

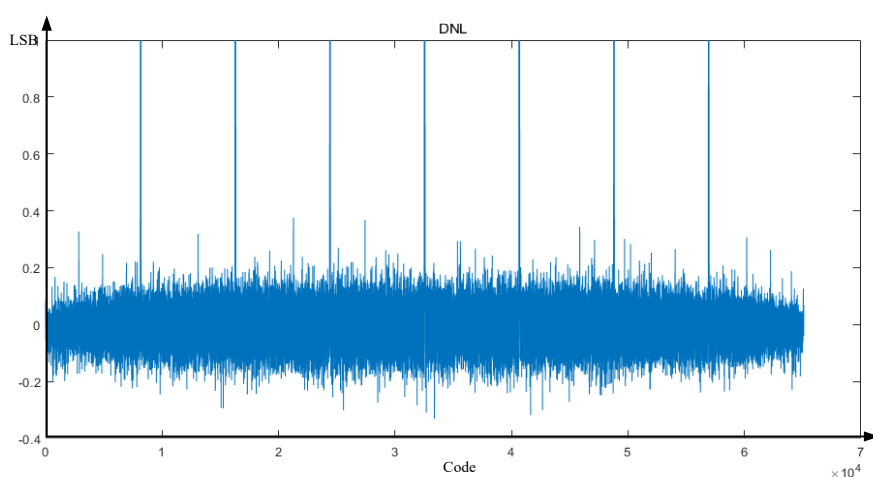


图5-11 只有后台校正下的DNL结果

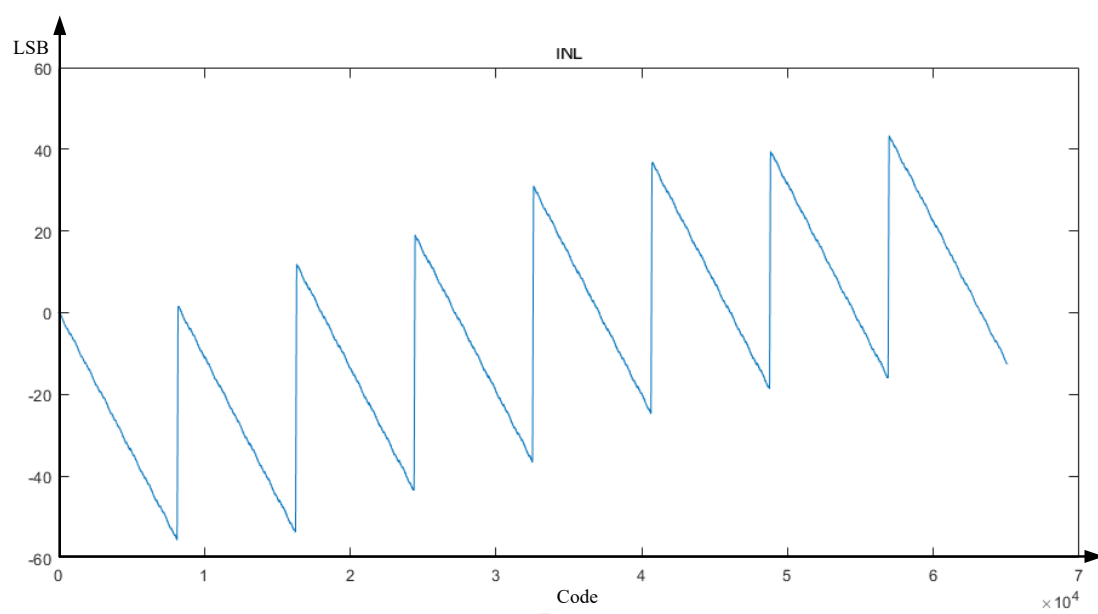


图5-12 只有后台校正下的INL结果

由于图中一、三级间增益估计值的初始值相同，而第一级级间增益的实际值要低于该初始值，第三级级间增益的实际值高于该初始值，因此，增益估计值的变化趋势略有不同。

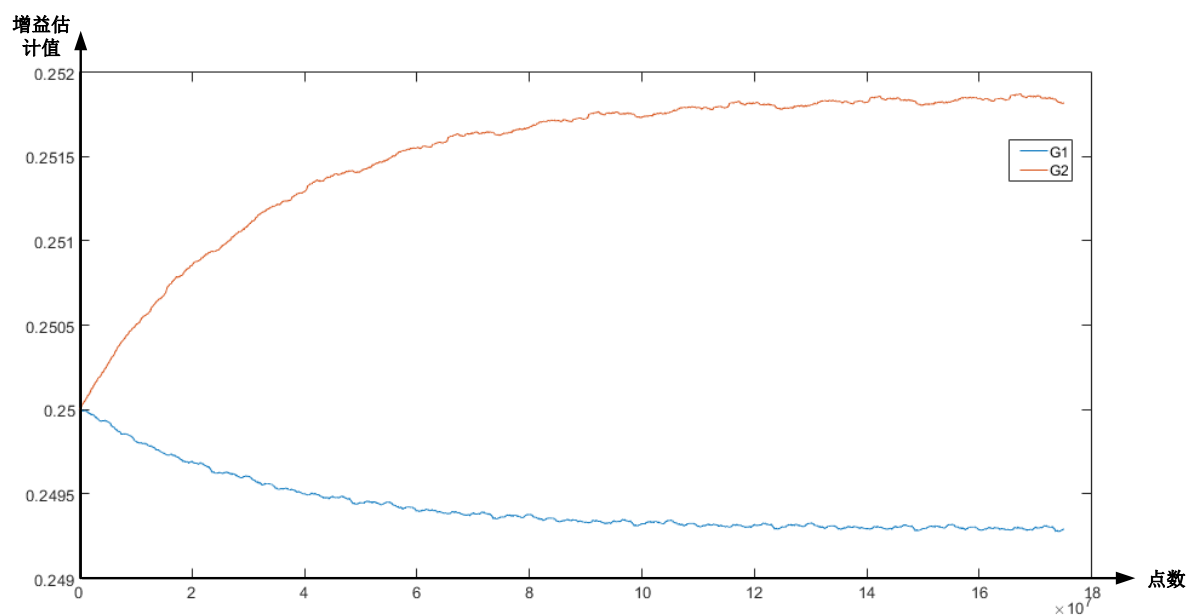


图5-13 后台校正过程中第一、三级增益估计值

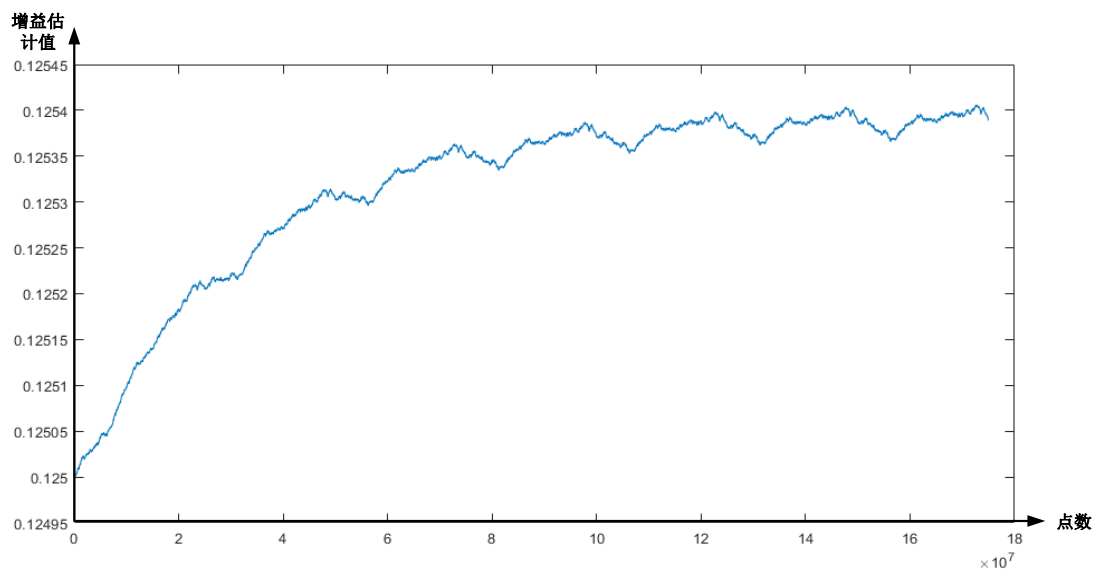


图5-14 后台校正过程中第二级增益估计值

仅经过后台校正算法进行仿真，结果如上图所示，性能相对于未经过校正提升有限，后台校正算法只对级间增益误差进行了校正，经过仿真发现，在各级系数 $\mu$ 都为 $2^{-24}$ 的情况下，要经过 $10^8$ 个点才会收敛。由于PN注入的电容存在失配，导致PN在迭代过程中存在系统误差，导致算法收敛的值偏离实际值。由于图中一、三级间增益估计值的初始值相同，而第一级级间增益的实际值要低于该初始值，第三级级间增益的实际值高于该初始值，因此，增益估计值的变化趋势略有不同。

将前台算法和后台算法进行结合来进行仿真，得到的结果见下图。

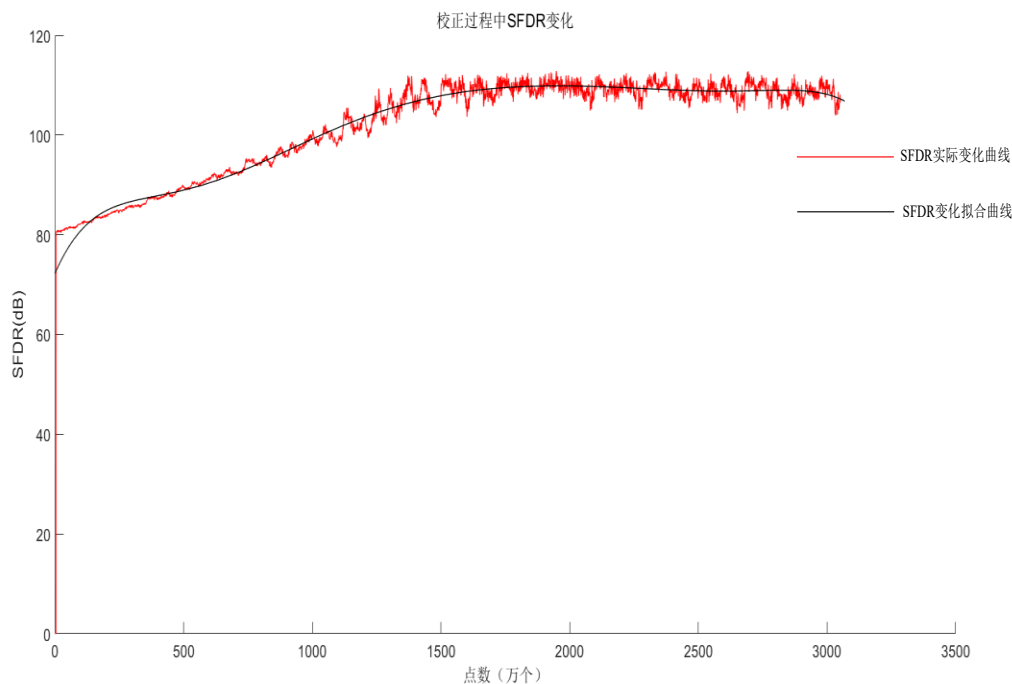


图5-16 校正过程中SFDR变化曲线

对于 $\mu = 2^{-24}$ 的情况下，校正后的SFDR为106.6 dB左右，性能低于只有前台校正的情况，这是因为后台算法的校正精度由 $\mu$ 限制，然而 $\mu$ 也决定了校正算法的收敛速度，所以在如何平衡校正算法收敛速度和精度是算法在实际应用中的重要问题。

在满足性能的要求下，加快算法的收敛速度，最终通过仿真确定， $\mu_1$ 取 $2^{-23}$ ， $\mu_2$ 取 $2^{-20}$ ， $\mu_3$ 取 $2^{-19}$ 。此时级间增益估计值的收敛曲线如图5-17所示。

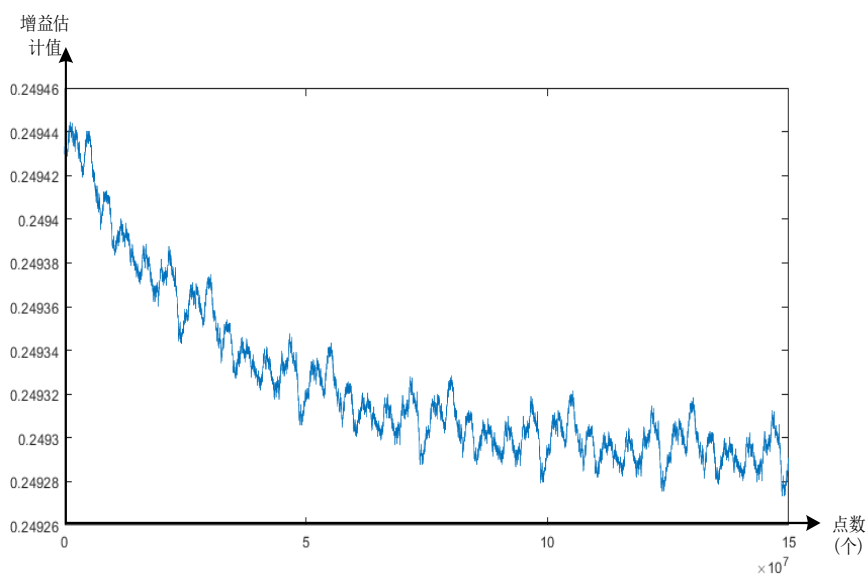


图5-17 前后台结合校正过程中第一级增益估计值

从仿真结果中得到，第一级增益估计值精度要求最高，所以收敛速度最慢。第一级增益估计值需要大约8千万个点左右收敛，最终校正后的性能如图5-18所示。

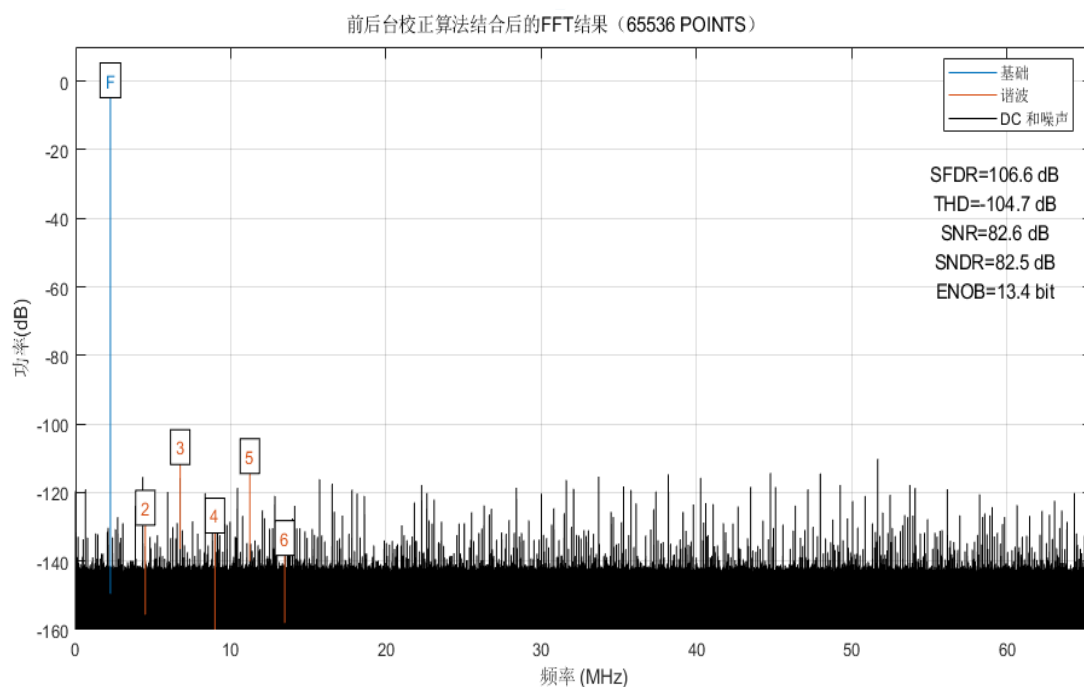


图5-18 前后台校正相结合下的FFT结果

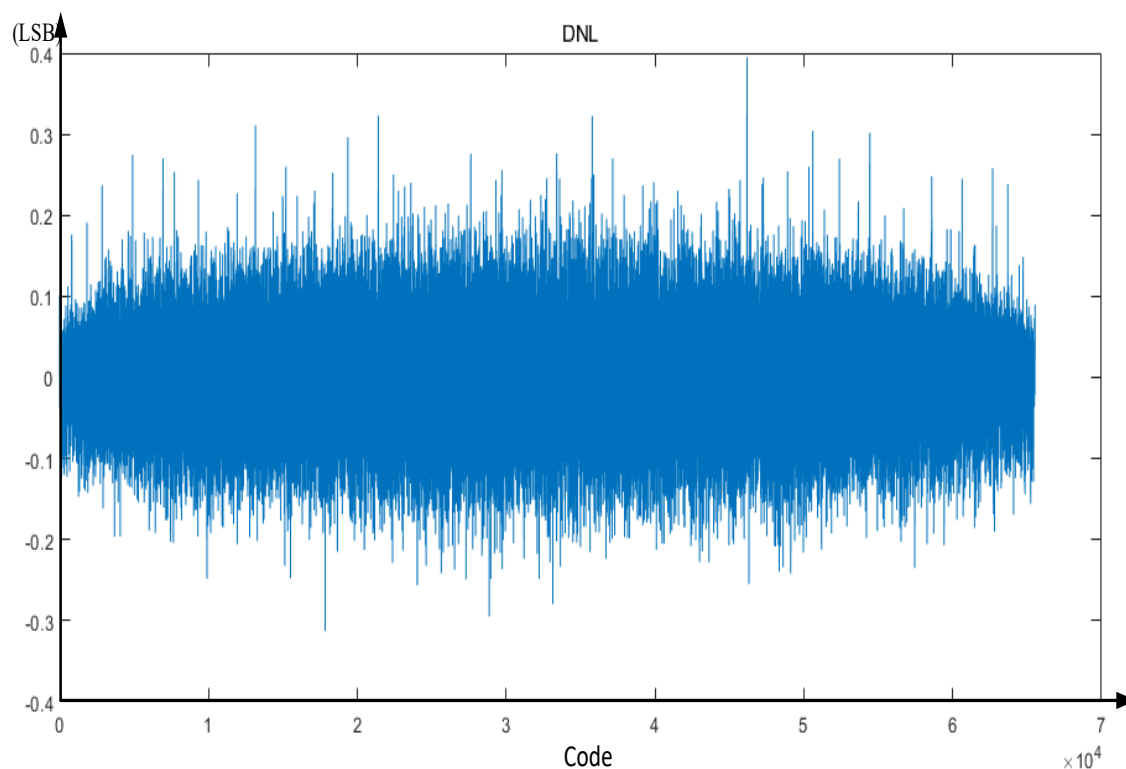


图5-19 前后台校正相结合下的DNL结果

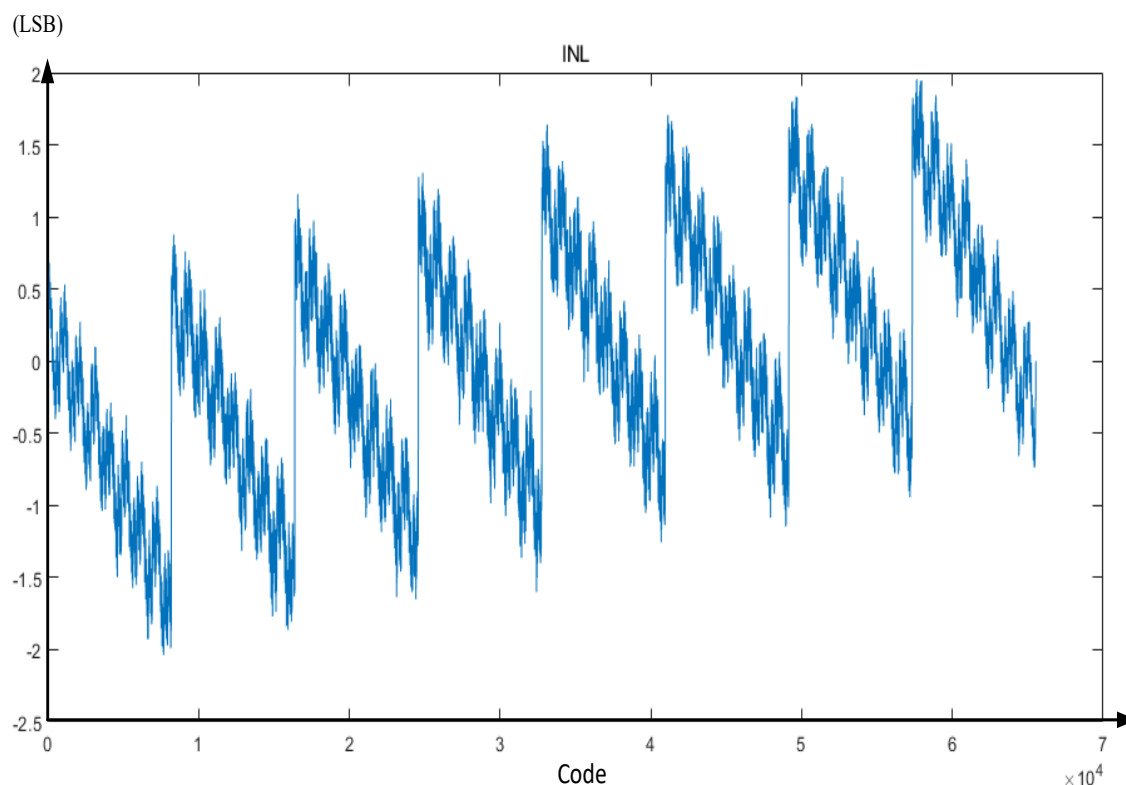


图5-20 前后台校正结合下的INL结果

如图5-6展示的是流水线ADC在未经校准前的仿真数据。此时ADC以125 MHz的频率进行采样，处理的输入信号频率大约为0.97 MHz。在这种条件下，其信号到噪声加失真比（SNDR）为59.2 dB，有效位数（ENOB）达到了9.5 bit，而最高信号到杂散比（SFDR）为65.7 dB。对照之下，如图5-18所示的校准后结果显示，流水线ADC的性能得到了显著提升。校准后，SNDR提高至82.5 dB，ENOB增至13.4 bit，SFDR亦大幅提高至106.6 dB，DNL和INL静态性能也得到了很大的改善，校正后的ADC没有出现丢码的现象。这一对比明确表明，本研究采用的校准技术有效地增强了流水线ADC的动态性能。

### 5.3 校正算法的物理实现

如图5-21为校正算法整体实现方案，本算法结合实际电路设计了实现方案，基于一个125 MS/s 16 bit 的流水线ADC进行了设计，其中后台校正算法采取片上数字电路的形式来实现，主要模块包括延时寄存器、冗余位校正模块、伪随机序列产生模块、乘法器模块、LMS迭代模块和efuse模块。efuse模块用来储存和读取前台校正得到的误差系数，在ADC正常工作时以数字码的形式对数据进行补偿。

前台校正算法采用片外FPGA的方案实现，当进行前台校正时，整个ADC处

于特殊模式下，第二、三级流水线电路处于半个有效位的模式下，每一级流水线电路的输出码字都通过LVDS直接输出，再到FPGA中进行冗余位校正。由于LVDS为串行输出，相较于正常模式下，前台模式输出的位数变多，所以在这里让ADC工作频率减半变为62.5 MHz，使得LVDS能正常传输一次量化的完整数据。前台校正算法处理得到失配参数和增益误差后，以数字码的形式写到efuse中。

算法RTL 级仿真的结果过如图5-22所示，在实际的数字电路中处理数据时，由于数字电路的有效位数是有限的，在实际的迭代过程中会舍掉一部分小数，所以迭代的精度相较于matlab仿真校正后的性能会有所下降，但基本满足指标要求。

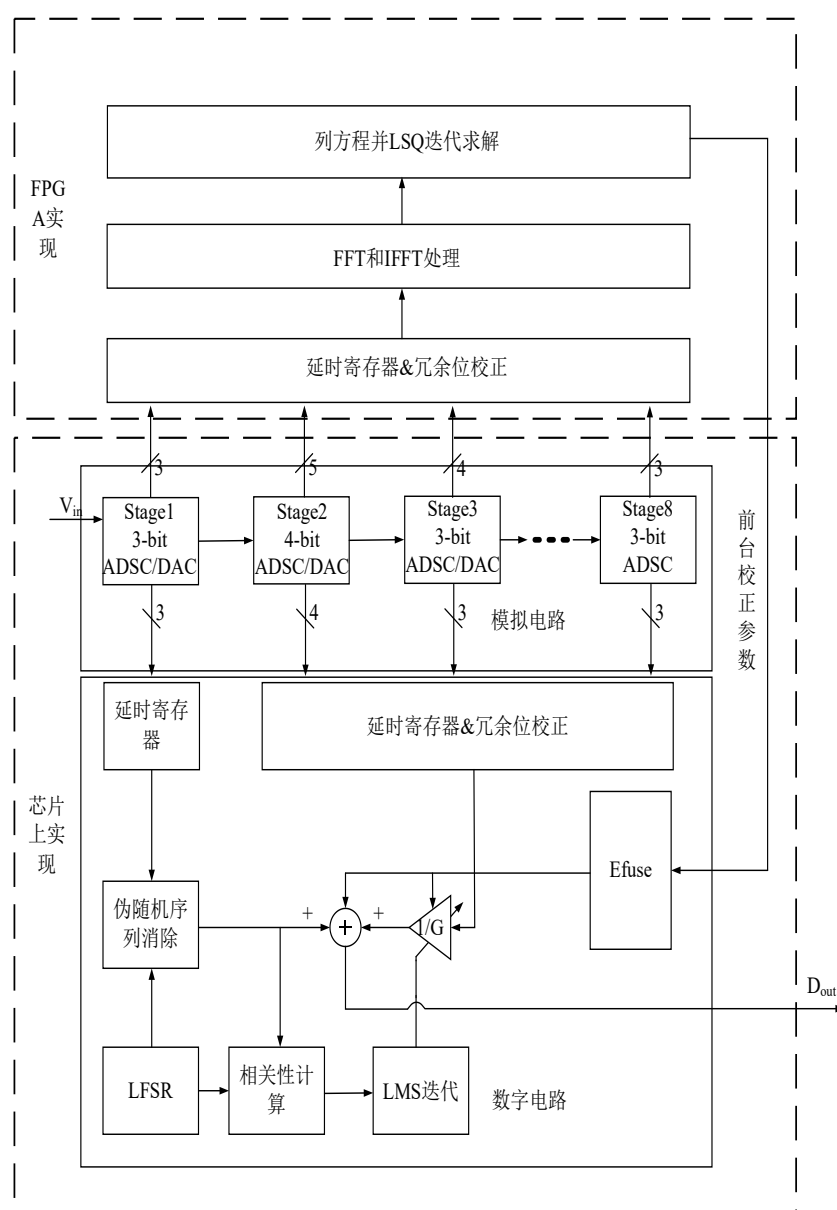


图5-21 校正算法整体实现方案



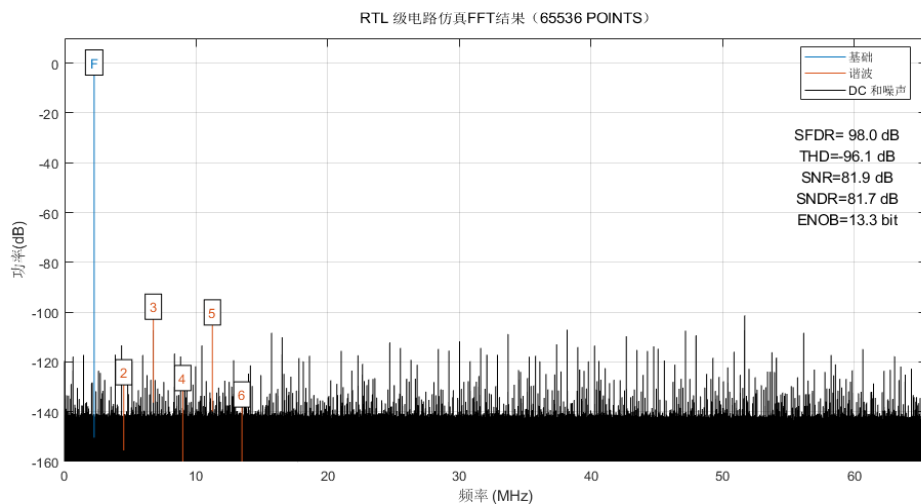


图5-22 RTL级电路校正后的FFT结果

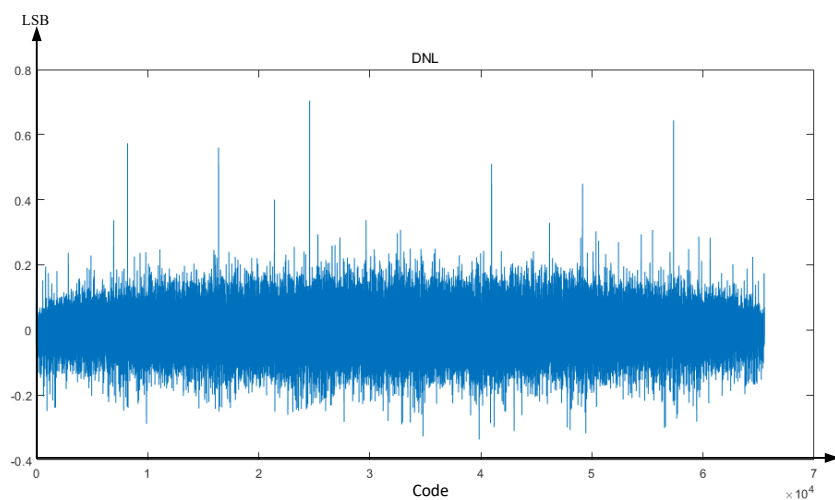


图5-23 RTL级电路校正后的DNL结果

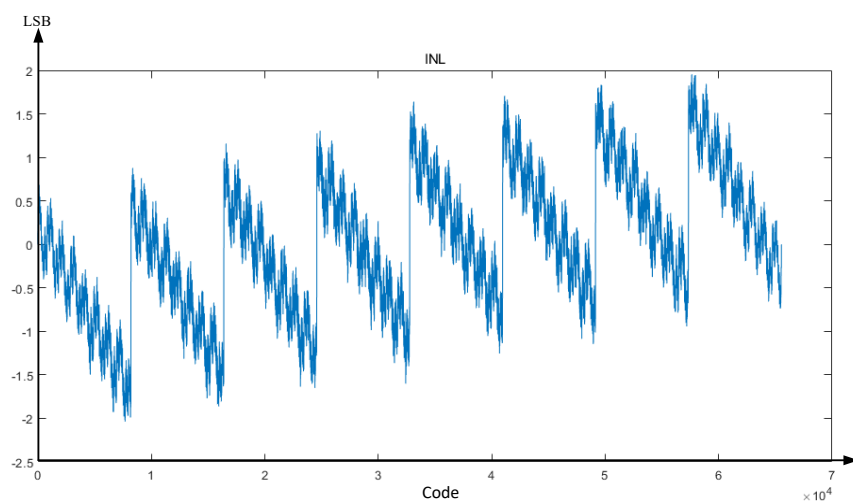


图5-24 RTL级电路校正后的INL结果

如表5-1所示，为该设计与部分已发表论文结果的比较。本设计测试结果部分指标已达到或接近先进设计水平，此外，本设计收敛速度相比于表格中所列出的相关论文具有明显的提升。

表5-1本设计与其他文献对比

	本文	[34]	[35]	[36]
校正方式	前台、后台相结合	后台	前台	后台
校准误差类型	增益误差、电容失配、参考电压失调	一阶增益误差和三阶增益误差	电容失配	级间增益误差
精度	16 bit	14 bit	13 bit	15 bit
收敛速度	1s	4s	*	20s
SFDR	98 dB	105 dB	89 dB	98 dB
SNDR	81.7 dB	84 dB	67 dB	73 dB
DNL	0.7 LSB	*	0.4 LSB	0.4 LSB
INL	2 LSB	*	0.8 LSB	1.3 LSB

## 5.4 本章小结

本章详细阐述了整体校准策略的设计要点，描述了前台校正算法和后台校正算法的具体设计方案。接下来，利用 Simulink 对流水线 ADC 和校准技术的不同组成部分进行了模型构建。在 Matlab 环境下对这些电路模型执行仿真，从而获得了包括信号噪声比(SNR)、有效位数(ENOB)等动态性能指标和静态性能指标，对所提出算法的实用性进行了初步的评估，最后在RTL级电路对算法整体进行了仿真，并给出了与其他文献的对比。

## 第六章 总结与展望

### 6.1 全文工作总结

流水线ADC同时兼顾了速度和精度，使其在无线通信和医疗器件等多个领域受到了人们的青睐。然而，由于受到多种非理想因素的影响，如何提升流水线ADC的性能一直是个挑战。为了解决这一问题，开发了各种数字校准技术，以针对流水线ADC中的非理想因素进行校准。在这样的背景下，本文介绍了一种新的数字校准技术，基于一个16 bit 125Msps 的流水线 ADC 模型。对算法进行验证和仿真。

本文整体工作简介如下：

- 1) 介绍了流水线 ADC 的相关理论和技术背景，探讨了国内外在流水线 ADC 校正算法研究领域的进展和现状，并对其未来发展趋势进行了阐释。。
- 2) 详细阐述了 ADC 的性能指标，并对这些不同的性能指标进行了深入分析，以直观的方式解释了每个性能指标的含义。着重介绍了流水线 ADC 的工作原理和结构。
- 3) 分析了流水线 ADC 中存在的误差，并结合第二章对流水线 ADC 进行了建模。
- 4) 首先讲解了数字校准技术的基本原理，介绍了本研究所应用的数字校准算法的理论基础。文章进一步详细讲解了数字校准策略的设计要点，通过分析模拟电路参数、校准级数以及冗余级数变动对系统性能的影响，实现了功耗与性能之间的有效平衡，并据此确定了最终的校准方案。。
- 5) 依照第四章的校正方案设计在第三章 ADC 模型的基础上对算法也进行了建模，在模型上对算法进行了仿真验证。最后在RTL级电路对算法进行了仿真验证。

### 6.2 工作中存在的不足和进一步工作

本校正方案只校正了级间增益误差的一阶线性误差，没有对高阶误差进行校准。后续需要添加高阶误差的校正算法，来尽可能地简化模拟电路设计，并保证ADC的性能。

除此之外算法还需要在数字电路中实现，结合实际模拟电路来进一步验证校正算法。

考虑到我的知识背景有其局限性，尽管本研究已经实现了一些成果，但改善的潜力依然巨大。在此基础上，未来研究的主要改进方向应包括但不限于以下几个关键点：

1、本研究已经涵盖了对电容不匹配和运算放大器有限增益导致的增益误差的校正，然而，随着技术进步，运算放大器的三级非线性误差对流水线模数转换器（ADC）的性能的负面影响日益显著。基于此，对现有校准方法进行优化，以便校正更广泛的误差类型，是一个值得考虑的方向。

2、本研究主要聚焦于单通道流水线ADC的数字校准技术的探索。鉴于时间交织型流水线ADC（Pipeline-TI）和逐次逼近型流水线ADC（Pipeline-SAR）这两种新兴技术受到了越来越多的关注。因此，我们期望通过将现有的单通道流水线ADC校准技术应用于这两种ADC技术，能够进一步提升ADC的整体性能表现。

3、论文的主要工作主要在matlab上进行建模和仿真验证，仅在模型和RTL级电路对算法进行实现，下一步工作计划用FPGA结合实际电路对校正算法进行进一步验证。

## 参考文献

- [1] Y. . -M. Lin, B. Kim and P. R. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3-  $\mu$  m CMOS, " in IEEE Journal of Solid-State Circuits, vol. 26, no. 4, pp. 628-636, April 1991, doi: 10.1109/4.75065.
- [2] Y. He, B. Chen and Q. Li, "Blind-LMS based digital background calibration for a 14-bit 200-MS/s pipelined ADC, " 2013 IFIP/IEEE 21st International Conference on Very Large Scale Integration (VLSI-SoC), Istanbul, Turkey, 2013, pp. 348-351, doi: 10.1109/VLSI-SoC.2013.6673307.
- [3] S. H. Lewis and P. R. Gray, "A pipelined 5-Msample/s 9-bit analog-to-digital converter, " in IEEE Journal of Solid-State Circuits, vol. 22, no. 6, pp. 954-961, Dec. 1987, doi: 10.1109/JSSC.1987.1052843.
- [4] S. H. Lewis, H. S. Fetterman, G. F. Gross, R. Ramachandran and T. R. Viswanathan, "A 10-b 20-Msample/s analog-to-digital converter, " in IEEE Journal of Solid-State Circuits, vol. 27, no. 3, pp. 351-358, March 1992, doi: 10.1109/4.121557.
- [5] A. N. Karanicolas, Hae-Seung Lee and K. L. Barcrania, "A 15-b 1-Msample/s digitally self-calibrated pipeline ADC, " in IEEE Journal of Solid-State Circuits, vol. 28, no. 12, pp. 1207-1215, Dec. 1993, doi: 10.1109/4.261994.
- [6] Jipeng Li and Un-Ku Moon, "Background calibration techniques for multistage pipelined ADCs with digital redundancy, " in IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, vol. 50, no. 9, pp. 531-538, Sept. 2003, doi: 10.1109/TCSII.2003.816921.
- [7] X. Wang, P. J. Hurst and S. H. Lewis, "A 12-bit 20-MS/s pipelined ADC with nested digital background calibration, " Proceedings of the IEEE 2003 Custom Integrated Circuits Conference, 2003., San Jose, CA, USA, 2003, pp. 409-412, doi: 10.1109/CICC.2003.1249429.
- [8] B. D. Sahoo and B. Razavi, "A 12 bit 200 MHz cmos ADC," in IEEE Journal of Solid-State Circuits, vol. 44, no. 9, pp. 2366-2380, Sept. 2009, doi: 10.1109/JSSC.2009.2024809.
- [9] A. J. Ginés, E. J. Peralías and A. Rueda, "Black-Box calibration for ADCs with hard nonlinear errors using a novel INL-Based additive code: A pipeline ADC case study," in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 64, no. 7, pp. 1718-1729, July 2017, doi: 10.1109/TCSI.2017.2662085.

- [10] T. Chen, C. Park, S. K. Chaganti, J. Silva-Martinez, R. L. Geiger and D. Chen, "An ultrafast multibit/stage pipelined ADC testing and calibration method," in *IEEE Transactions on Instrumentation and Measurement*, vol. 69, no. 3, pp. 729-738, March 2020, doi: 10.1109/TIM.2019.2907035.
- [11] Kai Fan, Xiaoming Liu and A. Lee, "Digital calibration technique for A 14-bit 125-MS/s pipelined ADC using PN dithering, " 2011 International Symposium on Intelligent Signal Processing and Communications Systems (ISPACS), Chiang Mai, 2011, pp. 1-4, doi: 10.1109/ISPACS.2011.6146082.
- [12] P. Yang, X. Wang, C. Wang, F. Li, H. Jiang and Z. Wang, "A 14-bit 200-MS/s SHA-less pipelined ADC with aperture error reduction, " in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 9, pp. 2004-2013, Sept. 2020, doi: 10.1109/TVLSI.2020.3006147.
- [13] 梁上泉. 流水线模数转换器伪随机序列注入后台快速数字校准技术研究[D].合肥工业大学, 2012.
- [14] 包晴晴. 一种高精度流水线 ADC 数字后台校准技术[D].电子科技大学, 2019.
- [15] 范超杰. 高性能流水线型模数转换器设计方法研究[D].上海交通大学, 2016.
- [16] 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安交通大学出版社, 2004.
- [17] Goes, Joao & Vital, João & Franca, José. (2003). Systematic design methodology for optimisation of high-speed self-calibrated pipelined ADCs. 10.1007/0-306-48193-6\_4.
- [18] Cline, David W.. "Noise, speed, and power trade-offs in pipelined analog to digital converters." (1995).
- [19] D. W. Cline and P. R. Gray, "A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2  $\mu\text{m}$  CMOS, " in *IEEE Journal of Solid-State Circuits*, vol. 31, no. 3, pp. 294-303, March 1996, doi: 10.1109/4.494191.
- [20] B. Zhang et al., "A 195mW / 55mW dual-path receiver AFE for multistandard 8.5-to-11.5 Gb/s serial links in 40nm CMOS, " 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, San Francisco, CA, USA, 2013, pp. 34-35, doi: 10.1109/ISSCC.2013.6487625.
- [21] C. R. Grace, P. J. Hurst and S. H. Lewis, "A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration, " in *IEEE Journal of Solid-State Circuits*, vol. 40, no. 5, pp. 1038-1046, May 2005, doi: 10.1109/JSSC.2005.845972.

- [22] Z. Yu and D. Chen, "Algorithm for dramatically improved efficiency in ADC linearity test, " 2012 IEEE International Test Conference, Anaheim, CA, USA, 2012, pp. 1-10, doi: 10.1109/TEST.2012.6401561.
- [23] T. Chen, C. Park, S. K. Chaganti, J. Silva-Martinez, R. L. Geiger and D. Chen, "An ultrafast multibit/stage pipelined ADC testing and calibration method, " in IEEE Transactions on Instrumentation and Measurement, vol. 69, no. 3, pp. 729-738, March 2020, doi: 10.1109/TIM.2019.2907035.
- [24] 宋成. 16 位 100MSPS 流水线 ADC 关键电路和数字校准技术研究[D].西安电子科技大学, 2018.
- [25] J. P. Keane, P. J. Hurst and S. H. Lewis, "Background interstage gain calibration technique for pipelined ADCs, " in IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 52, no. 1, pp. 32-43, Jan. 2005, doi: 10.1109/TCSI.2004.839534.
- [26] X. Peng, J. Guo, Q. Bao, Z. Li, H. Zhuang and H. Tang, "A low-power low-cost on-chip digital background calibration for pipelined ADCs, " in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 27, no. 11, pp. 2568-2574, Nov. 2019, doi: 10.1109/TVLSI.2019.2923704.
- [27] M. Jiani and O. Shoaie, "Fast background calibration of linear and non-Linear errors in pipeline analog-to-digital converters, " in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 69, no. 3, pp. 884-888, March 2022, doi: 10.1109/TCSII.2021.3135424.
- [28] I. Ahmed and D. A. Johns, "An 11-bit 45 MS/s pipelined ADC with rapid calibration of DAC errors in a multibit pipeline stage, " in IEEE Journal of Solid-State Circuits, vol. 43, no. 7, pp. 1626-1637, July 2008, doi: 10.1109/JSSC.2008.923724.
- [29] Xiaoyue Wang, P. J. Hurst and S. H. Lewis, "A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration, " in IEEE Journal of Solid-State Circuits, vol. 39, no. 11, pp. 1799-1808, Nov. 2004, doi: 10.1109/JSSC.2004.835826.
- [30] J. McNeill, M. C. W. Coln and B. J. Larivee, "'Split ADC" architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC, " in IEEE Journal of Solid-State Circuits, vol. 40, no. 12, pp. 2437-2445, Dec. 2005, doi: 10.1109/JSSC.2005.856291.
- [31] Siragusa, Eric and Ian Galton. "Gain error correction technique for pipelined analogue-to-digital converters." Electronics Letters 36 (2000): 617-618.

- 
- [32] A. J. Gines, E. J. Peralias and A. Rueda, "A survey on digital background calibration of ADCs, " 2009 European Conference on Circuit Theory and Design, Antalya, Turkey, 2009, pp. 101-104, doi: 10.1109/ECCTD.2009.5274976.
- [33] S. -Q. Liang, Y. -S. Yin, H. -H. Deng, R. Zhang and J. Hu, "A research on the fast correlation-based background calibration techniques for the pipeline ADCs, " 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology, Shanghai, China, 2010, pp. 430-432, doi: 10.1109/ICSICT.2010.5667685.
- [34] L. Shi, W. Zhao, J. Wu and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering, " in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 59, no. 4, pp. 239-243, April 2012, doi: 10.1109/TCSII.2012.2188461.
- [35] S. Ray and B. -S. Song, "A 13-b linear, 40-MS/s pipelined ADC with self-configured capacitor matching, " in IEEE Journal of Solid-State Circuits, vol. 42, no. 3, pp. 463-474, March 2007, doi: 10.1109/JSSC.2006.891701.
- [36] Y. -S. Shu and B. -S. Song, "A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering, " in IEEE Journal of Solid-State Circuits, vol. 43, no. 2, pp. 342-350, Feb. 2008, doi: 10.1109/JSSC.2007.914260.