

- ADC校准初步调研
 - 一、基础概念
 - 1.1 ADC原理
 - 1.2 ADC内部结构
 - 1.3 ADC工作流程
 - 1.4 常见ADC类型
 - 1.5 总结
 - 二、时间交织ADC
 - 2.1 原理
 - 2.2 结构
 - 2.3 性能特点
 - 2.4 应用场景
 - 2.5 校准方法
 - 2.6 发展趋势
 - 三、流水线型ADC
 - 3.1 原理
 - 3.2 工作流程
 - 3.3 内部结构
 - 3.4 优点
 - 3.5 缺点
 - 3.6 应用场景
 - 3.7 1.5位子级流水线
 - 四、性能指标
 - 4.1 静态性能指标
 - 4.2 动态性能指标
 - 4.2.1 SFDR的定义
 - 4.2.2 SFDR的影响因素
 - 4.2.3 SFDR的应用场景
 - 4.2.4 SFDR的重要性
 - 4.2.5 SFDR和ADC线性度
 - 4.2.5.1 提高ADC的线性度
 - 4.2.5.2 提高SFDR性能
 - 4.2.5.3 两者的关系
 - 五、误差分析
 - 5.1 比较器失调误差和孔径误差
 - 5.2 运放误差
 - 5.3 DAC 非线性误差（电路复杂，具体原理尚未搞懂）

- 5.4 采保电路以及其他误差
- 六、校准方法概述
 - 6.1 硬件校准方法
 - 6.1.1 基于统计规律的校正技术
 - 6.1.2 PN注入
 - 6.1.3 参考ADC来实现码域均衡
 - 6.1.4 偏移双通道法
 - 6.1.5 虚拟参考ADC法
 - 6.1.6 基于频谱扩展的校准技术
 - 6.1.7 加入测试信号的确定性校准技术
 - 6.1.8 其他方法
 - 6.2 软件校准方法
 - 6.2.1 多点校正参数估计与插值
 - 6.2.2 数字预失真
 - 6.2.3 基于最小均方误差（LMS）算法的自适应校准
 - 6.2.4 基于递归最小二乘（RLS）算法的自适应校准
 - 6.2.5 基于神经网络的校准
 - 6.2.6
 - 增益和失调校准

ADC校准初步调研

孙皓宇 2025.03

一、基础概念

ADC（模数转换器）是将模拟信号转换为数字信号的电子元件，广泛应用于电子测量、通信、控制系统等领域。以下是ADC的原理、内部结构及工作流程的详细介绍：

1.1 ADC原理

- **采样定理：**根据奈奎斯特定理，采样频率至少要是信号最高频率的两倍，才能保证信号被准确还原。这是ADC工作的基础，确保模拟信号在采样后能够被完整地保留下来。
- **量化与编码：**采样得到的信号幅度被划分到最近的量化级，这个过程称为量化。量化后的信号幅度被转换为对应的数字代码，即编码，最终得到数字信号。

1.2 ADC内部结构

- **采样保持电路 (SH)**: 在ADC转换过程中, 采样保持电路负责在特定时刻捕获并保持输入模拟信号的瞬时值, 为后续的量化处理提供稳定的信号。
- **编码器**: 将量化后的信号幅度转换为对应的数字代码。编码器的位数决定了ADC的分辨率, 常见的有8位、10位、12位等。
- **时钟电路**: 为ADC提供精确的时钟信号, 控制采样和转换过程的同步进行, 确保转换的准确性和稳定性。
- **参考电压源**: 提供ADC转换所需的参考电压, 输入信号的量化范围由参考电压决定。参考电压的稳定性和精度直接影响ADC的转换精度。

1.3 ADC工作流程

- **采样阶段**: 在时钟信号的控制下, 采样保持电路对输入的模拟信号进行采样, 捕获信号的瞬时值。
- **保持阶段**: 采样结束后, 采样保持电路进入保持状态, 将采样得到的信号幅度保持稳定, 为后续的量化处理做准备。
- **量化阶段**: 编码器根据采样得到的信号幅度和参考电压, 将信号幅度量化到最近的量化级。
- **编码阶段**: 量化后的信号幅度被转换为对应的数字代码, 得到最终的数字信号输出。

1.4 常见ADC类型

- **逐次逼近型ADC (SAR ADC)**: 通过逐次逼近寄存器控制的比较器和数模转换器, 逐步逼近输入信号的量化值。具有较高的转换精度和速度, 适用于中等性能要求的应用。
- **闪速ADC (Flash ADC)**: 利用多个比较器并行工作, 对输入信号进行快速量化。具有极高的转换速度, 但电路复杂度和功耗较高, 适用于高速信号处理场景。
- **$\Sigma\Delta$ 型ADC**: 通过过采样和噪声整形技术, 将量化噪声推向高频段, 再通过数字滤波器滤除高频噪声, 实现高分辨率的信号转换。具有高分辨率和高精度的特点, 适用于低频信号测量和音频处理等领域。

1.5 总结

ADC作为模拟信号与数字信号之间的桥梁，其原理基于采样定理、量化和编码过程。内部结构包括采样保持电路、编码器、时钟电路和参考电压源等关键部件，协同完成模数转换任务。工作流程涵盖采样、保持、量化和编码四个阶段，不同类型的ADC根据其结构和工作原理，在速度、精度和应用场景上各有特点。

二、时间交织ADC

时间交织ADC（Time - Interleaved ADC，TI - ADC）是一种通过并行连接多个ADC通道来增加采样速率的技术。以下从多个方面对其进行详细介绍：

2.1 原理

假设有(N)个ADC通道，每个通道以采样周期(T)进行采样，但相邻通道之间的采样时间差为(T/N)。例如有4个通道 ((N = 4))，每个通道以1GSPS的速率工作，那么整体系统的采样速率将达到4GSPS。通过这种方式，多个ADC通道在时域上错开采样，实现总体上更高的采样速率，是单个ADC采样率的(N)倍。

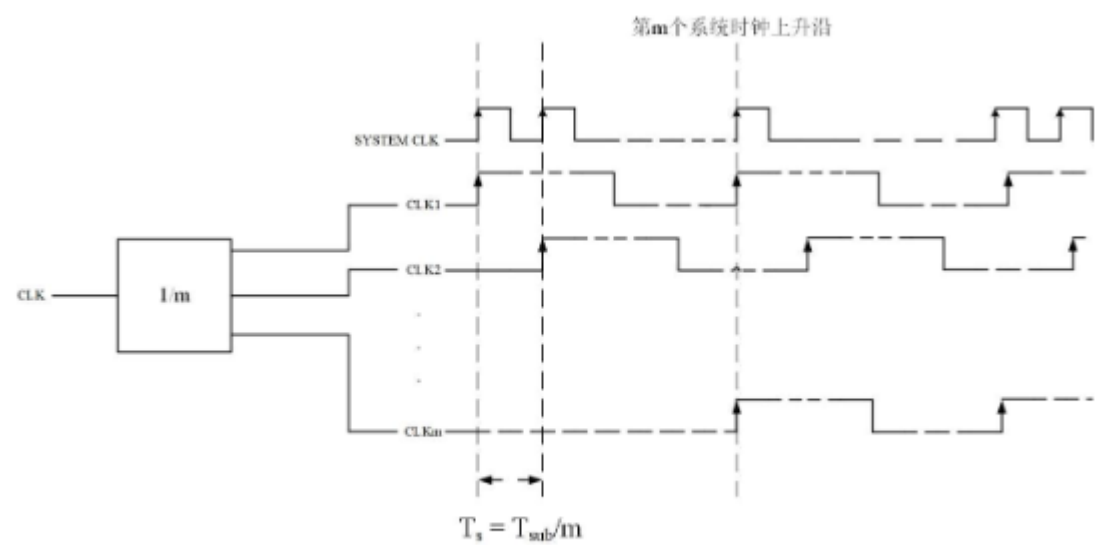


图 2-8 时间交织型 ADC 子通道时钟时序图

2.2 结构

由多个结构相同的子ADC通道组成，每个子ADC都有独立的采样保持电路、模数转换电路等。这些子ADC通道并行工作，共享输入信号，其采样时钟具有固定的相位差，通过时钟分配电路来产生不同相位的时钟信号，以控制各个子ADC在不同的时刻进行采样。

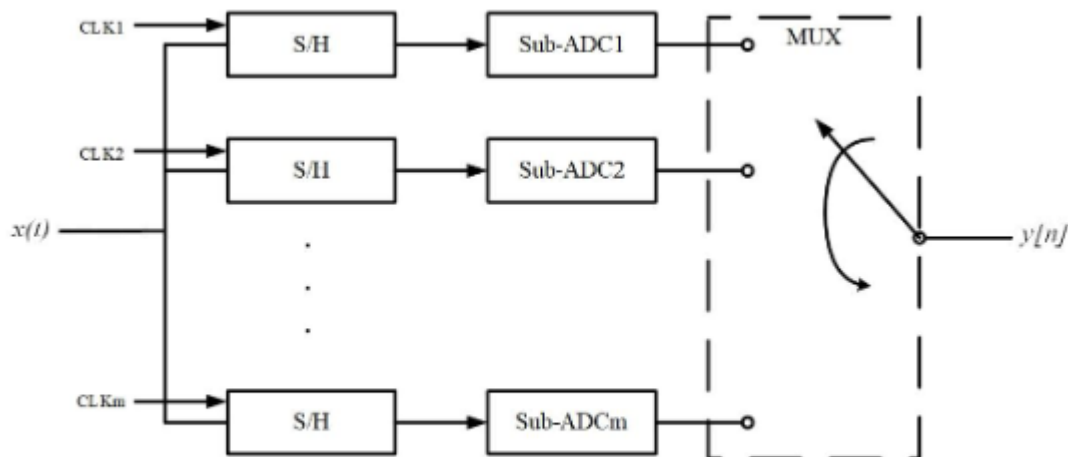


图 2-7 时间交织型 ADC 结构

2.3 性能特点

- **优点：** 能实现比单个 ADC 更高的采样速率，可满足高速数据采集需求。通过时间交织，还能有效扩展 ADC 的带宽，使奈奎斯特带宽更宽。此外，可通过增加子 ADC 通道数量来提升采样速率，具有较好的可扩展性。
- **缺点：** 通道间的失调、增益和带宽失配，以及采样时刻的误差等，会导致输出频谱中出现杂散成分，限制采样精度。例如，失调失配会引起固定频率的“失调杂散”，增益失配会引入“增益杂散”等。这些杂散成分会降低 ADC 的性能，如无杂散动态范围（SFDR）、信噪失真比（SNDR）等指标。

2.4 应用场景

- **高速数据采集系统：** 如数字示波器、高速数据记录仪等，需要对高速变化的模拟信号进行实时采样和数字化处理，TI - ADC 的高采样速率和宽带宽特性可满足要求，能够准确捕捉信号的细节和快速变化。
- **宽带通信系统：** 在无线通信基站、卫星通信等领域，需要处理多频段、多载波的宽带信号，TI - ADC 可用于对射频信号或中频信号进行采样，为后续的数字信号处理提供高速、高精度的数字样本。
- **仪器仪表：** 在频谱分析仪、网络分析仪等仪器中，用于对高频信号进行分析和测量，帮助工程师准确获取信号的频谱特性和参数信息。

2.5 校准方法

为了减小通道失配等误差对 TI - ADC 性能的影响，通常需要采用校准方法。常见的校准方法包括数字校准和模拟校准。数字校准方法如基于最小均方误差（LMS）算法的校

准，通过对采样数据进行处理和分析，估计出通道间的失配参数，并进行数字补偿。模拟校准方法则是通过调整模拟电路的参数，如增益、失调等，来减小通道间的差异。

2.6 发展趋势

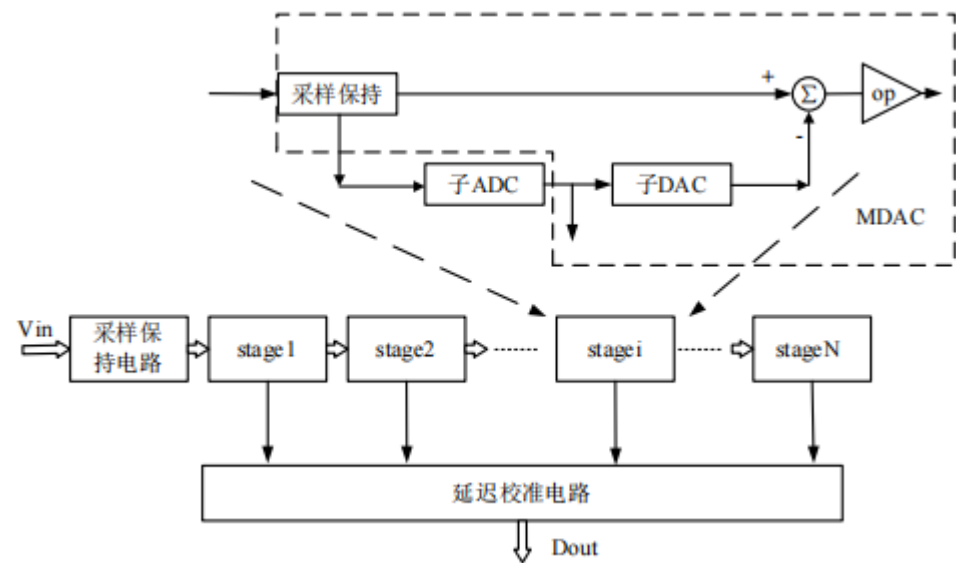
随着通信、数据中心等领域对高速、高精度ADC需求的不断增长，TI - ADC也在不断发展。一方面，向更高的采样速率和精度方向发展，以满足5G、6G通信以及人工智能、云计算等领域对数据处理的要求。另一方面，研究更加高效的校准算法和电路结构，以降低通道失配误差，提高TI - ADC的性能和可靠性。同时，在工艺上也不断采用更先进的半导体制造工艺，减小芯片面积，降低功耗。

三、流水线型ADC

流水线型ADC（Pipeline ADC）是一种高性能的模数转换器，广泛应用于高速数据采集系统、通信系统、雷达等领域。以下是流水线型ADC的详细介绍

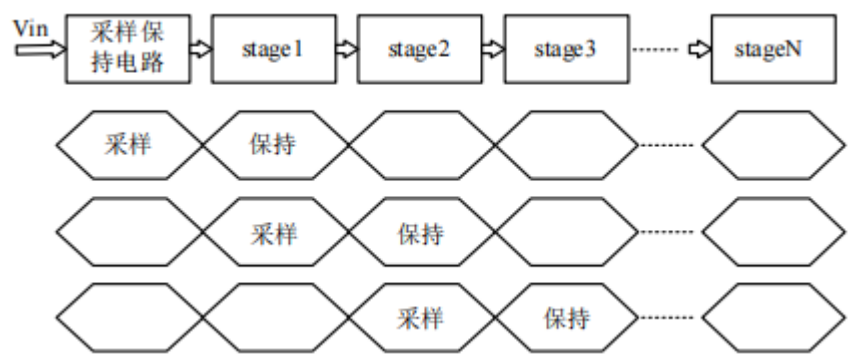
3.1 原理

流水线型ADC的核心思想是将模数转换过程分解为多个阶段，每个阶段完成一部分转换任务，类似于工厂的流水线生产。每个阶段通常包括采样保持电路、低分辨率的子ADC、数模转换器（DAC）、减法和余差放大器等模块。输入信号在每个阶段被采样、量化，并将量化结果转换为模拟信号后与原始信号相减，得到残差信号，该残差信号被放大后传递给下一个阶段进行进一步处理。最终，各级的数字输出被组合起来，形成最终的高分辨率数字信号。



3.2 工作流程

1. **采样和保持**：输入的模拟信号首先被采样保持电路采样并保持稳定，为后续的量化处理做准备。
2. **量化和转换**：在每个流水线阶段，采样后的信号被低分辨率的子ADC量化，得到部分数字输出。同时，该数字输出通过DAC转换为模拟信号，并与原始信号相减，得到残差信号。
3. **放大和传递**：残差信号被放大后传递给下一个流水线阶段，重复上述的采样、量化和转换过程。
4. **数字输出组合**：各级的数字输出在数字域中进行组合，形成最终的高分辨率数字信号。



3.3 内部结构

流水线型ADC的内部结构主要包括：

- **采样保持电路 (S&H)**：负责对输入的模拟信号进行采样和保持，确保信号在转换过程中稳定。
- **子ADC**：每个流水线阶段中的低分辨率ADC，通常采用闪速ADC (Flash ADC) 结构，用于快速量化输入信号。

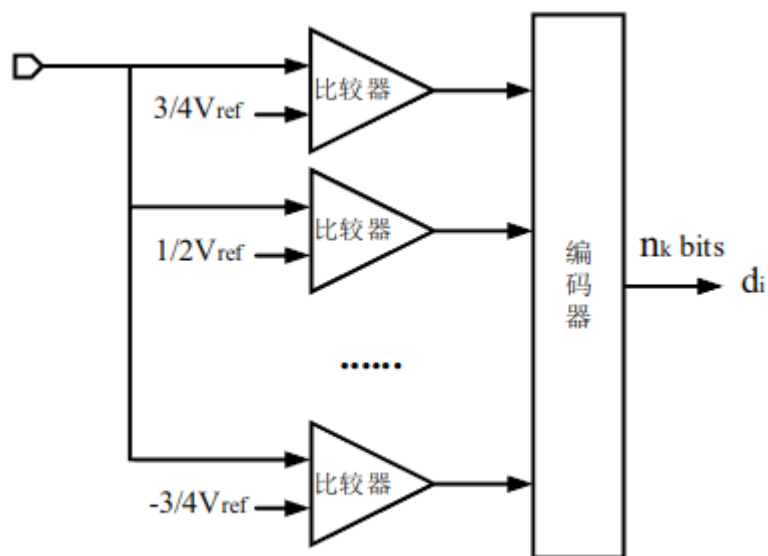


图 2-8 3bit/stage 的 Sub-ADC 结构

- **MDAC (多级动态放大器和比较器)**: 包括DAC、减法器 and 余差放大器，用于将子ADC的数字输出转换为模拟信号并与原始信号相减，得到放大后的残差信号。

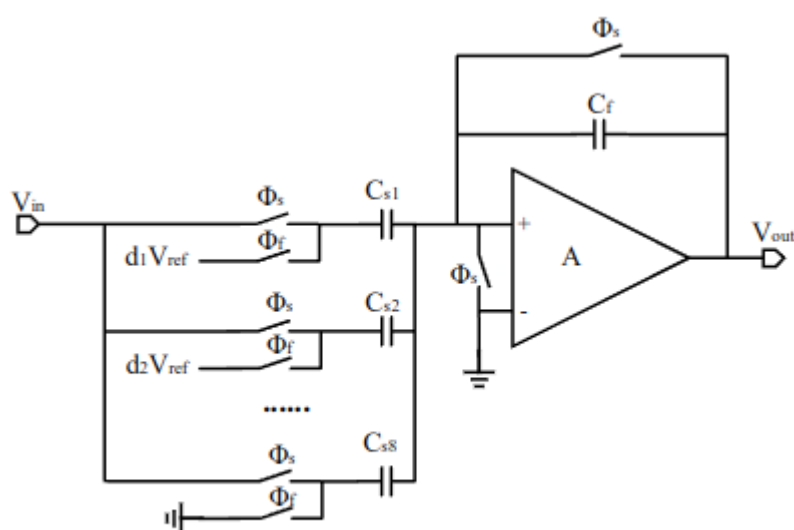


图 2-9 3bit/stage 的电荷重分配型 MDAC 结构

- **数字校正模块**: 用于对各级的数字输出进行延迟校正和组合，以得到最终的高分辨率数字信号。

3.4 优点

- **高速转换**: 流水线型ADC能够实现高速的模数转换，适用于高速信号处理的应用场景。
- **可扩展性**: 通过增加流水线阶段的数量，可以提高ADC的分辨率。
- **高分辨率**: 能够实现较高的分辨率，满足对信号精度要求较高的应用。

3.5 缺点

- **复杂度高**: 内部结构复杂，设计和实现难度较大。

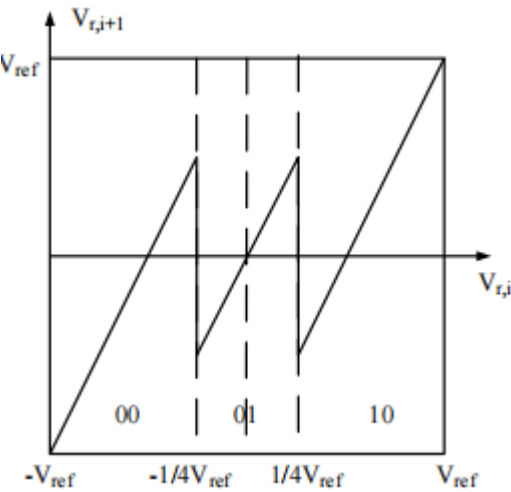
- **功耗较高**：由于多级电路同时工作，功耗相对较高。
- **流水线延迟**：存在一定的流水线延迟，影响实时性。

3.6 应用场景

- **高速数据采集**：如高速示波器、数字信号处理系统等。
- **通信系统**：在5G通信、光纤通信等高速通信系统中用于信号的模数转换。
- **雷达系统**：用于雷达信号的高速采集和处理。

3.7 1.5位子级流水线

$$\begin{aligned} -V_{ref} \leq V_{in} < -1/4V_{ref} &\rightarrow D_1 = 00 \rightarrow (0) \\ -1/4V_{ref} \leq V_{in} < +1/4V_{ref} &\rightarrow D_1 = 01 \rightarrow (1) \\ +1/4V_{ref} \leq V_{in} < V_{ref} &\rightarrow D_1 = 10 \rightarrow (2) \end{aligned}$$



四、性能指标

在评价ADC性能时，主要从静态指标和动态指标两方面来看。静态指标关注转换精度，即实际与理想输出之间的偏差，静态指标显示在不变环境中的量化准确性，反映线性度。而动态指标重视ADC在变化信号下的表现，如频谱特性，动态指标评估信号变化时的性能，包括噪声和失真影响，这在通信领域尤为重要。性能衡量需结合应用需求，这些指标共同确定ADC 是否适合其应用场景，确保其在各种条件下的有效运作。

4.1 静态性能指标

静态性能参数主要包括分辨率、增益误差、直流失调(offset)、微分非线性(Differential Nonlinearity, DNL)和积分非线性(Integral Nonlinearity, INL)等, 这里不做详细介绍。

4.2 动态性能指标

模数转换器 (ADC) 在直流或低频输入条件下的转换误差可以通过静态性能指标有效地展现。然而, 随着输入信号频率的上升, 特别是在达到较高工作频率时, 这些参数便不足以全面反映ADC的性能。因此, 为了准确描述ADC在高频条件下的性能, 我们有必要引入动态性能指标。为了更加深入地了解ADC在高频下的表现, 我们首先要对其数字输出进行快速傅里叶变换 (FFT), 以获取输出的频谱分布。接着, 通过分析频谱中的基频、各类谐波以及噪声等频谱信息, 我们能够全面评估ADC的高频特性, 从而对其性能有更完整和深入的了解。

动态性能指标主要包括信噪失真比(SNDR), 信噪比(SNR), 无杂散动态范围(SFDR), 总谐波失真(THD), 有效位数(ENOB)等, 我们重点介绍SFDR。

4.2.1 SFDR的定义

SFDR (Spurious-Free Dynamic Range) 即无杂散动态范围, 用于衡量数据转换器 (如ADC) 在杂散分量干扰基本信号或导致基本信号失真之前可用的动态范围。它定义为基本正弦波信号均方根 (RMS) 值与从0Hz (DC) 到二分之一数据转换器采样速率 (如 $f_s/2$) 范围内测得的输出峰值杂散信号均方根值之比。SFDR通常以分贝 (dB) 为单位表示, 计算公式为:

$$SFDR = 10 \log_{10} \left(\frac{\text{Maximum Output Signal Power}}{\text{Total Spurious Power}} \right)$$

其中, “Maximum Output Signal Power”代表系统输出的最大有用信号功率, “Total Spurious Power”为所有杂散信号 (如谐波、噪声等) 的总功率。

4.2.2 SFDR的影响因素

- **ADC的非线性:** ADC的非线性误差会导致信号的谐波失真和互调失真, 从而产生杂散信号, 影响SFDR。
- **时钟抖动:** 时钟信号的抖动会影响ADC的采样精度, 导致信号的频谱扩展和杂散增加, 进而降低SFDR。
- **参考电压的稳定性:** 参考电压的波动会影响ADC的量化精度, 进而影响SFDR。

4.2.3 SFDR的应用场景

- **通信系统：**在通信系统中，SFDR是一个十分重要的指标，因为它代表了能从一个较大的干扰信号（如阻塞器）中区分出的最小信号。例如，在接收器设计中，高SFDR的ADC能够更好地处理带内小信号和大阻塞信号同时存在的情况，避免杂散信号对有用信号的干扰。
- **雷达系统：**雷达系统需要高SFDR的ADC来准确检测微弱的目标回波信号，同时抑制强杂散信号的干扰，如雷达发射机的泄漏信号等。
- **仪器仪表：**在电子测量领域，如频谱分析仪、示波器等仪器中，SFDR决定了仪器能够准确测量信号的动态范围。

4.2.4 SFDR的重要性

- **系统性能评估：**SFDR是评估系统非线性失真程度的重要指标，高SFDR表示系统输出中的有用信号相对于杂散信号更为突出。
- **信号质量保证：**通过监测和优化SFDR，可以提高系统的信号传输质量，减少干扰和失真，保障数据的准确性和稳定性。
- **设计和优化指导：**SFDR指标为工程师提供了衡量信号传输质量的标尺，在通信系统的构建中，SFDR是衡量信号有效传输空间的关键指标。

4.2.5 SFDR和ADC线性度

提高ADC的线性度和提高SFDR（无杂散动态范围）性能是相关但不完全相同的概念。它们都是衡量ADC性能的重要指标，但在具体含义和关注点上有所不同。

4.2.5.1 提高ADC的线性度

ADC的线性度是指其输出的数字信号与输入的模拟信号之间呈线性关系的程度。理想情况下，ADC的输出应与输入信号成正比，但由于实际ADC存在非线性误差，如差分非线性（DNL）和积分非线性（INL），会导致输出与输入之间的偏差。提高线性度意味着减少这些非线性误差，使ADC的输出更接近理想线性关系。

提高线性度的方法包括：

- **硬件校准：**通过调整ADC的内部电路参数或添加外部校准电路来补偿非线性误差。
- **算法校正：**在数字域采用校正算法，如多项式拟合、分段线性校正等，对ADC的输出进行处理，以减少非线性失真。
- **电路设计优化：**改进ADC的前端电路设计，减少由于电路特性引起的非线性误差。

4.2.5.2 提高SFDR性能

SFDR主要关注ADC输出信号中的杂散信号（如谐波失真、互调失真等）相对于主信号的功率比。提高SFDR性能意味着减少这些杂散信号的幅度，从而增加主信号与最大杂散信号之间的功率比。

提高SFDR性能的方法包括：

- **减少非线性失真**：通过提高ADC的线性度来减少谐波失真和互调失真等非线性失真产生的杂散信号。
- **抑制噪声**：优化ADC的参考电压源、时钟电路等，减少噪声对ADC输出的影响，从而降低杂散信号的幅度。
- **滤波技术**：在模拟或数字域采用滤波器，滤除特定频段的杂散信号，提高SFDR。

4.2.5.3 两者的关系

虽然提高ADC的线性度和提高SFDR性能是两个不同的目标，但它们之间存在密切的联系。提高线性度可以减少非线性失真，从而降低由这些失真产生的杂散信号的幅度，进而有助于提高SFDR性能。因此，在实际的ADC设计和应用中，提高线性度往往是提高SFDR性能的一个重要手段。同时，其他措施如噪声抑制和滤波等也可以进一步提升SFDR性能。

五、误差分析

5.1 比较器失调误差和孔径误差

- 孔径误差是指MDAC与sub-ADC的采样路径不匹配带来误差，表现为比较器采样得到的电压与MDAC采样得到的电压之间存在误差，可以用公式表示为：

$$\Delta X = 2\pi f_{in} A \Delta t$$

其中 f_{in} 为输入频率， A 为输入信号幅度， Δt 为等效采样失配时间。

- 比较器失调是指比较器本身的翻转电平发生偏移，主要由两部分原因引起：
 - 一部分是因为参考电压偏离理想值，由于电阻串在制造工艺下存在失配，进而使得通过分压得到的参考电压存在误差，使得比较器翻转电压偏移，此外参考电压受外界或者其他模块影响存在波动，也导致了参考电压偏离。

- 。另一部分导致比较器性能受到影响的原因是其内部存在的失配现象。这种失配可能源于比较器内部组件的不匹配，或者是由于比较器输入电压的波动。这些因素共同作用，导致比较器本身的翻转电平发生偏移。
- 。导致的结果就是实际残差电压与理想残差电压存在误差

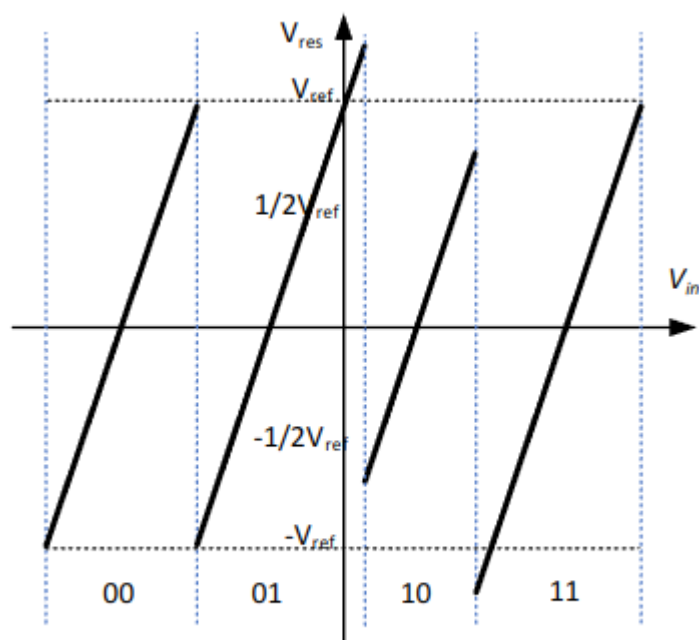


图3-1 带失调的2bit/级流水线式电路传输曲线

由于子ADC大多为多位冗余设计，比较器轻微失调一般不会导致ADC误差。

5.2 运放误差

- 。运放有限增益误差：运算放大器的增益是有限的，而有限的增益会导致信号在放大过程中产生失真，并导致MDAC各段传输曲线的斜率发生变化。满足一定精度就行。
- 。运放的有限带宽
- 。运放的非线性误差

运放误差后面不好校准，在设计运放的时候尽量精度高一些，满足要求就行了。

5.3 DAC 非线性误差（电路复杂，具体原理尚未搞懂）

- 。采样电容失配（电容失配误差）
- 。基准电压偏移误差

- 失调电压

MDAC 中的运算放大器一般为差分结构，因为放大器的差分 CMOS 管参数差异将存在失调电压，且失调电压受温度、工作时间等因素影响，随环境变化而变化^[24]。只存在失调电压时的余差电压如式(2.5)所示：

$$V_{res} = \frac{\sum_{i=1}^5 C_i}{C_f} V_{in} - \frac{\sum_{i=1}^5 D_i C_i}{C_f} V_{ref} - V_{os} \quad (2.5)$$

其中 V_{os} 为失调电压，从式(2.5)中可以看出，当存在失调电压时，和电容失配误差相同，也会改变不同数字输入时对应的余差参考电压，使不同子区域间出现 INL 跳跃。

- 码字相关的电荷注入

5.4 采保电路以及其他误差

- 电荷注入与时钟馈通
- 采保电路误差
- 采样时间的不确定性
- 时钟抖动误差：时钟抖动是指时钟信号的实际边缘与理想边缘之间的时间偏差，它会导致采样点偏离理论上的最佳采样位置，因此会导致采样得到的信号值与实际信号值之间存在偏差。
- 热噪声
 - 闪烁噪声主要来源于半导体材料表面状态的变化，其功率谱密度与频率成反比。这意味着在低频时，闪烁噪声的影响较大；而在高频时，其影响逐渐减小，以至于在高频电路中，闪烁噪声所占的比例通常可以忽略不计。
 - 相比之下，热噪声则是由导体中电子的随机热运动引起的，其功率谱密度在宽频带内近似为常数。因此，对于大多数高频和高速集成电路，热噪声是主要的噪声来源。

六、校准方法概述

流水线型ADC的SFDR（无杂散动态范围）是指在ADC的输出频谱中，主信号与最大杂散信号之间的功率比。SFDR是衡量ADC性能的重要指标之一，它反映了ADC在处理信号时对杂散信号的抑制能力。在流水线型ADC中，SFDR的性能受到多种因素的影响，包括ADC的非线性误差、时钟抖动、参考电压的稳定性等。

6.1 硬件校准方法

全带宽校准的目的是在整个工作频带上对ADC进行校准，以提高其线性度和SFDR性能。常见的全带宽校准方法包括：

6.1.1 基于统计规律的校正技术

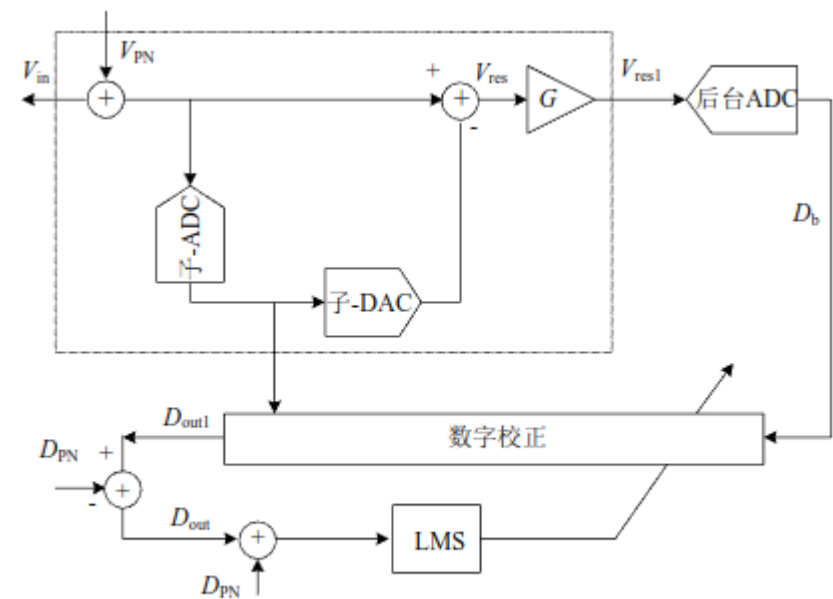


图 1-3 基于统计规律估计非线性误差的校正技术示意图

6.1.2 PN注入

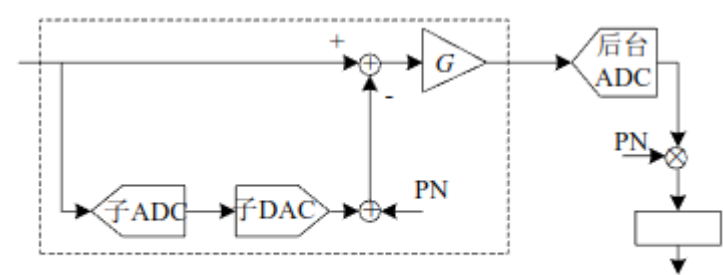


图 1-6 插入 PN 校正余量放大器增益误差原理图

6.1.3 参考ADC来实现码域均衡

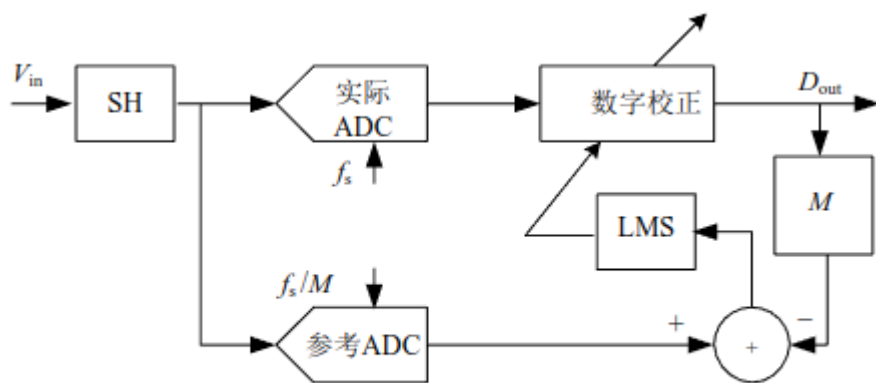


图 1-8 参考 ADC 法校正示意图
Fig.1-8 Reference ADC calibration diagram

6.1.4 偏移双通道法

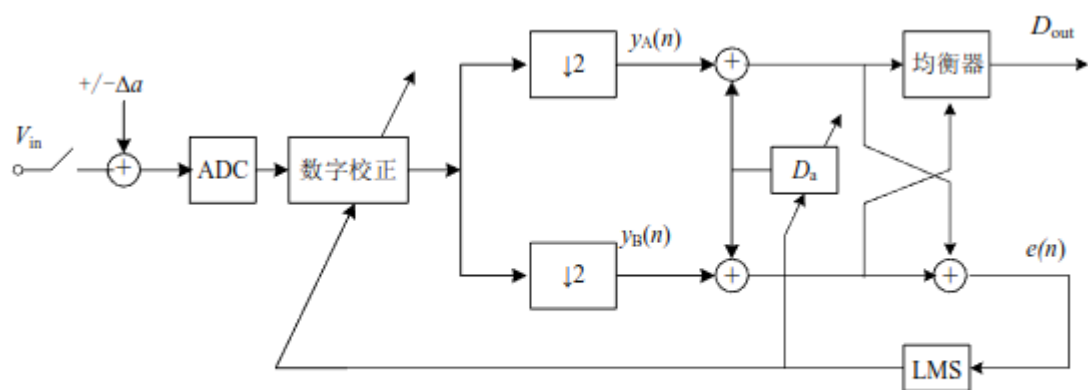


图 1-9 偏移双通道法校正技术示意图
Fig.1-9 Offset dual channel calibration technic diagram

6.1.5 虚拟参考ADC法

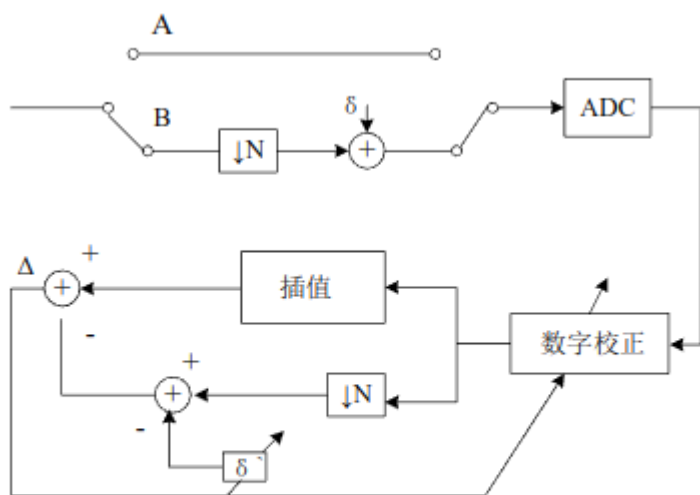


图 1-10 虚拟参考 ADC 法校正示意图
Fig.1-10 Virtual reference ADC calibration technic diagram

6.1.6 基于频谱扩展的校准技术

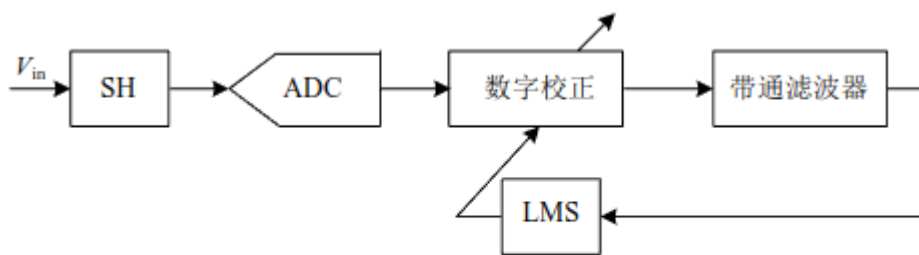


图 1-11 基于频谱扩展的校正技术
Fig.1-11 Spectrum extension based calibration technic

6.1.7 加入测试信号的确定性校准技术

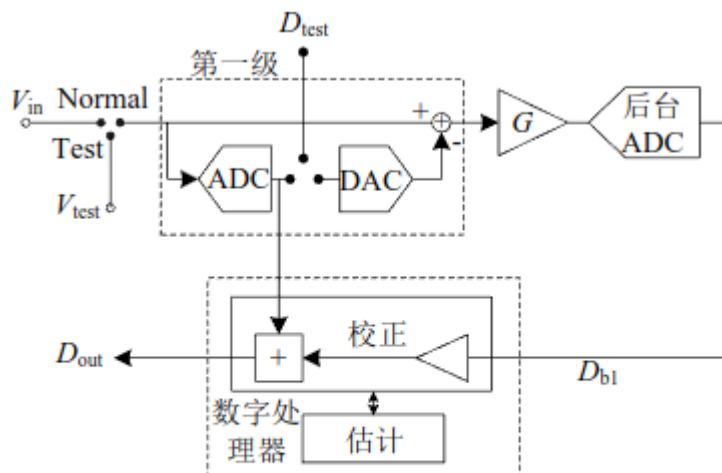


图 1-12 加入测试信号的确定性校正技术
Fig.1-12 Deterministic calibration technic with test signal

6.1.8 其他方法

- 分裂法
- 跳补法
- 离线法

6.2 软件校准方法

6.2.1 多点校正参数估计与插值

- **原理：**在 ADC 的工作频带内选择多个频点，注入单频测试信号，测量各频点的增益、相位等参数，然后使用插值算法（如拉格朗日插值）对各频点间的参数进行曲线拟合，得到整个频带内的校正参数分布，对 ADC 的输出进行校正。
- **操作：**
 - 选择合适的校正频点，通常均匀分布在工作频带内。
 - 依次注入单频测试信号，记录 ADC 的输出结果。
 - 计算各频点的校正参数，如增益校正因子、相位校正等。

- 根据插值算法得到整个频带的校正参数表。
- 在实际使用中，根据输入信号的频率查找对应的校正参数，对 ADC 输出进行校正。

多点校正通过以下方式针对系统非理想特性进行补偿，进而提升 SFDR：

1. 增益不平衡补偿

- 在实际系统中，不同频率信号经过系统后增益可能不同，这会导致某些频率信号被过度放大或放大不足。例如，在射频前端电路中，由于放大器的频率响应特性，高频段信号的增益可能低于低频段信号。
- 多点校正通过在不同频点注入单频测试信号，精确测量各频点的增益，并计算出增益校正参数。在后续信号处理中，根据这些校正参数对不同频点的信号进行增益调整，使各频点信号的增益趋于一致。这样可以避免因增益不平衡导致某些频率信号的功率过高或过低，减少了因信号幅度差异引起的非线性失真，从而降低杂散信号的产生，提升 SFDR。

2. 相位误差校正

- 系统对不同频率信号的相位延迟可能不同，这会导致信号的相位关系发生畸变，尤其是在多频信号合成时，相位误差会引起信号的失真和杂散。例如，在数字上变频过程中，如果不同频率的载波信号相位不准确，会导致调制后的信号产生杂散分量。
- 多点校正能够测量各频点的相位误差，并得到相位校正参数。通过对信号进行相位调整，使不同频点信号的相位关系符合理想状态，保证了信号在合成和处理过程中的准确性，减少了因相位误差引起的杂散信号，进而提升 SFDR。

3. 非线性失真补偿

- 系统中的非线性元件，如放大器、混频器等，会使输入信号产生谐波和互调失真，这些失真产物会成为杂散信号的主要来源，严重降低 SFDR。例如，当两个不同频率的信号通过非线性放大器时，会产生二阶、三阶等谐波以及互调产物。
- 多点校正通过估计各频点的校正参数，可以建立起系统非线性特性的模型。基于这个模型，采用预失真等技术对输入信号进行处理，预先对信号进行反向的非线性失真，以补偿系统本身的非线性失真。这样，经过系统处理后，信号的非线性失真得到有效抑制，杂散信号的功率降低，从而提升了 SFDR。

4. 频率响应平坦化

- 系统的频率响应可能存在不平坦的情况，即不同频率处的信号传输特性有较大差异，这会导致某些频率的信号受到额外的衰减或放大，破坏了信号的频谱纯度，产生杂散信号。例如，滤波器的频率响应可能在通带内存在波动，对不同频率信号的滤波效果不同。
- 多点校正通过在多个频点进行测量和校正，能够对系统的频率响应进行精确调整，使频率响应更加平坦。通过调整各频点的增益和相位等参数，让系统对不同频率信号的传输特性尽可能一致，减少了因频率响应不平坦引起的信号失真和杂散，有助于提升SFDR。

6.2.2 数字预失真

- **原理：**ADC 的非线性特性会产生谐波和互调失真，降低 SFDR。数字预失真通过在数字域对输入信号进行预处理，引入与 ADC 非线性特性相反的失真，以抵消 ADC 的非线性失真。
- **操作：**
 - 建立 ADC 的非线性模型，可通过测量 ADC 对不同输入信号的响应来拟合得到。
 - 根据非线性模型生成预失真函数。
 - 在数字信号输入 ADC 之前，使用预失真函数对信号进行处理。

6.2.3 基于最小均方误差（LMS）算法的自适应校准

1. 数据采集与预处理

- **采集数据：**让 ADC 对已知特性的输入信号进行采样，持续收集 ADC 的输出数据。输入信号可以是单频信号、多频信号或宽带信号，具体根据实际应用场景选择。
- **预处理：**对采集到的输出数据进行预处理，例如去除直流偏置、进行归一化处理等，以提高后续处理的准确性。

2. 选择自适应算法

- **LMS 算法原理：**LMS 算法是一种简单且常用的自适应滤波算法，其核心思想是通过不断调整滤波器的系数，使得滤波器输出与期望信号之间的均方误差最小。在 ADC 校准中，滤波器系数就是校准参数。
- **确定步长因子：**步长因子 μ 是 LMS 算法中的一个重要参数，它控制着滤波器系数的更新速度。步长因子过大，算法收敛速度快，但可能会导致系统不稳定；步长因子过小，算法收敛速度慢，但系统稳定性好。一般需要通过实验来选择合适的步长因子。

3. 定义误差准则

- 杂散分量检测：对 ADC 的输出信号进行频谱分析，例如使用快速傅里叶变换（FFT）将时域信号转换到频域，检测输出信号中的杂散分量。
- 误差计算：将杂散分量的幅度作为误差信号 $e(n)$ ，目标是通过调整校准参数，使误差信号的均方值最小。

4. 实时调整校准参数

- 初始化校准参数：给校准参数（滤波器系数）赋初值，通常可以初始化为零或一个小的随机值。
- 迭代更新：根据 LMS 算法的迭代公式 $w(n+1)=w(n)+\mu e^{**}(n)x(n)^{**}$ 实时调整校准参数，其中 $w(n)$ 是第 n 时刻的校准参数向量， $x(n)$ 是第 n 时刻的输入信号向量。
- 循环迭代：不断重复上述步骤，直到误差信号的均方值收敛到一个较小的值，此时认为校准参数已经达到最优。

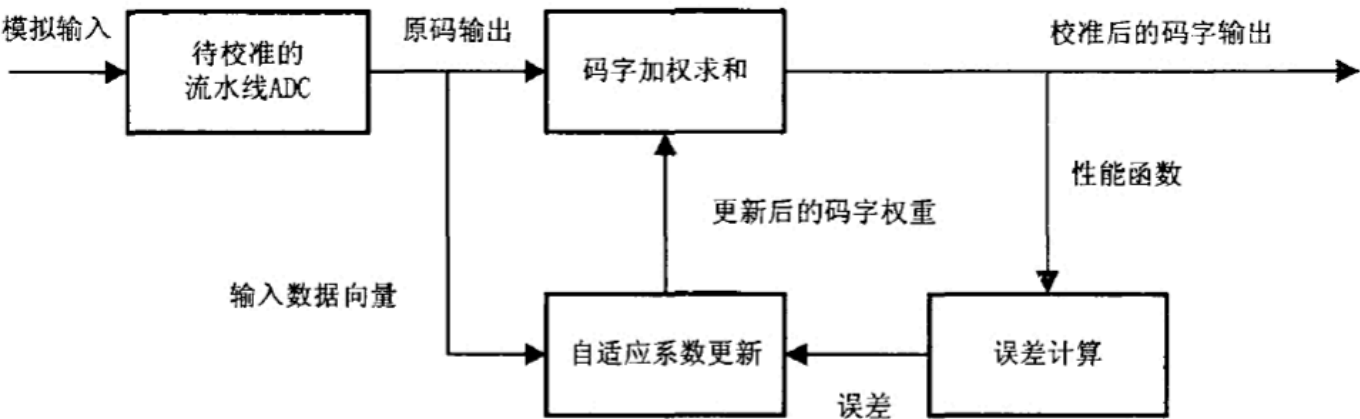


图4-3 基于 BLMS 算法的数字校准模型

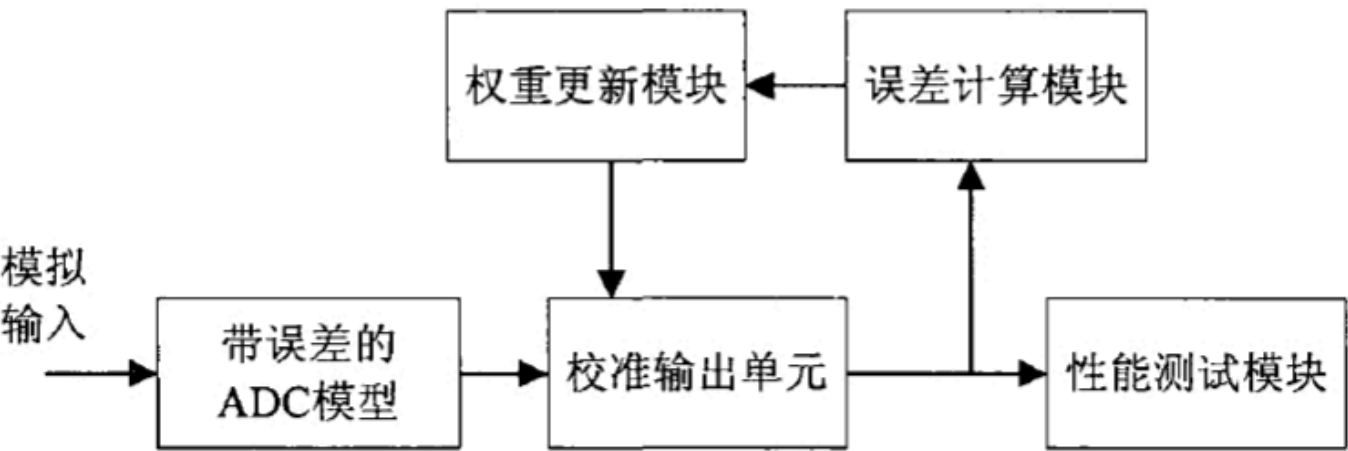


图4-11 BLMS 数字校准模块的仿真平台

6.2.4 基于递归最小二乘（RLS）算法的自适应校准

1. 数据采集与预处理

- 与 LMS 算法相同，采集 ADC 的输出数据并进行预处理。

2. 选择自适应算法

- **RLS 算法原理**：RLS 算法是一种基于最小二乘准则的自适应滤波算法，它通过递归的方式更新滤波器系数，能够更快地收敛到最优解，尤其适用于时变系统。
- **初始化参数**：初始化滤波器系数向量 $\mathbf{w}(0)$ 和协方差矩阵 $\mathbf{P}(0)$ 。协方差矩阵 $\mathbf{P}(0)$ 通常初始化为一个很大的对角矩阵，以保证算法在初始阶段具有较大的自适应能力。

3. 定义误差准则

- 同样对 ADC 的输出信号进行频谱分析，检测杂散分量，将杂散分量的幅度作为误差信号。

4. 实时调整校准参数

- **计算误差**：根据当前的校准参数和输入信号，计算误差信号 $\mathbf{e}(n)$ 。
- **更新协方差矩阵**：根据 RLS 算法的递归公式更新协方差矩阵 $\mathbf{P}(n)$ 。
- **更新校准参数**：根据误差信号和协方差矩阵，更新校准参数向量 $\mathbf{w}(n)$ 。
- **循环迭代**：不断重复上述步骤，直到误差信号满足要求，即输出信号中的杂散分量最小，此时 ADC 的 SFDR 性能达到最优。

6.2.5 基于神经网络的校准

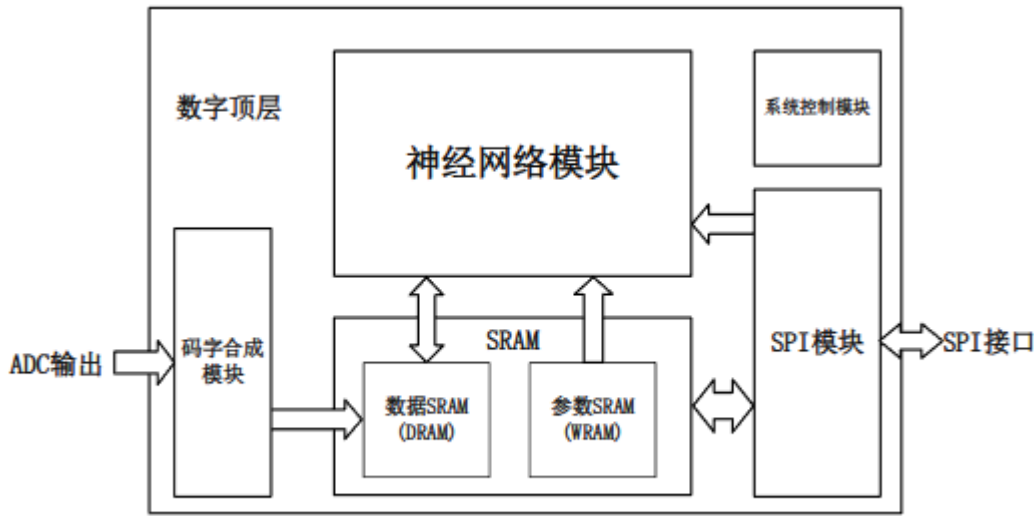


图 5-1 本论文提出的校准算法 RTL 电路整体结构图

6.2.6

增益和失调校准

- **原理：**ADC 的增益和失调误差会影响其线性度，进而降低 SFDR。增益误差指 ADC 实际转换增益与理想增益的偏差，失调误差则是指输入为零时输出的非零值。
- **操作：**可使用高精度参考电压源，注入已知的直流信号来测量失调误差，通过调整内部的失调电压来消除该误差。对于增益误差，可注入不同幅度的已知信号，测量输出结果并计算增益误差，然后通过调整增益放大器的增益来进行校准。
- **可行性：**仍然可行。尽管芯片已经制造完成，但可以通过芯片上预留的校准接口或配置寄存器来进行增益和失调校准。许多 ADC 芯片在设计时就考虑到了后期校准的需求，会提供相应的校准机制。
- **实施方式：**通过外部的控制电路向 ADC 芯片发送校准指令，利用芯片内部的校准电路来调整增益和失调。例如，一些 ADC 芯片可以通过写入特定的寄存器值来控制内部的数模转换器（DAC），产生用于校准的直流信号，然后根据测量结果调整增益和失调参数。