

宽带 dither 技术在流水线 ADC 中的研究

靳翔

2018 年 1 月

中图分类号: TN432

UDC 分类号: 621.3

宽带 dither 技术在流水线 ADC 中的研究

作者姓名	靳翔
学院名称	信息与电子学院
指导教师	丁英涛副教授
答辩委员会主席	仲顺安教授
申请学位	工学硕士
学科专业	电子科学与技术
学位授予单位	北京理工大学
论文答辩日期	2018 年 1 月

Research of Broadband Dither Technology in Pipeline ADC

Candidate Name	<u>Jin Xiang</u>
School or Department	<u>Information and Electronics</u>
Faculty Mentor	<u>A.P. Yingtao Ding</u>
Chair, Thesis Committee	<u>Prof. Shun'an Zhong</u>
Degree Applied	<u>Master of Engineering</u>
Major	<u>Electronic Science and Technology</u>
Degree by	<u>Beijing Institute of Technology</u>
The Date of Defence	<u>January, 2018</u>

摘要

模数转换器的基本电路功能是将模拟信号转换为数字信号，作为连接模拟世界和数字系统之间的电路结构，是通信系统中不可或缺的单元。而流水线模数转换器因其在精度、速度和功耗等模数转换器的重要指标中均很突出，而广泛应用在无线通信领域。随着半导体工艺和计算机技术的发展，对流水线 ADC 的精度和转换速度要求日益提高。而由于电路设计中，多种非理想因素的存在，简单的转换器结构已无法达到现在的要求，因此数字校正算法广泛应用于模数转换器中，对其性能的提高起到关键作用，而本文研究的 dither 技术就是数字校正算法的一种，能有效提高模数转换器的 SFDR 性能。

本文研究应用宽带 dither 技术改善流水线模数转换器的 SFDR 性能，改善主要表现为 3 个方面的改善：（1）改善 ADC 理想量化误差产生的谐波；（2）改善相干采样产生的谐波；（3）改善电路失配产生的谐波。

本文首先对模数转换器的发展现状进行了概述，引出 dither 技术在 ADC 发展中的重要意义，对 dither 技术的提出、发展历史进行回顾，介绍了 dither 技术的发展现状和展望；然后对模数转换器的基本量化理论，常见的静态参数和动态参数指标以及之间的相互关系进行了介绍，将目前市场上常见的几种模数转换器的特性进行了对比；接着详细介绍了流水线模数转换器原理，数字冗余校正技术和电路中存在的非理想因素；最后在一个 100MS/s，12-bit 流水线模数转换器中引入宽带 dither 信号，以提高其小信号线性度等动态性能。

基于 TSMC 90nm CMOS 工艺，在 cadence 平台下搭建了一个 12-bit，100MS/s 的流水线 ADC 作为目标 ADC，采用线性反馈移位寄存器法产生伪随机码，通过开关电容阵列转换为模拟信号，在首级 2.5 比特电路的输入通路中与输入信号相加，引入到流水线 ADC 中，在 ADC 的输出端将转换输出的信号，与经过恰当延时的 PN 序列信号通过减法器相减得到最终的码字输出，并进行了整体电路版图的设计及后仿真。仿真结果表明 dither 的引入使得 ADC 的 SFDR 性能在输入信号幅度为 -30~-50dBFS 时有显著提高。

关键词：模数转换器，流水线结构，宽带大幅度 dither 技术，无杂散动态范围

Abstract

Analog to digital converter(ADC) is an important module connecting the analog world and digital system, and is an indispensable unit in communication system. The pipeline analog-digital converter is widely used in wireless communications, because of its high conversion accuracy, high conversion speed and low power consumption. With the development of semiconductor process and computer technology, the accuracy and conversion speed of the pipeline ADC are increasingly demanding. Due to the existence of many non-ideal factors in the circuit design, the simple converter structure cannot meet the current requirements, so the digital correction algorithm to improve the performance of the ADC becomes the focus of the current pipeline ADC research. Dither technology as a digital correction algorithm, is an important technique to improve the performance of pipelined ADC Spurious Free Dynamic Range (SFDR).

In this paper, the application of broadband dither technology to improve the pipeline ADC SFDR to improve the performance by the three main improvements: (1) to reduce the harmonics generated by ADC ideal quantization error; (2) to reduce the harmonics generated by coherent sampling; (3) to reduce the harmonics generated by the circuit mismatch.

The paper firstly introduces the research significance of broadband dither technology to improve the spurious free dynamic range of pipeline ADC and the development history and research status of dither technology. Then it introduces the basic theory of ADC, the parameter index to measure ADC performance and the current common ADC Type, and the advantages and disadvantages between them; Then introduced the basic principles of the pipeline analog-digital converter, digital redundancy correction principle and non-ideal factors on the performance of the analog-to-digital converter; finally, broadband dither signal is injected in a 100MS / s, 12-bit pipeline analog-digital converter to improve its small signal linearity and other dynamic performance.

A 12-bit, 100MS / s pipeline ADC is built on the cadence platform as a target ADC in the TSMC 90nm CMOS process, a pseudo-random code is generated by a linear congruential PN sequence, converted to an analog signal by a switched capacitor array,

the input path of 2.5-bit first stage is added to the input signal and introduced into the pipelined ADC. The output signal from the ADC is subtracted from the properly delayed PN-sequence signal by the subtraction circuit to produce the final codeword output. The simulation results show that the introduction of dither makes the ADC's SFDR performance significantly increase when the input signal amplitude is -30 ~ -50dBFS。

Key Words: ADC, Pipeline, broadband dither technology, SFDR

目录

第 1 章	绪论	1
1.1	研究意义	1
1.2	Dither 技术发展历史及其发展现状	4
1.3	论文主要创新点及结构安排	5
1.3.1	论文主要创新点	5
1.3.2	论文结构及安排	5
第 2 章	模数转换器概述	7
2.1	模数转换理论	7
2.2	模数转换器的性能指标	8
2.2.1	静态参数	8
2.2.2	动态参数	10
2.2.3	静态线性度参数对动态参数的影响	12
2.3	模数转换器的结构分类及其性能比较	13
2.3.1	全并行模数转换器	13
2.3.2	逐次逼近式模数转换器	14
2.3.3	$\Sigma\text{-}\Delta$ 型模数转换器	15
2.3.4	分级比较式模数转换器	16
2.3.5	流水线模数转换器	17
2.3.6	模数转换器性能比较	17
2.4	本章小结	18
第 3 章	流水线模数转换器与非理想因素分析	19
3.1	流水线模数转换器的系统结构	19
3.2	数字校正电路算法	20
3.3	非理想因素	24
3.3.1	输入失调	25
3.3.2	电容失配误差	27
3.3.3	运放有限增益误差	28
3.3.4	其他误差	29
3.4	系统结构选取	29
3.5	本章小结	29
第 4 章	Dither 关键技术	31
4.1	Dither 技术原理与分类	31
4.1.1	频移 dither	31
4.1.2	加性 dither	32
4.2	宽带大幅度 dither 改善流水线 ADC 的 SFDR 性能	34
4.2.1	改善 ADC 理想量化误差产生的谐波	35
4.2.2	改善相干采样产生的谐波	37

4.2.3 改善电路失配产生的谐波	38
4.3 理想宽带 dither 技术应用于流水线 ADC 仿真验证.....	41
4.3.1 Dither 技术验证方案整体框架.....	41
4.3.2 理想宽带 dither 验证模块实现.....	41
4.3.3 验证仿真结果	43
4.4 本章小结	45
第 5 章 dither 信号加入流水线 ADC 的电路设计与实现	46
5.1 Dither 信号产生电路设计.....	46
5.2 加入 dither 信号电路设计	47
5.2.1 MDAC 中 dither 信号注入电路.....	47
5.2.2 子 ADC 中 dither 信号的注入电路	49
5.3 运算放大器.....	51
5.3.1 运放指标	51
5.3.2 运放结构	52
5.3.3 运放仿真结果	57
5.4 电路仿真结果.....	57
5.5 版图设计考虑及后仿结果.....	59
5.6 本章小结	62
结论	64
参考文献	66
攻读学位期间发表论文与研究成果清单	70
致谢	71

第 1 章 绪论

1.1 研究意义

随着半导体工艺和计算机技术的飞速发展,集成电路设计工具有了长足的发展,全球高新技术领域的数字化程度不断提高,高速数字集成电路在完成复杂信号处理任务的同时具有较低的成本,因此成为现代信息系统中的重要模块。然而实际物理世界中的信号均为模拟量,因此模数转换器的性能对于模数混合系统具有重要的意义。其广泛应用于通信基站、仪表、信号检测与处理、雷达、信号处理系统、消费类电子等领域。高性能的模数转换器芯片在工业领域需求量巨大,因而,模数转换器设计技术成为了近年来国内外集成电路设计研究的热点和难点。

随着 CMOS 工艺不断发展,使得芯片可以继承更多、更强大的数字功能。但是,这也为模拟集成电路设计带来了相应的挑战,对于模数转换器来说,工艺特征尺寸的变化带来的设计难点主要有以下几个方面:

(1) 低电源电压。低电压供电不可避免地导致模拟电路输入信号的摆幅减小,但是由于电路噪底不会随着电源电压降低而下降,因此 ADC 的动态范围、信噪比等特性将会下降。为了实现 ADC 的目标性能,就必须等比例的降低电路中的噪声,一般来说,电路热噪声的降低必然导致功耗增加,因此不利于低噪声低功耗的模拟电路设计。而且随着电源电压的降低,复杂的模拟集成电路由于较多管子的堆叠导致输出摆幅受限,因此不适合设计复杂的电路结构,这使得高增益放大器的设计变得困难^[1]。

(2) 晶体管线性度下降。随着 CMOS 工艺特征尺寸的逐渐减小,晶体管的输出阻抗和本征增益会随着沟道长度的减小而减小,造成新的非线性的同时会使依赖晶体管增益特性和线性度来放大信号的传统模拟电路面临严峻的考验^[2]。

(3) 工艺波动加剧。现在主流的模拟设计工艺为 90nm,随着最新的数字 CMOS 工艺进入 14nm 甚至特征尺寸更小的工艺,相同的工艺波动对电路的影响日益提高,在电路设计中就需要消耗更多的功耗以应对加剧的工艺波动,这提高了集成电路设计的成本。

根据模数转换器应用的场景的不同,系统对模数转换器的性能提出的要求也各不相同。以无线通信基站应用为例,为提高接受信号的质量和可靠性,提高接收机

接收信号的频带，要求模数转换器需要具有更高的信噪比和更高的转换线性度^{[3][4][5]}；低功耗的模数转换器则应用于消费类电子，尤其是可穿戴电子设备，以提高产品的续航时间；转换速度较高的转换器应用于接收机中可以代替信号中的一个或者多个混频器，大大简化射频系统设计难度、面积和功耗。

为了满足各种性能的要求，在多年模数转换器发展历史中人们提出了众多不同的 ADC 结构。根据采样速率与信号频率的 2 倍的大小关系，可以将其分为奈奎斯特模数转换器和过采样模数转换器。由于过采样模数转换器是以速度为代价提升其动态范围，因此在设计中，采用这种设计方法的情况较少，大多数的高速高精度模数转换器均为奈奎斯特型^[6]，其中包括 flash ADC、逐次逼近型（SAR）ADC、流水线 ADC 等等。这些 ADC 技术适用的采样速率和有效比特数范围如图 1.1 所示。

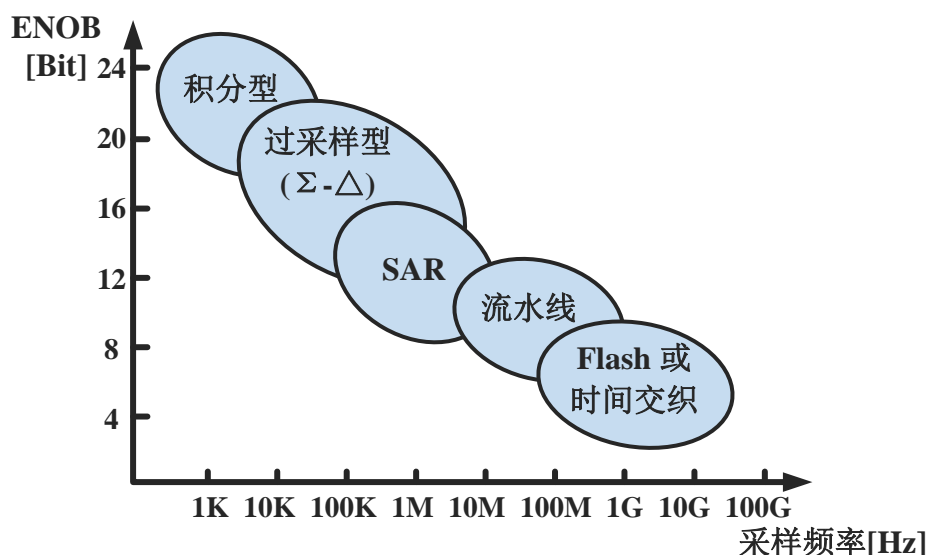


图 1.1 各种 ADC 结构性能对比

Flash ADC 由于只需一次比较就能转换完成，转化速率高，工作速度快。但随着转换位数的增加，所需比较器会呈现 2^N 规律增加，因此 flash ADC 的硬件消耗非常大，由此带来电路功耗大，面积大，成本高等问题。

SAR ADC 用简单的结构实现了一定的转换速率和精度（可以达到 8~18 位），而且功耗较低，但是面临着速度提升空间小的困难。

流水线 ADC 是由采样保持电路、子流水级、和 flash ADC 结构级联而成，在工作过程中，通过两相不交叠时钟对各个流水级的控制，使子流水级之间并行工作，互不影响，因此具有较高的工作效率，相比于 flash ADC 中比较器的数目随着精度

的增加指数型增加,而流水线 ADC 则是与精度成正比,所以其具有较小的面积开销,但是流水线 ADC 中运放的数目与精度有关,所以其具有较高的功耗。因此流水线 ADC 具有高速、高精度、高功耗的特点^{[7][8]}。目前市场上的高速高精度 ADC 多中流水线结构 ADC 占据了较大的市场份额。

采用 CMOS 工艺实现的流水线 ADC 具有较高的集成度和较低的成本等优势^[9]。然而也有很多非理想效应影响其高精度的实现。这些非理想效应包括:与采样开关相关的时钟馈通、电荷注入效应、CMOS 开关栅源电压随着输入的变化引入的导通电阻非线性等;与采样电容相关的采样电容的失配;与余量增益放大器相关的运放有限增益误差、有限增益带宽积和摆率等;与比较器相关的 MOS 管失配造成电压失调和 kick-back 噪声等;与 MDAC 和子 ADC 采样时刻相关的时钟抖动、孔径误差等。

目前常见的用于减小非理想因素对模数转换器性能影响的方法有三种:(1)采用新的设计方法,调整模拟电路的电路结构来减小非理想因素的影响;(2)基于特征尺寸更小,更先进的工艺,设计转换器;(3)在数字域通过误差校准技术补偿产生的误差。方法一以电路设计复杂度以及芯片面积为代价,达到提高转换器性能的目的;方法二受限于工艺的发展;方法三随着数字 CMOS 工艺的进步,数字电路的面积和功耗降低,因此方法三得到了快速的发展。如果不经数字校准,模数转换器的性能被限制在 8-bit~12-bit。因此数字校准技术是 ADC 兼具速度和精度必不可少的电路模块。

数字校准技术从提出开始成为研究热点后飞速发展,到现在,出现了很多数字校正算法,主要的校准方法分为前台和后台数字校准两种。前台校准和后台校准各有优缺点,在工作模式方面,前台校准在校准的过程中需要中断模数转换器的正向工作过程,而后台校准则无需中断模数转换器的工作;在误差校正方面,由于工作模式的差异,前台校正技术无法对连续对误差进行校正和消除,但是其测量到模数转换器的误差相比后台校准技术更容易,而后台校正技术则可以对误差变化进行连续的跟踪、检测和校正,自适应能力强。Dither 技术本质上讲就是一种数字校正技术。

随着现代通信系统对模数转换器的小信号线性度,即无杂散动态范围的要求日益提高,应用 dither 技术提高转换器的 SFDR,降低对接收机产生干扰的杂散分量,从而提高通信系统性能成为一种比较常见的校正方法。因此本文将宽带 dither 技术

应用于当前主流的模数转换器结构，流水线 ADC 中，研究其对 ADC SFDR 性能的改善情况。

1.2 Dither 技术发展历史及其发展现状

Dither 技术的起源最早可以追溯于 1943 年，应用于机械领域中，在机械导航系统中引入 dither，降低了零件之间咬死的概率，以保证齿轮顺畅的运行。在 1951 年，Goodall 将 dither 技术应用于数字图像显示领域中，有效降低了轮廓效应^[10]。在此之后，Robert 首次提出将 dither 引入转换器的输入端，然后在输出端减去与 dither 相应的大小的数字码，即最早的加减型 dither 技术^[11]。此外他还提出了在输入信号中加入 dither 信号可以降低甚至消除输出信号与量化噪声之间的相关性。到 20 世纪 60 年代早期，Widrow 提出当输入信号与 dither 信号统计独立时，能量的消耗可以达到最小。而 dither 信号与输入信号统计独立的条件则是 Schuchman 研究提出的：dither 信号的幅度与模数转换器的量化步长相等且服从均匀分布^[12]。

Jayant 和 Rabiner 在音频信号和数字语音的应用下研究了 dither 信号^[13]，提出：dither 信号能够提高数字音频质量的条件为，只需音频信号的量化精度小于 5-bit 的同时引入的 dither 信号为伪随机噪声信号。Blessner 提出了 dither 信号幅度较小的情况下，则不需要在输出端减去相应的 dither 信号。

1987 年，窄带 dither 首次被 Locanthi 和 Blessner 提出，所谓窄带 dither 即为在将加入的 dither 信号的带宽控制在目标频带以外，目标频带的位置通常包括 DC 和奈奎斯特区，然后在转换器的输出端接数字滤波器滤除噪声即可^[14]。Locanthi 和 Blessner 对窄带 dither 研究后发现：在模数转换器中引入的窄带 dither 的幅度为 4~5LSB 时，对转换器小信号线性度的改善性能大致与宽带 dither 相同。20 世纪 90 年代后，Robert A. wannamaker、M.Goff 等人对模数转换器中引入 dither 信号进行了详细的研究后，使得 dither 技术广泛应用于 ADC 中，有效提高了模数转换器的 SFDR 性能^[15]。

近年来，随着通信系统飞速发展，对转换器的小信号线性度的要求越来越高，作为提高小信号线性度性能的有效校正方法，dither 技术逐渐成为 ADC 研究中的热点，多篇相关论文发布在相关期刊和会议上，相关专业申请数量也逐渐提高^{[16][17]}。在工业界，全球多家著名的模数混合信号处理公司，如，ADI，TI 和国家半导体等，重点研究应用 dither 技术提高 ADC 性能^[18]。在国内，由于集成电路起步较晚，ADC

的工艺技术相较国外比较落后，目前 dither 技术在 ADC 中的研究相比国外较少，近几年中，电子科技大学，复旦大学和上海交通大学等高校和展讯等公司开始进行研究，但是还存在较大研究空间^{[19][20]}。

1.3 论文主要创新点及结构安排

1.3.1 论文主要创新点

国内对 dither 技术的研究，尤其是高校对 dither 技术应用于流水线模数转换器的研究，主要集中于基于 MATLAB 平台，对其进行模型的搭建及仿真，基于晶体管级电路的研究较少。本文首先基于 cadence 平台，对一款目标流水线 ADC 进行了理想的电路仿真验证，得出宽带 dither 技术能有效改善由于比较器失调和电容失配造成的 SFDR 性能的降低的结论。基于上述仿真结果，对将 dither 信号引入流水线 ADC 的电路进行设计，并对其整体进行仿真，在此基础上，设计了整体电路的版图，并进行相应的后仿真。

1.3.2 论文结构及安排

本文主要研究宽带 dither 技术对流水线模数转换器的 SFDR 性能的改善情况，并将宽带 dither 技术结合一款采用 TSMC 90nm 工艺设计的 12-bit 100MS/s 的流水线模数转换器进行电路设计，本文的组织结构如下：

第一章简要概述了模数转换器的发展趋势，明确数字校正技术对提高其性能指标的重要性，阐述了 dither 技术作为一种数字校正技术对模数转换器性能的改善情况及其研究意义。

第二章给出了模数转换的基本理论，明确了模数转换器的性能指标，包括静态参数和动态参数，以及两者之间的相互影响，最后给出了目前常见的几种模数转换器结构各自的工作原理、特性和相适应的工作场合。

第三章详细介绍了流水线 ADC 的组成电路模块，应用到的数字冗余校正技术原理，和电路设计过程中存在的非理想因素对整体流水线 ADC 转换特性的影响，最后根据前述的原理对本文的模数转换器的系统结构进行了选取。

第四章主要讨论了 dither 技术的原理，以及 dither 技术对 ADC 小信号线性度的提高，将 dither 信号以理想的方式加入到流水线 ADC 电路中，验证 dither 技术对流

水线 ADC 中电容失配和比较器失调造成的 SFDR 性能降低的改善情况，并给出了仿真结果。

第五章在第四章理想电路仿真的基础上，设计 dither 信号的产生电路，即 PN 序列发生器，dither 技术加入 ADC 的电路，包括 MDAC 和子 ADC 电路，并对电路进行了整体仿真，最后讨论了在版图设计中的考虑，给出了电路的整体版图结构图及后仿真结果图。

第六章总结本文所做的工作，列出了因各种原因本文中对 dither 技术研究中未尽的工作，并对未来 dither 技术的发展进行了展望。

第 2 章 模数转换器概述

前文所述，模数转换器是电路系统中具有举足轻重的电路单元结构。本章概括 ADC 中用到的量化理论，给出本文中涉及到的模数转换器的性能指标，将当前常见的几种 ADC 结构及其特性进行介绍并比较。

2.1 模数转换理论

模数转换器（Analog to Digital Converters, ADC）是一种模拟信号与数字信号之间的单向转换电路单元。由于不可能将连续不断的模拟信号转换成相应的数字量化编码，所以 ADC 本质上是一个数据采样编码电路。图 2.1 是其基本的结构框示意图。

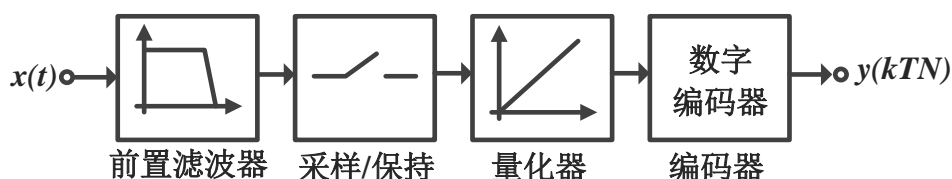


图 2.1 模数转换器整体框架示意图

根据香农采样定理，对模拟信号采样表现在频域上为信号频谱的搬移，为保证频谱搬移过程中不出现混叠，最终通过采样信号可以恢复出采样前的信号，转换器的采样频率必须大于输入信号最大带宽的两倍。因此，在采样/保持电路的前端采用被称为抗混叠滤波器的前置滤波器，以避免输入信号的高频部分在 ADC 基带信号中引起的混叠。通常前置滤波器一般由片外提供或者通过模数转换器自身有限的带宽来实现。前置滤波器后接采样保持电路，采样相时，其对随着输入变化的模拟信号进行采样，将其转换为离散信号；在保持相，采保电路将前一时刻的采样结果保持一定的时间，作为下一级量化器电路的输入。

量化器对采样后的离散信号进行量化后，由最后一级数字编码器进行编码，最终输出对应于输入模拟信号的二进制编码形式的数字信号值。常见的编码方式还有格雷码、温度计码以及二进制补码等。其中应用最广泛的是二进制码。图 2.2 给出了一个理想 3-bit ADC 的输入输出特性曲线。其中横坐标是 ADC 的模拟输入信号，纵坐标为 ADC 的数字输出信号。

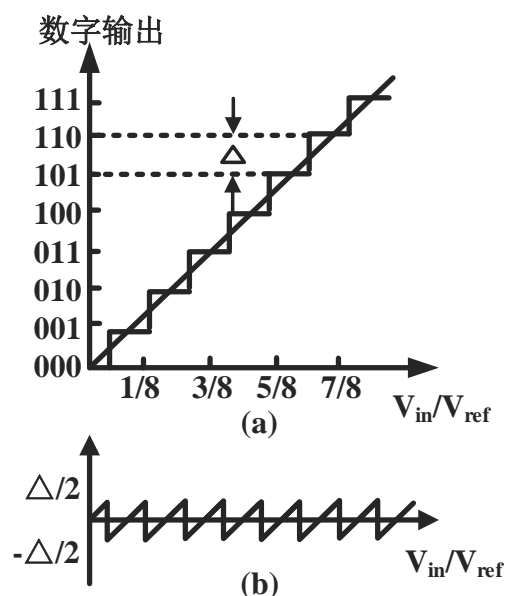


图 2.2 3-bit ADC 输入输出特性曲线

2.2 模数转换器的性能指标

ADC 的性能指标通过静态特性和动态特性两种类型的指标来表征。模数转换器的静态特性是基于输入-输出特性的,通常用来衡量模拟输入为直流信号或者低频信号时,模数转换器的输出特性曲线与理想量化器传输特性曲线之间的差,静态参数指标与输入信号和时间无关,仅由模数转换器本身决定。而动态参数则被用来衡量模拟输入信号为高频信号时,ADC 对信号进行采样与转换后的频谱特性,相比于静态参数,同一个模数转换器不同的模拟输入信号会得到不同的动态性能指标。本文研究 *dither* 技术对模数转换器性能指标的改善,主要体现在 *dither* 技术对模数转换器的动态指标无杂散动态范围的提高方面。

2.2.1 静态参数

1. 分辨率

分辨率 (Resolution) 是指模拟输入信号变化的最小模拟量时,ADC 的数字输出端进行相应的变化。对于一个 N -bit 的 ADC,当输入信号为满摆幅 V_{FS} 时,模数转换器的数字输出端跳变的最小输入电压为 $V_{FS} / 2^N$ 。分辨率相当于模数转换器的数字输出每跳变一个码字对应的模拟输入变化的值。显然地,在输入电压一定时, N 越

大，其所能分辨的最小输入电压的区间越小，ADC 的量化误差也越小，因此转换结果也更精确。

2. 失调误差与增益误差

失调误差（Offset Error），又称为偏置误差，是指输出编码从最小的码字跳变到次低码字时，实际模拟输入值与理想模拟输入值之间的偏差，如图 2.3 所示。而增益误差（Gain Error）是如图 2.4 所示。表现为模数转换器的输出值等于其理想输出值乘以一个增益因子，可以用传输曲线平移消除失调误差后，实际输入输出曲线中平均的量化台阶数与理想的差来表示。

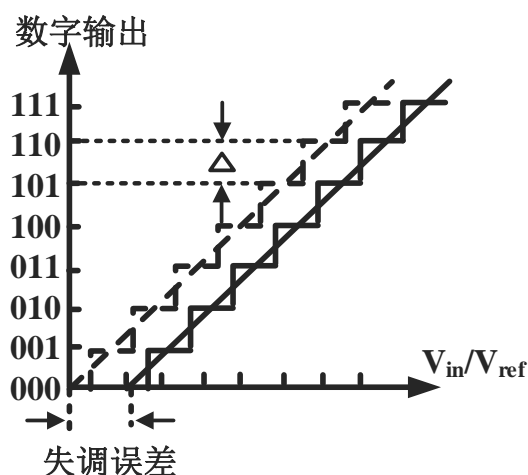


图 2.3 失调误差特性曲线

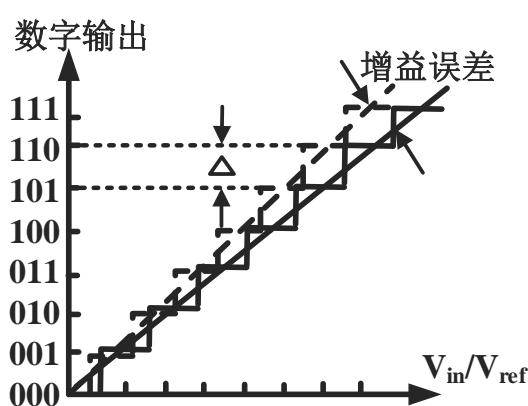


图 2.4 增益误差特性曲线

3. 微分非线性

微分非线性（Differential Nonlinearity, DNL）是指模数转换器的传输特性曲线

上，每个码字的实际码字步长与理想步长之差 1LSB 的最大值。ADC 的 DNL 可以用式 2.1 表示：

$$DNL_i = \frac{\Delta V_i}{LSB} - 1 \quad (2.1)$$

其中， DNL_i 表示第 i 个码字的微分非线性误差， ΔV_i 表示第 i 个码字的实际码字步长。从上式得出，如果 ADC 的 $|DNL| > 1LSB$ ，则 ADC 会出现输出编码丢失且当前码字的 DNL 值仅与当前时刻码字的步长有关。模数转换器的 DNL 如图 2.5 所示。

4. 积分非线性

积分非线性（Integral Nonlinearity, INL）与微分非线性均表征模数转换器的重要静态特性，其大小与 ADC 的线性度有关。INL 是指实际传输曲线与理想传输曲线台阶之间的差值，是 DNL 误差积累的效果，INL 可以用式 2.2 表示：

$$INL_j = \sum_{i=1}^j DNL_i \quad (2.2)$$

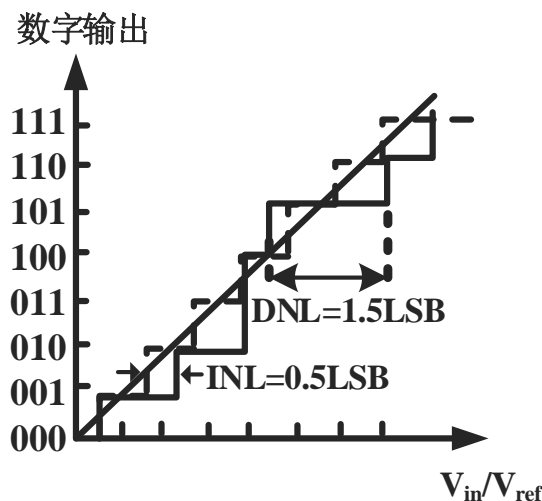


图 2.5 模数转换器的 INL 和 DNL

因此 INL 不仅与当前时刻码字宽度有关，还与该时刻之前的传输特性曲线有关，如图 2.5 所示。

2.2.2 动态参数

模数转换器的动态参数是指将模数转换器的数字输出通过 FFT 变换，在频域中

测量出的性能指标，一般采用单频的正弦信号作为模拟输入信号，是用来衡量模数转换器噪声和失真情况的指标。ADC 的动态性能指标一般包括信噪比、无杂散动态范围、总谐波失真、信号与噪声谐波比和有效位数等等。应用于通讯、导航等领域的模数转换器对其在频域的性能有较高的要求。如图 2.6 所示为一个 ADC 的数字输出经过 FFT 变换后的频谱示意图，图中标示了 ADC 的多个动态性能的指标。

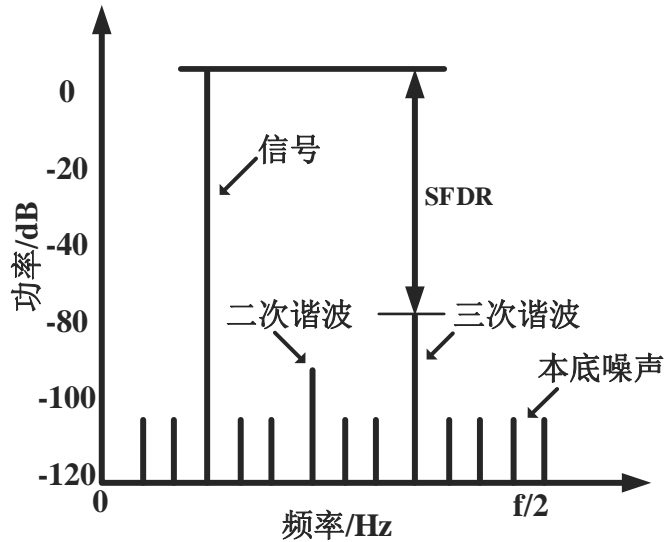


图 2.6 模数转换器的输出信号频谱示意图

1. 信噪比

信噪比（Signal-to-Noise Ratio, SNR）是指信号通过模数转换器后，在输出端依然存在的信号能量（Signal Power）与所有的噪声能量（Total Noise Power），包括量化噪声、热噪声等的比值，通常用 dB 表示，表达式为：

$$SNR = 10\log\left(\frac{\text{Signal Power}}{\text{Total Noise Power}}\right) \quad (2.3)$$

对于理想模数转换器来讲，主要的误差均来自量化误差，当仅考虑量化误差时，其信噪比为：

$$SNR = 10\log\left(\frac{(V_{FS}/2)^2/2}{\Delta^2/12}\right) = 10\log\left(\frac{(2^N \cdot \Delta/2)^2/2}{\Delta^2/12}\right) = 6.02N + 1.763 \quad (2.4)$$

其中，N 为模数转换器的分辨率。

2. 无杂散动态范围

无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 是指基频信号能量 (Signal Power) 与奈奎斯特频带内最大杂波成分能量 (Largest Spurious Component) 的比值, 即信号能量与能量最高的高次谐波之比, 通常用 dBc 表示, 是表明模数转换器线性度的重要参数, 是应用在通讯系统中的模数转换器重点关注参数, 其表达式为:

$$SFDR = 10\log\left(\frac{\text{Signal Power}}{\text{Largest Spurious Component}}\right) \quad (2.5)$$

3. 总谐波失真

总谐波失真 (Total Harmonic Distortion, THD) 是指在模数转换器的输出端, 信号能量 (Signal Power) 与总谐波能量 (Total Harmonic Distortion Power) 的比值, 通常用 dB 表示:

$$THD = 10\log\left(\frac{\text{Signal Power}}{\text{Total Harmonic Distortion Power}}\right) \quad (2.6)$$

4. 信号与噪声谐波比

信号与噪声谐波比 (Signal-to-Noise-and-Distortion-Ratio, SNDR) 是指输出信号能量 (Signal Power) 与总噪声能量 (Total Noise Power) 和谐波能量 (Harmonic Distortion Power) 之和的比值, 通常用 dB 表示:

$$SNDR = 10\log\left(\frac{\text{Signal Power}}{\text{Noise Power} + \text{Distortion Power}}\right) \quad (2.7)$$

5. 有效位数

有效位数 (Effective Number of Bits, ENOB) 是指在给定的模拟输入和特定的采样频率下, 模数转换器的输出信号实际能达到的转换位数, 通常以此衡量模数转换器的实际转换精度, 有效位数的表达式为:

$$ENOB = \frac{SNDR - 1.76dB}{6.02dB} \quad (2.8)$$

2.2.3 静态线性度参数对动态参数的影响

由前文所述,传统的评估模数转换器静态线性度的指标包括 INL 和 DNL,然而,在通讯系统的应用中,静态线性度对系统的动态参数也有较大的影响。假设所考虑的模数转换器在满幅度处具有较差的 DNL,为 $+1.5\text{LSB}$,虽然 DNL 数值较大,但是由于在接收机的应用中,满摆幅附近的代码出现的概率较低,因此其对模数转换器线性度的影响非常小;而如果在模数转换器中间电平处存在 $+0.5\text{LSB}$ 的 DNL 误差,而在实际应用中,该码字有较大的概率重复出现,这对模数转换器的性能影响是严重的。因此,数据转换器的静态传输函数一定程度上影响其动态性能。

2.3 模数转换器的结构分类及其性能比较

模数转换器自产生以来经历了长足的发展,为适应不同领域性能的要求,出现了很多不同结构的模数转换器。主要的有全并行(Flash)、逐次逼近型(SAR)、 $\Sigma\Delta$ 型、分级比较型(Sub-ranging)和流水线型(pipelined)等。

2.3.1 全并行模数转换器

全并行模数转换器(Flash ADC)^{[21][22][23]},是最早出现的 ADC 结构,也是速度最快的 ADC。全并行模数转换器无论转换精度是多少位,均在一个时钟周期内完成转换,典型的全并行模数转换器结构如图 2.7 所示。

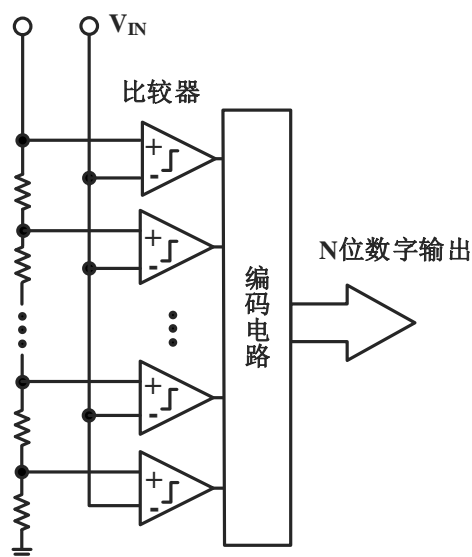


图 2.7 全并行模数转换器

以一个 N-bit 的全并行 ADC 为例,由上图可得,电阻分压网络将参考电压划分

为 2^N 个区间，得到 2^N-1 个参考电平，将这些参考电平与输入模拟信号的值同时进行比较，得出温度计码，在电路应用中，二进制码应用比较广泛，因此最终编码电路将温度计码转换为二进制编码的形式输出电路。

由于全并行 ADC 电路中的比较器是并行工作，因此转换速度仅受采样电路和比较器电路速度的限制，因此转换速度很快。但是 Flash ADC 所需要的比较器个数随着转换精度 N 的增长而呈指数式增长，对于 N -bit 的转换器，需要的比较器数目为 2^N-1 个。因此高精度的 Flash ADC 需要较大的面积和较高的功耗。而随着转换器精度的提升，对比较器失调误差的要求也越来越高，设计难度较高。因此全并行模转换器通常用于高速低精度的系统中，转换精度一般不超过 8-bit，转换速度在 GHz 以上。

2.3.2 逐次逼近式模数转换器

逐次逼近式 (Successive Approximation Register, SAR) [24][25] 是二分查找算法在电路中的应用，每次将输入信号与剩余精度的一半进行比较，判断大小后，决定当前输出位的值，是一种用输出电平通过 DAC 转换成的模拟电平去近似输入信号的模数转换器。如图 2.8 所示，一个典型的 3-bit 逐次逼近式 ADC 包括采样保持电路 (S/H)、DAC、子 ADC 和 DAC 的数字控制逻辑电路。

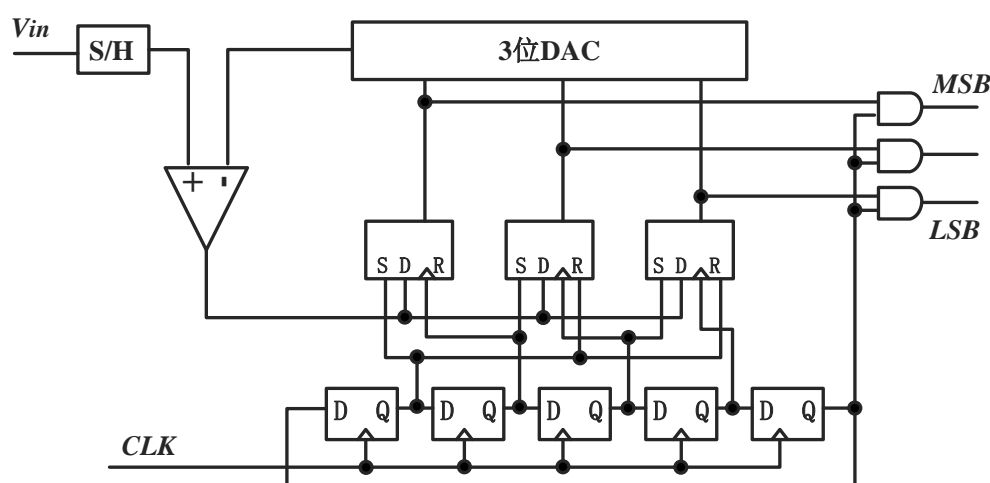


图 2.8 3-bit SAR ADC 结构框图

工作原理描述如下：首先确定模数转换器的最高位的值，输入采样保持电路对输入信号进行采样的同时，ADC 最高位的寄存器被置位为 1，DAC 模块将此数字码

转换为对应的模拟信号，即 $0.5V_{ref}$ 。此时，比较器进行工作，将输入信号与 $0.5V_{ref}$ 信号进行比较，若比较器输出结果为正，则将最高输出位置为 1，否则，置为 0。此时完成第一次比较。在下一个时钟周期，接着进行第二次上述操作，确定次高位的输出值。在时钟的控制下，重复上述操作，在经过 N 个时钟周期后，得到全部的数字输出， N 为转换器的转换精度。

由上述讨论可得，逐次逼近式 ADC 的硬件利用效率非常高，与全并行式 ADC 相比，仅需要一个比较器，其余均为电容、开关等无源器件，且不需要运放，这大大减小了功耗和面积。但是 N -bit 的 ADC 需要 N 个时钟周期才能将模拟信号转换为最终的数字码，因此高精度与高速很难同时实现。

2.3.3 Σ - Δ 型模数转换器

Σ - Δ 型模数转换器^{[26][27][28]}是前文提到的典型的过采样型模数转换器，使用噪声调制技术，将有用信号频带内的噪声调制到其他频带处，使得模数转换器关心频带内噪声能量更低。这种 ADC 通常由一个模拟 Σ - Δ 调制器、数字低通滤波以及抽取滤波器组成，其中 Σ - Δ 调制器由量化器和积分器组成，图 2.9 为典型一阶 Σ - Δ 调制器原理图：

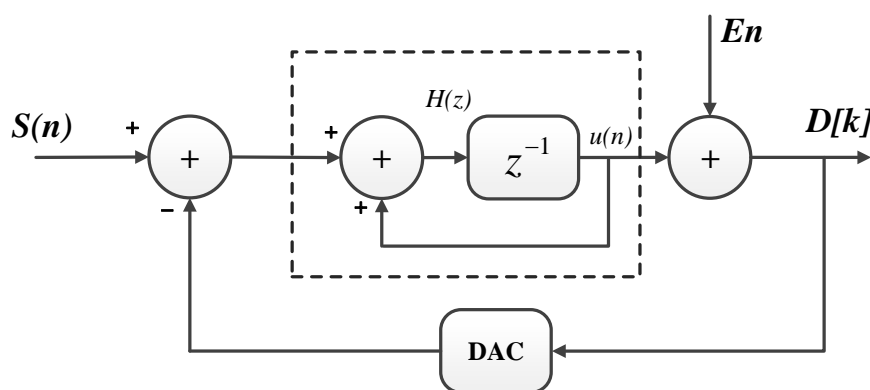


图 2.9 一阶 Σ - Δ 模数转换器

由上图可得，信号和噪声的传递函数为：

$$H_s(z) = \frac{D(z)}{S(z)} = \frac{\frac{z^{-1}}{1-z^{-1}}}{1 + \frac{z^{-1}}{1-z^{-1}}} = z^{-1} \quad (2.9)$$

$$H_s(z) = \frac{D(z)}{E(z)} = \frac{1}{1 + \frac{z^{-1}}{1 - z^{-1}}} = 1 - z^{-1} \quad (2.10)$$

可以得出信号的传输函数为低通特性，而噪声的传输函数为高通特性，因此噪声得到调制，低频噪声通过模数转换器会被滤除。因此，当信号频带处于低频处时，能够得到较高的带内信噪比。但是信号带宽由于受到采样速率的限制，一般比较窄，因此多应用于低速高精度的场合。

2.3.4 分级比较式模数转换器

分级比较式（Sub-ranging）模数转换器^{[29][30]}是在一个时钟周期内，前级对输入模拟信号量化，并将前级的量化误差提供给后级进行后续量化。这种方式本质是以转换时间的延长为代价，以获得较高的转换精度。图 2.10 中是典型的两级 ADC 的结构示意图。

由图中看出，每一级均由一个粗量化器对当前级信号进行精度较低的量化，在将量化后的数字码通过 DAC 转换为模拟信号，将输入信号与模拟信号相减后的量化误差作为下一级细量化器的输入信号。最终的输出结构由各级量化结构相加得到。由于后级的量化误差幅度越来越小，过多的级数将导致后级比较器阈值失调大于其输入幅度，造成误码。分级比较式模数转换器的量化速度随着量化级数的增大而减小，且模数转换器的精度受限于比较器阈值的失调。它的优点是具有较小的硬件与功耗开销，因此适用于对速度和精度要求不高，需要减小功耗和节省成本的场合。

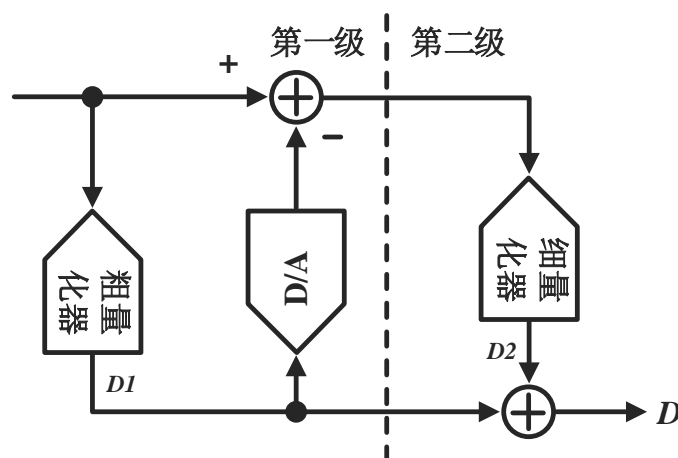


图 2.10 两级 ADC 结构示意图

2.3.5 流水线模数转换器

流水线模数转换器由分级比较式模数转换器发展而来，为达到在减少比较器数量的同时，降低比较器阈值失调电压的要求，增加转换级数，将每一级量化误差放大后作为下一级电路的输入信号，减小每级转换的精度^{[31][32][33][34]}。其基本结构如图 2.11 所示。

图 2.11 中所示的流水线 ADC 是通过将多比特的模数转换器拆分为几个精度较低的子流水级级联组成，流水线模数转换器与分级比较式转换器的区别在于，其每一子级中均有采样保持的电路和放大器，子流水级间可以并行工作。而由于级间增益的存在，流水线 ADC 每一级处理的信号具有相同的输入幅度范围且信号的精度是逐级递减的，而由于分级比较式转换器没有级间增益，因此粗量化和细量化应处理相同精度的信号，这对细量化器中比较器的精度要求较高，而流水线 ADC 则不存在类似的问题。

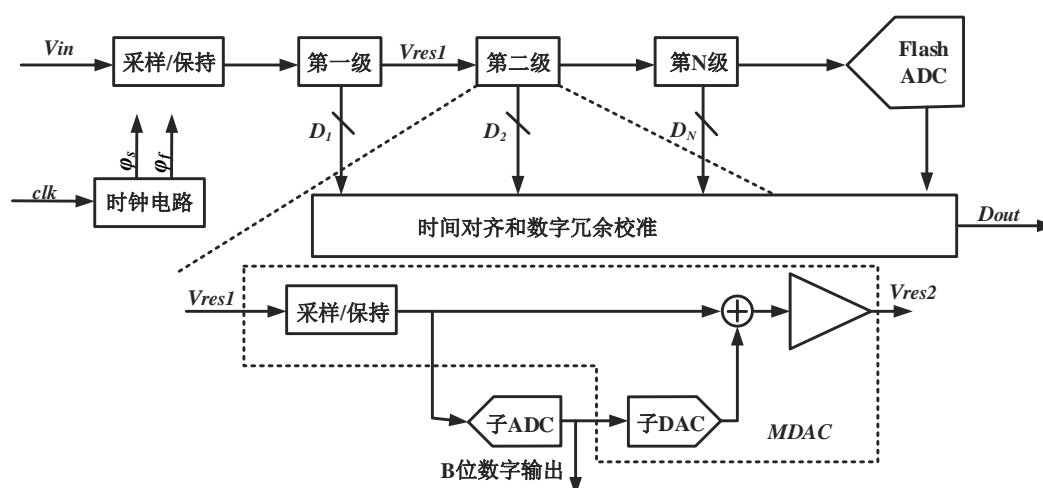


图 2.11 流水线模数转换器结构示意图

由于流水线 ADC 由多个流水级级联而成，对于 N 级流水级的流水线模数转换器，需要 N 个运放电路，相比于 SAR ADC，设计所需的功耗和面积也大幅度增加，但是相比于 flash ADC，流水线模数转换器每级精度的要求减小，比较器所需数目大幅减小，这也降低了 ADC 的面积和功耗。因此，流水线 ADC 能够同时实现高转换率和高转换精度，广泛应用于基带信号接收机、通讯系统、导航等领域。

2.3.6 模数转换器性能比较

不同结构的模数转换器具有不同的特点，表 2.1 中给出了上述几种模数转换器结构在转换速度、功耗、转换精度和限制因子等方面的比较情况。

表 2.1 模数转换器性能比较

结构	转换速度	转换精度	功耗	限制因子
全并行式	高	低	中	失调
逐次逼近式	低	中	低	失配
$\Sigma\text{-}\Delta$ 型	低	高	低	噪声
分级比较式	中	中	中	失调
流水线型	中	中	高	噪声、放大器

从表 2.1 中可以看出，全并行式模数转换器在上述几种转换器中的转换速度最快，但是硬件开销随着精度的增长指数增长，因此，要求低精度，高速度时通常采用全并行比较器。而逐次逼近式和 $\Sigma\text{-}\Delta$ 型模数转换器具有较高的转换精度和较低的转换速度。流水线型模数转换器采用流水作业的结构，在具有高速度的同时，又能兼顾精度和面积等，因此对流水线 ADC 进行深入研究具有现实意义。本文主要讨论宽带 dither 技术在引入流水线 ADC 中后，将其在输出端减去后对其无杂散动态范围改善的情况。

2.4 本章小结

本章首先给出了模数转换的基本理论，明确了模数转换器的性能指标，包括静态参数和动态参数，以及两者之间的相互影响，最后给出了目前常见的几种模数转换器结构各自的工作原理、特性和相适应的工作场合。

第3章 流水线模数转换器与非理想因素分析

流水线模数转换器的每一级流水级中均有采样保持电路，使得转换器中每一级流水级在每一个时钟周期内同时工作，这样本该串行工作的转换器，相对于当前信号为串行工作，相对于不同的信号为并行流水式工作，在高精度的同时也实现了高速转换过程。下面将详细介绍流水线模数转换器，并且探讨实际电路中非理想因素对转换器的影响。

3.1 流水线模数转换器的系统结构

流水线模数转换器的工作过程在上文进行了粗略的描述，本节将对流水线 ADC 的转换原理进行详细的讨论。

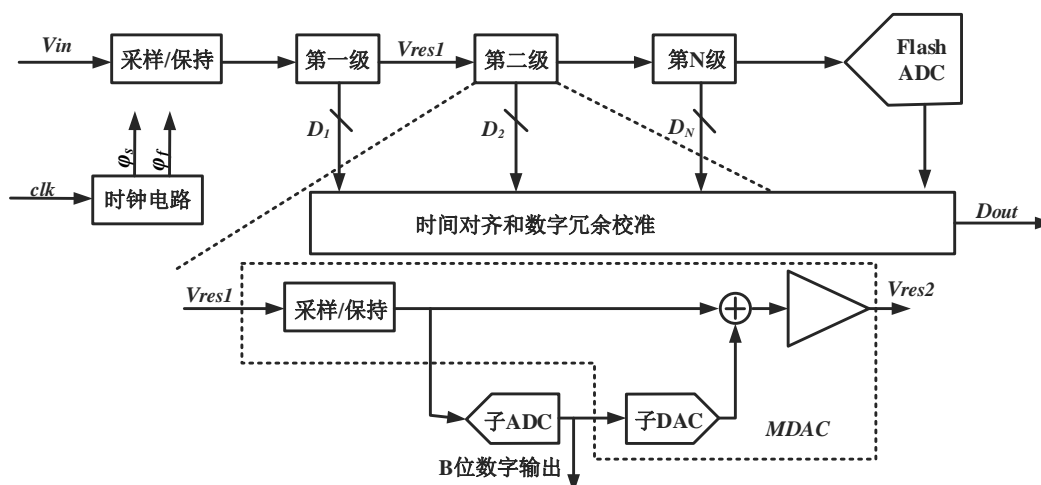


图 3.1 流水线模数转换器结构示意图

这里将图 2.11 重新给出，如图 3.1 所示。流水线 ADC 由采样保持电路、时钟产生电路、子流水级、Flash ADC、时间对齐和数字冗余校准电路构成。每一级子流水级的分辨率 $B_i + r_i$ 由有效位数 B_i 和冗余位 r_i 构成，对于最后一级而言，由于不需要将残差输入下一级，因此采用 flash ADC，不采用冗余位。因此得到转换器的总分辨率为：

$$R = \sum_{i=1}^N B_i + B_{N+1} \quad (3.1)$$

其中, R 为 ADC 的总精度, B_{N+1} 为最后一级 flash ADC 的精度。

由图 3.1 可知, 每一流水级由子模数转换器 (Sub-ADC) 和 MDAC 逻辑单元组成。其中的 MDAC 均包括采样保持电路、DAC 模块、减法和余量增益放大电路。流水线 ADC 的工作过程主要包括两个状态, 即采样相和保持相。在采样相时, 输入信号首先对采样电容进行充电, 在时钟控制下的开关断开的一瞬间, 电容上保持的电荷量对应的电压即为采样值; 在保持相, 通过对开关的控制将一部分电容翻转到运算放大器的输出端, 进行保持, 与此同时, 比较器将采样相的输出结果进行比较, 得到数字输出码, 一路将码字输出, 另一路通过组合逻辑电路控制模拟信号的值, 使翻转到运放输出端的电压为输入信号减去 DAC 输出模拟值的电压, 即余量信号的级间增益倍, 为保证每一级流水线信号幅度和参考电压一致, 级间放大倍数一般为:

$$G_i = 2^{B_i} \quad (3.2)$$

流水线模数转换器由各流水级级联而成, 对于某一个时刻的模拟输入, 由于后级流水级只有得到前级流水级的输出后才能在时钟控制下对当前输入进行量化, 因此流水线 ADC 的输出是逐级延迟的。因此需要在 ADC 整体结构中加入延迟对准模块, 使得数字校准模块得到的数字码为相同的输入值产生的, 将对齐后的输出送入数字冗余校准模块, 使各级输出的数字码校正为 R -bit 的标准二进制码输出。

流水线结构的主要特点在于: 第一, 流水线各流水级均有采样保持单元, 因此, 在时钟的控制下, 各级电路同时工作, 有效提高转换速度; 第二, 随着转换器精度的提高, 只需要级联更多的转换级, 因此芯片的面积和功耗的增加与精度提高之间是限定关系, 与 flash 等全并行结构相比, 在 8-bit 以上的转换器中减小了芯片面积和功耗; 第三, 由于采用采样保持结构, 能够精确地对高速信号采样。由于级间增益大于 1, 因此后级的非理想效应等效到输入端需要除以前级的增益, 得到一定的衰减。因此, 相对于其他高速结构, 更容易实现高分辨率。

3.2 数字校正电路算法

上文讨论了流水线模数转换器的工作原理, 本小节将讨论数字冗余校正算法的原理。图 3.2 给出了理想每级 2-bit 输入输出曲线图。从图中可以看出, 由于流水线模数转换器级间增益的存在, 对于每一级输入信号, 模拟输出残差信号的范围均为

$-V_{\text{ref}} \sim V_{\text{ref}}$ 。这样后级的每一流水级处理的信号范围均相同。但是，这种结构也会引入一些弊端。在实际电路设计中，由于非理想因素，如电容失配，比较器失配，运算放大器的有限增益误差等的存在，任何一点微小的误差，均可能使模拟残差信号超出下一级电路的转换范围，如图 3.3 所示。

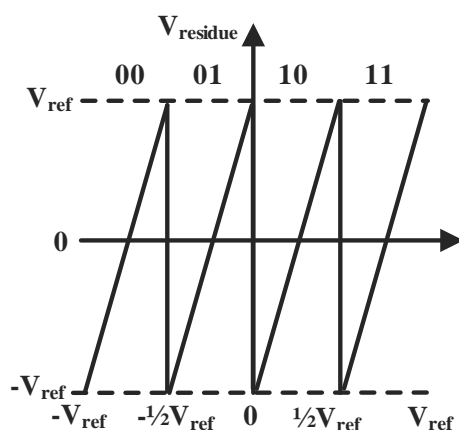


图 3.2 理想的每级 2-bit 输入输出曲线

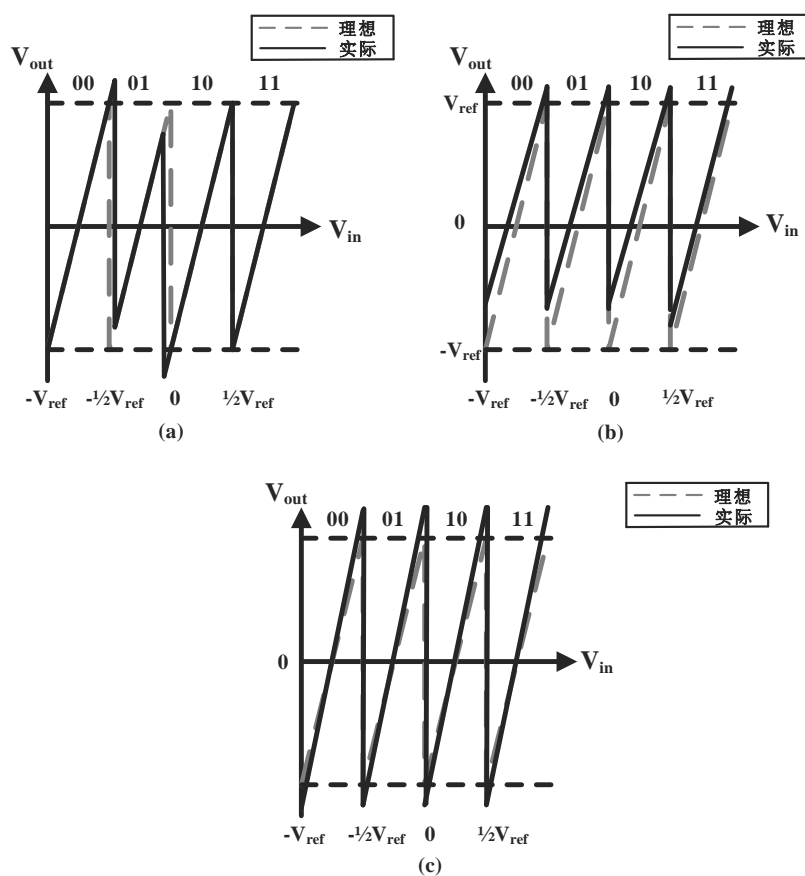


图 3.3 非理想因素影响下 2-bit 输入输出曲线

为了避免这种现象的出现，目前流水线模数转换器普遍采用数字冗余编码技术

^[35]。在这种技术中，将放大器的增益减小一半，将 2-bit 流水级中的一位设计为冗余位，即 1.5-bit 流水级，这种方法可以避免残差信号超出下一流水级的转换范围，减小了对子流水级中比较器失调电压的要求，从而降低了设计难度。冗余校正后 1.5-bit 流水线的传输特性曲线如图 3.4 所示。从图中可以得出采用冗余位后的传输表达式为：

$$V_o = \begin{cases} 2V_{in} - V_{ref} & +\frac{1}{4}V_{ref} < V_{in} < V_{ref} & d = 10 \\ 2V_{in} & -\frac{1}{4}V_{ref} < V_{in} < +\frac{1}{4}V_{ref} & d = 01 \\ 2V_{in} + V_{ref} & -V_{ref} < V_{in} < -\frac{1}{4}V_{ref} & d = 00 \end{cases} \quad (3.3)$$

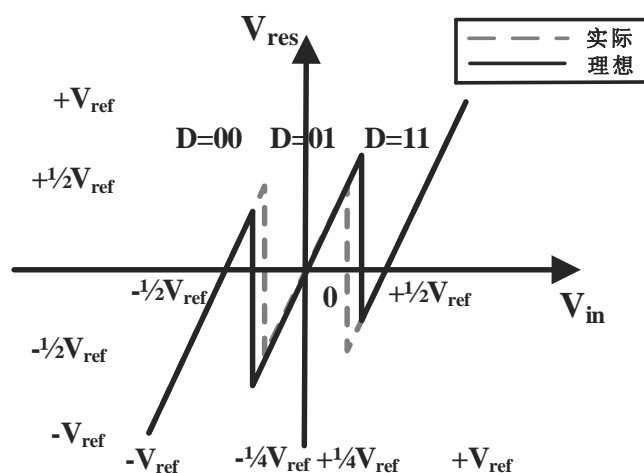


图 3.4 1.5bit 流水级传输特性曲线

图 3.4 中的虚线部分即为存在比较器失调的情况下流水线的传输特性曲线，可以得出只有当比较器阈值失调电压 $V_{offset} > |V_{ref}/4|$ 时，余量增益的输出才会超出 V_{ref} ，即下一流水级的量程，因此降低了子模数转换器中比较器的设计难度。

采用上述传输曲线，并不能获得全部量化信息，剩余的信息储存于下一级的残差信号中，必须将残差信号量化才能得到完整的数字编码。从图 3.4 得到，假设输出的码字为 01，在没有数字冗余校正的转换电路中，代表了完整的二进制码信息，而在有数字冗余校正的电路中，他的输出值既有可能为 $-1/4V_{ref}$ 到 0，对应二进制码中的 01，也有可能为 0 到 $+1/4V_{ref}$ ，在二进制码中对应的码字为 10，因此这并不是完整的信息，为得到二进制码，还需要在电路后级联 1-bit 的 Flash ADC 结构，通过与前级输出码字相加得到。在电路实现中，以上结构级联使用即可实现冗余校正。

基于流水线转换器各子级的输出不同步，因此需要经过相应的延迟后，进行错位相加操作，得到正确的二进制码输出，如图 3.5 所示。

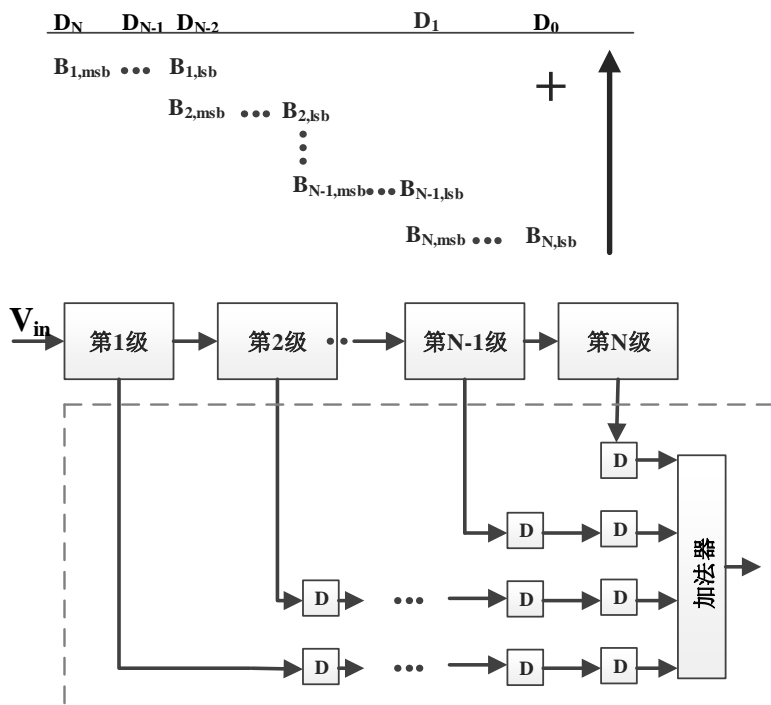


图 3.5 数字冗余校正过程

上述分析以每流水级 1.5-bit 为例，同样的分析适用于多比特每级结构。由上文的分析得到，当流水级的有效分辨率为 B -bit 时，该级流水级的数字冗余校正算法能够校正的比较器阈值失调电压范围为 $V_{ref}/2^B$ 。因此对于每级流水线结构来讲，分辨率越大，则比较器所能容忍的失调电压就越小，对比较器的设计要求就越高。图 3.6 是 2.5-bit 流水级的传输特性曲线。

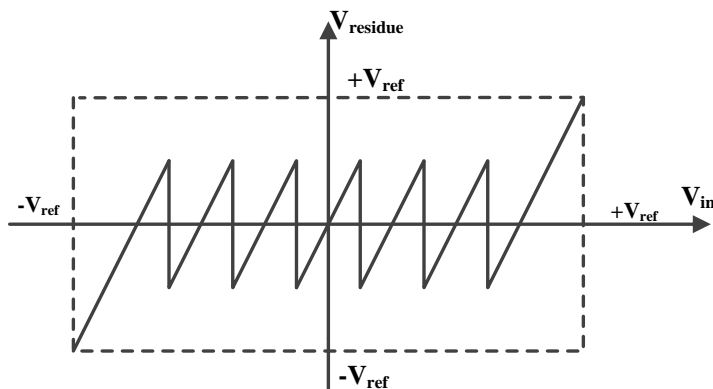


图 3.6 2.5-bit 流水级传输特性曲线

2.5-bit 流水级传输函数为:

$$V_o = \begin{cases} 4V_{in} - 3V_{ref} + \frac{5}{8}V_{ref} < V_{in} < V_{ref} & d = 110 \\ 4V_{in} - 2V_{ref} + \frac{3}{8}V_{ref} < V_{in} < +\frac{5}{8}V_{ref} & d = 101 \\ 4V_{in} - V_{ref} + \frac{1}{8}V_{ref} < V_{in} < \frac{3}{8}V_{ref} & d = 100 \\ 4V_{in} - \frac{1}{8}V_{ref} < V_{in} < \frac{1}{8}V_{ref} & d = 011 \\ 4V_{in} + V_{ref} - \frac{3}{8}V_{ref} < V_{in} < -\frac{1}{8}V_{ref} & d = 010 \\ 4V_{in} + 2V_{ref} - \frac{5}{8}V_{ref} < V_{in} < \frac{3}{8}V_{ref} & d = 001 \\ 4V_{in} + 3V_{ref} - V_{ref} < V_{in} < -\frac{5}{8}V_{ref} & d = 000 \end{cases} \quad (3.4)$$

3.3 非理想因素

流水线模数转换器的每一级流水级均由 Sub-ADC 和 MDAC 单元组成。典型的有效位数为 N-bit 的 MDAC 电路结构如图 3.7 所示。在实际电路应用中, MDAC 电路一般采用差分结构实现, 为简单起见, 图 3.7 中给出了其单端实现方式。图中 V_i 为 MDAC 的模拟输入信号, V_o 为 MDAC 的模拟输出信号, C_s 为采样电容, 开关 $S_1 \sim S_3$ 为控制 C_s 极板连接 $-V_{ref}$, 0, 或者 V_{ref} 的信号, 其值由 Sub-ADC 的输出提供, Φ_1 和 Φ_2 为两相不交叠时钟, Φ_{1p} 为提前关断时钟, 控制 MDAC 在采样相和放大相交替工作。

MDAC 的工作过程为: 在采样相, ϕ_1 和 ϕ_{1p} 为高电平, 在其控制下的开关打开, 采样电容 C_s 的上极板连接到地, 而下级板连接到模拟输入端进行采样, 这是由于下级板采样能有效减小衬底噪声, 而运放在采样模式下不工作。在保持相, 为保证采样结果精确, ϕ_{1p} 提前关断时钟首先变低, 此时采样电容上的电荷已经固定, 本质上已经对输入信号完成了采样。然后 ϕ_1 变成低电平, Φ_2 成为高电平, 此时 MDAC 构成了一个闭环反馈放大器, 增益的大小由每一级的精度决定。此时, 采样电容上的电荷转移到反馈电容上, 运放输出端输出的放大后的余量为:

$$V_{out} = 2^N \times V_{in} - D_i \times V_{ref} \quad (3.5)$$

其中 D_i 由 Sub-ADC 的输出值决定, 其值为 0 或者 ± 1 。

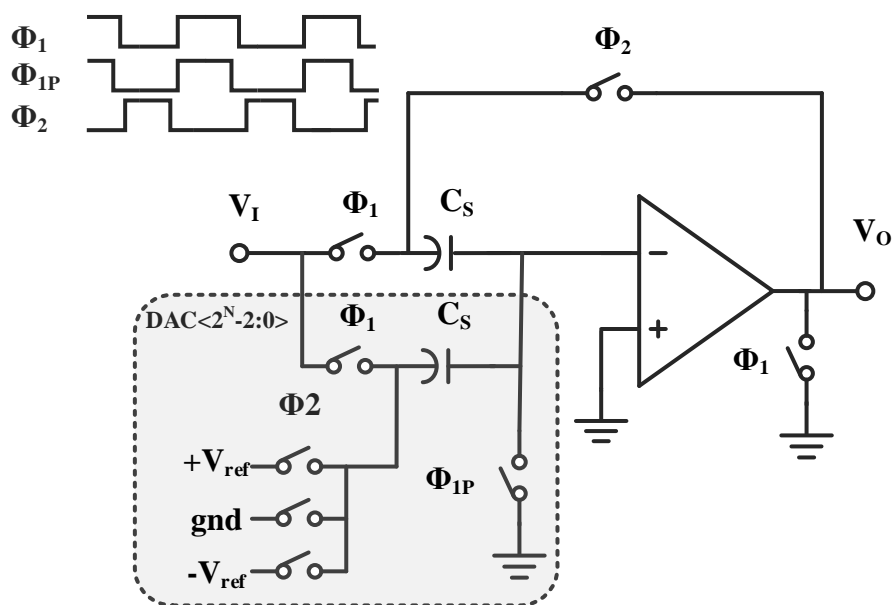


图 3.7 典型 MDAC 电路结构图

式 3.5 中给出了理想的子流水级的输出，但是由于实际电路中非理想因素的存在，如，开关非理想特性，运算放大器噪声，有限带宽等，均会影响子流水级的转换精度，下文将讨论非理想因素对电路的影响。

3.3.1 输入失调

在实际中，由于工艺中每一道工序的不确定性，MOS 管无法做到完全对称，器件的尺寸和阈值均存在失配，这会导致运算放大器失配和比较器失调。由于数字冗余校正技术的采用，比较器失调和运放失配对整体流水线 ADC 传输曲线的影响不完全相同。下文将分别分析这两种失配对传输曲线的影响。

1. 运放失调

运放失调通常等效为输入失调电压进行分析，图 3.8 为有失调电压的 MDAC 的结构示意图。

在不考虑其他非理想因素的情况下，将输入 $V_{in,i}$ 置 0，则

$$\left(\frac{C_f}{\sum_{j=1}^n C_{s,j} + C_f} V_{out,i} + V_{os} \right) A = -V_{out,i} \quad (3.6)$$

其中 C_f 为反馈电容， $C_{s,j}$ 为采样电容， V_{os} 为运放的输入失调电压。

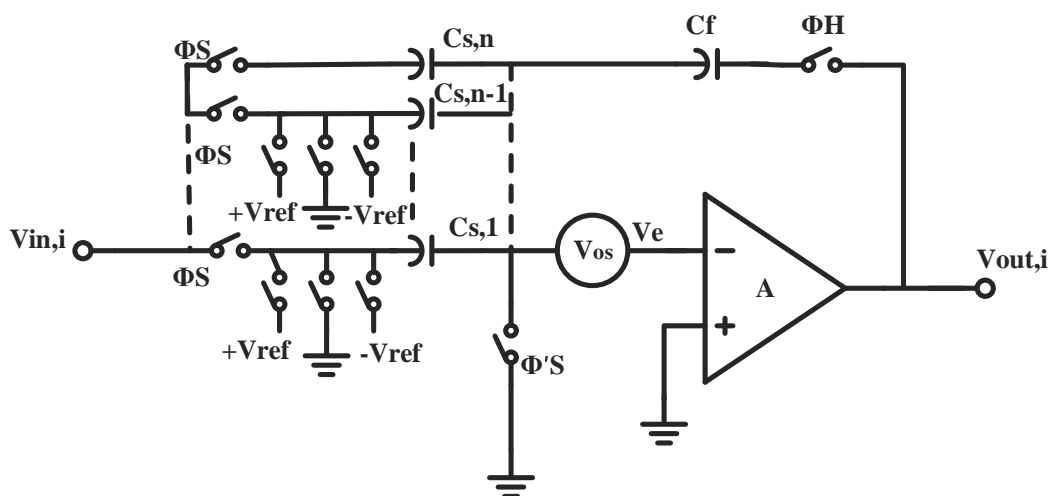


图 3.8 有失调电压的 MDAC 结构示意图

对式 (3.6) 进一步推导可以得到 MDAC 输出电压与运放输入失调电压之间的关系为:

$$V_{out,i} = -\frac{A}{A\beta + 1} V_{os} \quad (3.7)$$

其中 β 为反馈系数, 由于 $A\beta$ 远大于 1, 因此式 (3.7) 可以简化为

$$V_{out,i} = -\frac{1}{\beta} V_{os} \quad (3.8)$$

由上式可以得到, 运放的输入失调电压在 MDAC 的输出端产生一个固定的偏移量, 这种误差表现在传输曲线上即为固定的偏移。如图 3.9 所示。这种偏移可能导致当前级和后面流水级的超出量程范围。

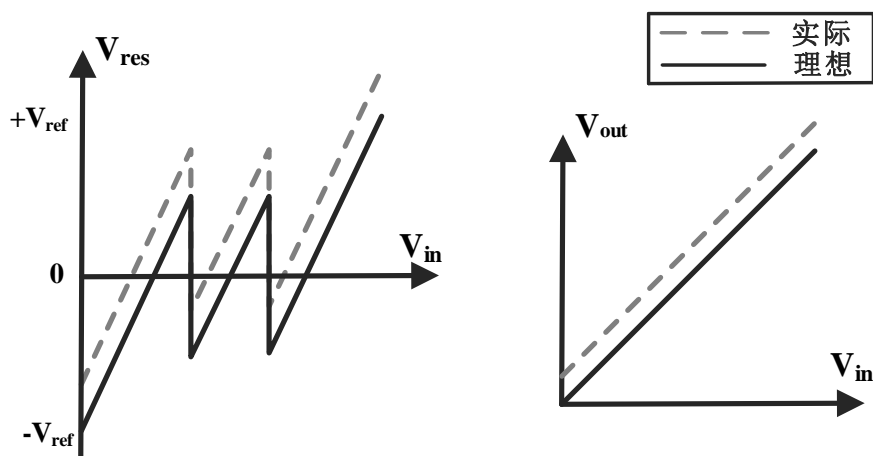


图 3.9 运放失调对传输曲线的影响

2. 比较器失调

工艺偏差造成比较器输入对管之间的不匹配,从而产生失调误差,这会使比较器判决电平值偏移。图 3.10 是比较器失调对传输曲线的影响。从图中看出当 1.5-bit 流水级的比较器失调超过 $\pm V_{ref}/4$ 时,整体 ADC 的传输曲线会出现宽码和窄码,甚至是失码^[36]。

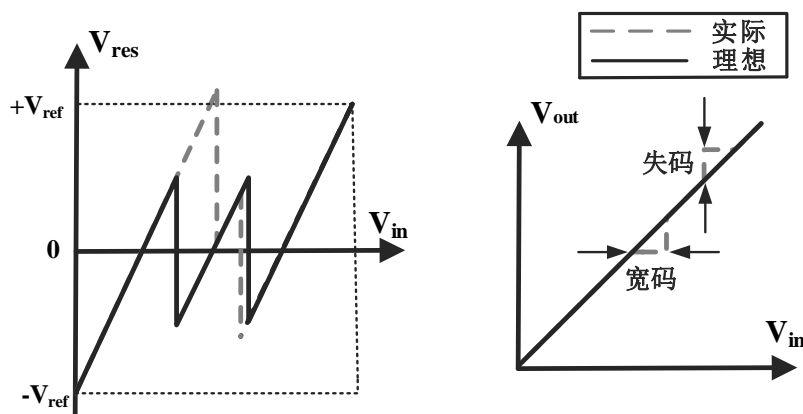


图 3.10 比较器失调对传输曲线的影响

3.3.2 电容失配误差

工艺制造过程中工序的不确定性同样会造成电容失配,给 MDAC 带来误差。以 1.5-bit 流水级为例,在只考虑电容失配的情况下,假设 $C_f = C_s + \Delta C$, 则

$$\frac{C_f}{C_s} = \frac{C_s + \Delta C}{C_s} = 1 + \frac{\Delta C}{C_s} \quad (3.9)$$

将式 (3.3) 重新改写为:

$$V_{out} = \begin{cases} (2 + \frac{\Delta C}{C_2})V_{in} - (1 + \frac{\Delta C}{C_2})V_{ref} & d = 10 \\ (2 + \frac{\Delta C}{C_2})V_{in} & d = 01 \\ (2 + \frac{\Delta C}{C_2})V_{in} + (1 + \frac{\Delta C}{C_2})V_{ref} & d = 00 \end{cases} \quad (3.10)$$

从式 (3.10) 可见,采样电容和反馈电容之间的失配在引入了级间增益误差的同时,也会引入 Sub-DAC 电路基准电平的失调。图 3.11 是在电容失配存在情况下的传输曲线。

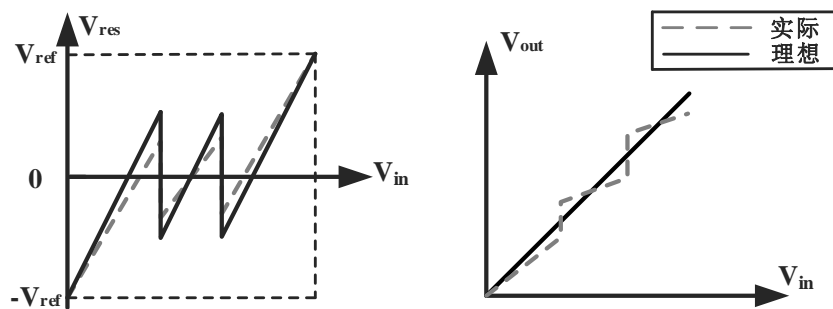


图 3.11 电容失配对传输曲线的影响

3.3.3 运放有限增益误差

实际电路中由于非理想因素的存在，运放的增益无法做到无穷大^[37]。在忽略其他非理想因素的情况下，假设运放开环增益为 A ，则传输函数为：

$$V_{out} = V_{in} \cdot \frac{C_s + C_f}{\frac{C_s}{A} + (1 + \frac{1}{A}) \cdot C_f} - V_{ref} \cdot \frac{C_s}{\frac{C_s}{A} + (1 + \frac{1}{A}) C_f} \quad (3.11)$$

令反馈系数 $\beta = C_f / C_s + C_f$ ，由式 (3.11) 得到增益为：

$$\frac{\partial V_{out}}{\partial V_{in}} = \frac{A}{1 + A\beta} = \frac{\frac{1}{\beta}}{1 + \frac{1}{A\beta}} = \frac{1}{\beta} (1 - \frac{1}{A\beta}) \quad (3.12)$$

有式 (3.12) 可以得出，运放的有限增益引入的有限增益误差为：

$$\varepsilon_A = \frac{1}{A\beta} \quad (3.13)$$

运放有限增益误差对传输曲线的影响如图 3.12 所示。

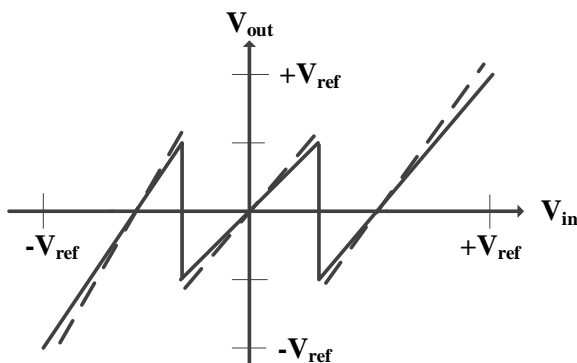


图 3.12 运放有限增益对传输曲线的影响

3.3.4 其他误差

除了上文提到了误差源，流水线模数转换器的设计过程中还需要考虑一些其他的非理想因素^[38]，如：比较器设计中存在的回踢噪声，时钟馈通和电路中存在的热噪声等误差。

3.4 系统结构选取

对于子级转换电路的有效分辨率来讲，分辨率越高，则子级流水级的级间增益越高，这对子级转换电路的增益带宽积的要求会提高，而对于首级流水级来讲，有效分辨率的提高并不会对运算放大器的增益要求提高，因此在电路设计中，优先考虑速度时，级分辨率应选择 1.5-bit，对于每级 1.5-bit 结构来讲，所能容忍的比较器的失调误差也较高，为 $V_{ref}/4$ ，从考虑比较器设计复杂度来讲，每级 1.5-bit 是较优的选择。但是随着子级流水级分辨率的提高，整体模数转换器流水级的数目将减小，这意味着运放数目的减少，而在流水线模数转换器中，运放是功耗占比最大的模块，这意味着分辨率的提高将减小功耗，同时也会减小对电容匹配的要求^{[39][40]}。因此，优先考虑功耗时，级分辨率可选择为 2.5-bit~3.5-bit，综合考虑以上因素，本文采用 2.5-bit， 8×1.5 -bit 和 2-bit flash 级联的结构，如图 3.13 所示。

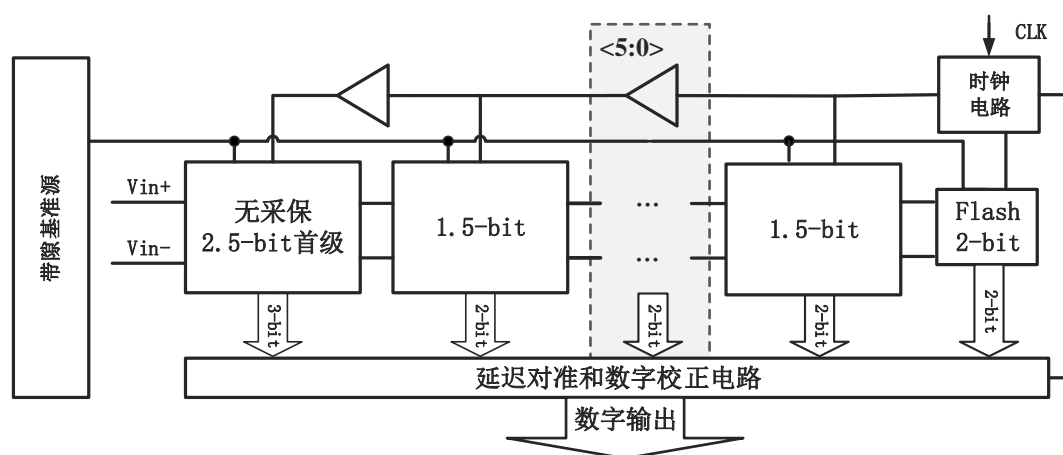


图 3.13 模数转换器整体结构框图

3.5 本章小结

本章详细介绍了流水线 ADC 的组成电路模块，数字冗余校正技术原理，和电路设计过程中存在的非理想因素对整体流水线 ADC 转换特性的影响，最后根据前述的原理对本文的模数转换器的系统结构进行了选取。

第 4 章 Dither 关键技术

前文对流水线转换器的基本原理及非理想因素对转换器的影响进行了详细的分析，若不采用数字校正技术，则转换器的转换精度及线性度等性能均受限于前文所述的非理想因素。本章将介绍一种可以提高转换器性能的数字校正技术：**dither** 技术。

4.1 Dither 技术原理与分类

Dither 技术应用在模数转换器中即为将 dither 信号与转换器的模拟输入信号相加，将相加后的信号作为转换器的输入，以提高转换器的性能。前人的研究表明，为达到最好的改善效果，dither 信号需要满足一定的条件：与输入信号统计独立的噪声，以均匀分布的噪声最佳，但是由于均匀分布的噪声在自然界中几乎不存在，只有通过数字处理技术产生^[41]，因而，在实际应用中，一般采用高斯分布的伪随机噪声，如图 4.1 所示概率密度分布图。这是因为自然界中的高斯分布信号很常见，比如电子器件热噪声的幅度即为高斯分布。

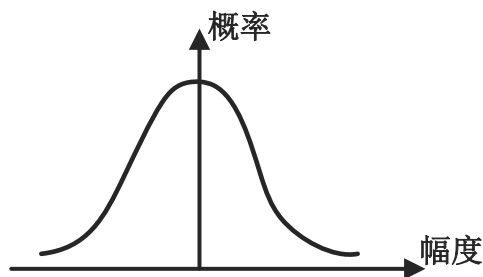


图 4.1 高斯分布信号概率分布图

在 dither 技术中，我们要将 dither 信号引入转换器的输入信号中，作为新的输入模数转换器的信号，在转换器的输出端减去相应的 dither 信号，在此过程中提高流水线 ADC 的 SFDR 性能，且尽量降低此过程中引入的噪声信号，以确保 SNR 不会降低太多。因此在电路中实现 dither 技术主要就是实现 dither 信号的引入和减去的电路，根据引入方式的不同，可以分为频移 dither 和加性 dither。

4.1.1 频移 dither

频移 dither 降低模数转换器的杂散和谐波是通过对输入信号的频谱搬移实现的, 频移 dither 的原理图如图 4.2 所示:

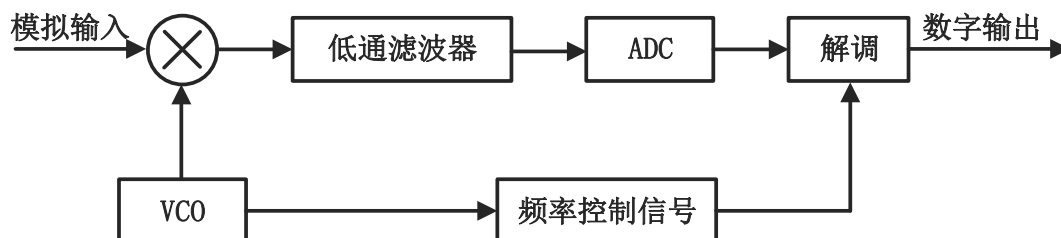


图 4.2 频移 dither 原理图

从图 4.2 可知, 频移 dither 首先通过频率控制信号控制压控振荡器 (VCO) 对模拟输入信号的频率进行调制, 低通滤波器将频率调制产生的高频分量, 以及交调分量滤除, 主要是抗混叠滤波作用, 在输出端通过解调模块来恢复出原输入信号的频率。频移 dither 改善模数转换器性能的原理为首先通过 VCO 将输入信号的频谱搬移到低频附近^{[42][43]}, 在转换器中进行转换, 此时由于非理想因素的存在, 转换器在转换过程中产生了较多的谐波分量, 交调失真分量和其他频率的杂散, 在通过解调器时, 把低频的有效信号重新搬移回原信号频率, 这时, 转换过程中产生的谐波, 交调失真分量和杂散等搬移到基频两倍频率以上, 这使得他们的频率范围扩大, 在谐波能量相同的情况下, 每个谐波分量的幅度会减小, 从而改善 ADC 的动态性能指标。但是, 某些特殊频率点的频率偏移会与输入信号频率偏移相匹配, 这种情况下, 改频率点的幅度不能通过这种方式减小, 如三阶互调频率分量。

频移 dither 能够有效地使谐波和杂散有较大的衰减, 但是在模数转换器中的应用却并不常见, 主要的原因是电路结构较复杂, 首先要求一个可以被精确控制的 VCO 和陡峭性较高的模拟滤波器, 在转换器输出端还需要解调模块, 对电路硬件要求较高。在实际的电路应用中, 应用较多的为加性 dither, 加性 dither 不仅硬件电路实现较简单, 且具有较好的线性度, 因此应用较为广泛。下面将对加性 dither 进行讨论。

4.1.2 加性 dither

加性 dither 通过在模数转换器的模拟输入中加入 dither 信号, 在转换器输出端减去相应的扰动来改善模数转换器的线性度。根据加入 dither 信号的幅度和带宽的不同, 可以分为小幅度 dither, 窄带 dither 和宽带大幅度 dither^[44]。

1. 小幅度 dither

如图 4.3 所示为一种加入小幅度 dither 的结构示意图。从图中可以看出在这种结构中，直接在模拟输入信号中加入小幅度 dither，在经过 ADC 转换后不需要额外的减法电路，这是因为加入的 dither 幅度较小，一般小于 1LSB。这种结构简单易实现，可以小幅度提高模数转换器的 SFDR 性能，但是由于没有在输出端减去 dither 信号，因此会 ADC 的 SNR 的性能不可避免的会造成恶化。

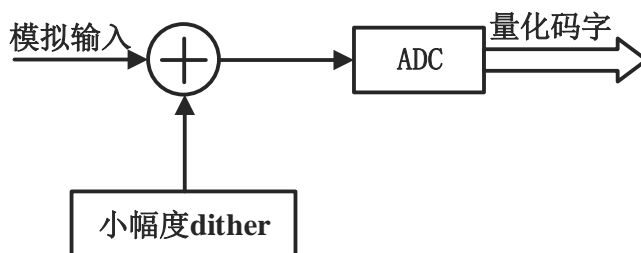


图 4.3 小幅度 dither 结构示意图

在实际的电路应用中，由于电路时钟不可避免的存在抖动和时钟偏斜，因此对输入信号的采样会有一定幅度的偏差，这种情况可以看作是在输入信号中加入小幅度的 dither，因此这种结构在实际电路应用中一般不需要特别加入。

2. 窄带 dither

窄带 dither 的结构如图 4.4 所示，在这种结构中，对于模拟输入信号，有两个频段是可以引入 dither 信号的，即：DC 和奈奎斯特频段，为方便电路设计，实际电路设计中一般采用 DC 区，即与信号带宽有一定间隔的低频带宽，因此，在电路设计时，直接在高频噪声发生器后面级联低频的模拟窄带滤波器，然后与模拟输入信号叠加后给到模数转换器中，ADC 转换完成后，为保证正确的转换结果，在输出端级联数字滤波器，对低频 dither 滤除得到最终的输出结果。

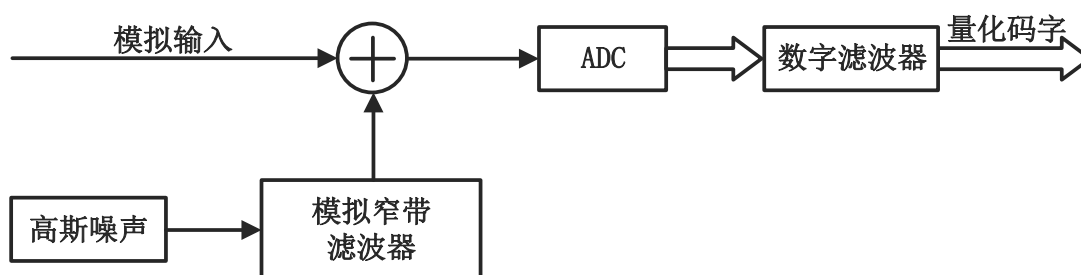


图 4.4 窄带 dither 结构示意图

对于窄带 dither 结构来讲, 电路实现时, 并不需要精确的延时模块, 对于不同模数转换器之间的移植性更高。但是, 窄带 dither 结构对滤波器的要求比较高, dither 滤除效果取决于窄带滤波器和数字滤波器传输函数的陡峭性, 这直接决定 ADC 的频谱特性和小信号线性度。

3. 宽带大幅度 dither

宽带大幅度 dither 的结构示意图如图 4.5 所示, 首先通过 PN 码序列发生器产生伪随机序列, 然后通过数模转换器转换为模拟信号, 将此模拟 dither 信号与模拟输入信号相加后, 作为 ADC 的输入信号, 在 ADC 转换完成后, 用数字减法器将延迟对齐后 PN 码从 ADC 输出中减去, 得到最终的量化码字^[45]。

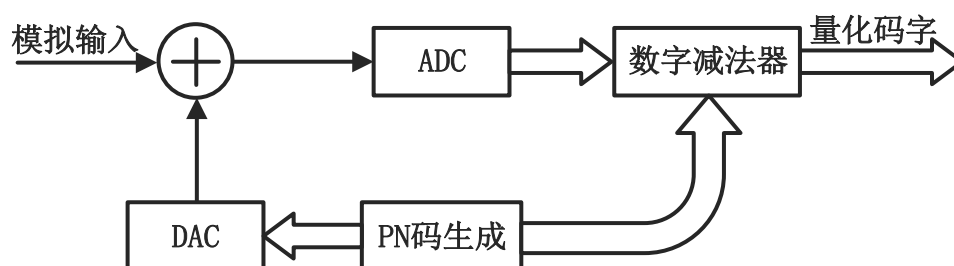


图 4.5 宽带大幅度 dither 结构示意图

这种结构与窄带 dither 结构相比, 难点在于将 PN 序列与模数转换器的量化输出码精确对齐, 正确的减去 dither 信号, 尤其是在流水线结构的 ADC 中, 模拟输入信号从输入到最终完成转换输出之间存在一定的延时, 因此需要 PN 序列经过相同的延时以后相减得到正确的结果, 否则 dither 信号无法正确减去, 则会降低 ADC 的 SNR 性能。本文将宽带大幅度 dither 信号引入到一个 12-bit 100M 采样速率的流水线 ADC 中, 并将输出码字与延迟后的 PN 序列相减, 研究其对 SFDR 性能的改善情况。

4.2 宽带大幅度 dither 改善流水线 ADC 的 SFDR 性能

由前文 2.2.2 章节中对模数转换器动态参数的定义得到 SFDR 的大小由转换器输出频谱特性中能量最高的杂散所决定, 实际的电路测试中发现, 在 ADC 中能量最高的杂散一般为输入信号的奇次谐波分量, 因此降低谐波分量的大小可以改善流水线 ADC 的 SFDR 性能。下文将从三个方面分析宽带大幅度 dither 可以提高 SFDR 值。

4.2.1 改善 ADC 理想量化误差产生的谐波

在实际的电路应用中，量化器的精度是有限的，则量化系统的输入信号会由于量化器的分辨率有限而截尾，从而产生量化误差。设模数转换器的模拟输入信号为 x ，通过量化器后的信号为 $Q(x)$ ，则量化误差为

$$q(x) = x - Q(x) \quad (4.1)$$

从式 (4.1) 得出量化误差的分布与输入信号的类型相关，当模拟输入信号是斜坡函数时，则它的量化误差在 $\pm\Delta/2$ 内均匀分布；当模拟输入信号是正弦信号时， $q(x)$ 是与输入函数有关的函数，且具有与输入正弦信号相同的周期性，如图 4.6 给出了正弦信号通过 3-bit 模数转换器后的理想量化误差图。

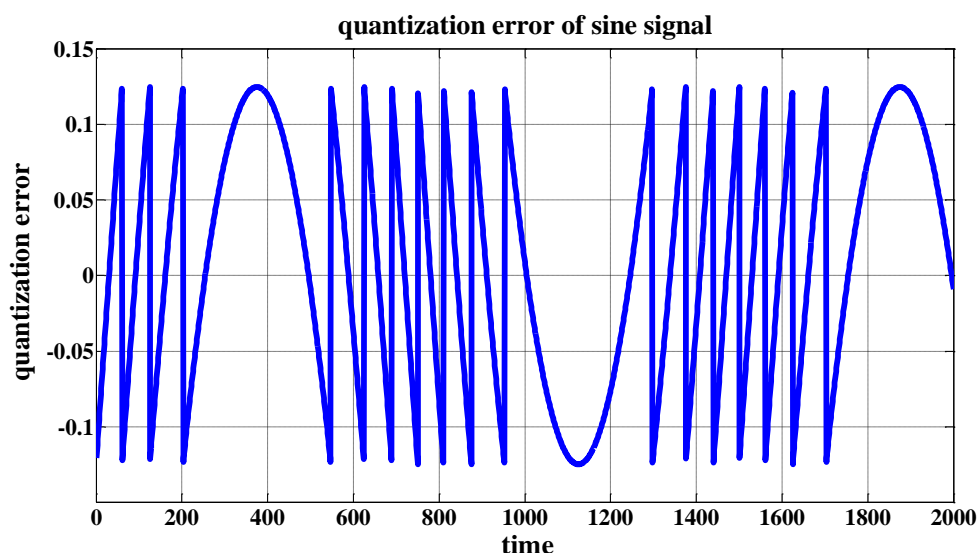


图 4.6 正弦信号 3-bit 理想量化误差图

在输入信号为正弦信号的情况下，由于量化误差的周期性，对其展开得到的傅里叶级数为

$$q(x) = \sum_{n=1}^{\infty} \frac{1}{n\pi} \sin \frac{2\pi nx}{\Delta} \cdot (-1)^n \quad (4.2)$$

对式(4.2)进行傅里叶变换，则量化误差与频率的关系为

$$|Q(w)| = \sum_{n=1}^{\infty} \frac{\Delta}{n} \delta(w - nw_0) \quad (4.3)$$

其中， $\omega_0 = 2\pi / \Delta$ 。因此量化误差的频谱图如图 4.7 所示，从图中可以看出，量化误差在频域也并非均匀分布，也并非只有信号基频分量，还产生了许多谐波分

量，这会降低模数转换器的 SFDR 参数性能。

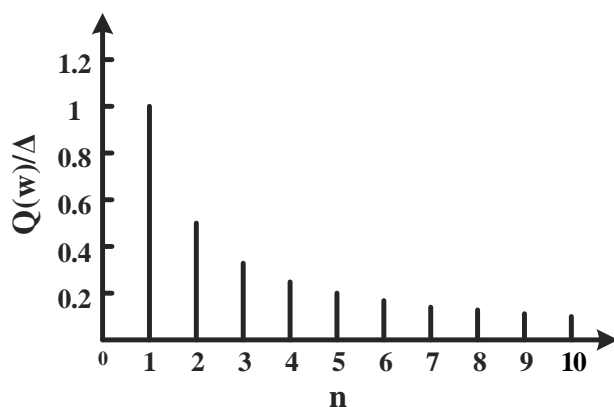


图 4.7 没有加入 dither 信号时量化误差频谱图

假设加入输入信号中的 dither 信号为 $d(t)$ ，则此时经过 ADC 量化后的量化误差表示为

$$\overline{q(x)} = \int_{-\infty}^{+\infty} q(x+d)p(d)dd = q(x) * p(x) \quad (4.4)$$

上式中， $p(d)$ 为 dither 信号的概率密度函数，由于两个信号时域卷积映射为频域的乘积，因此

$$\overline{Q(w)} = Q(w) \cdot P(w) \quad (4.5)$$

上式中， $\overline{Q(w)}$ 、 $Q(w)$ 、 $P(w)$ 分别为 $\overline{q(x)}$ 、 $q(x)$ 、 $p(x)$ 的对应的傅里叶变换表示。本文引入的 dither 信号为具有一定带宽的高斯白噪声，此处以高斯白噪声为例分析，则高斯分布的 dither 的概率密度函数为：

$$P(x) = \frac{1}{\sigma\sqrt{2\pi}} e^{-\frac{x^2}{2\sigma^2}} \quad (4.6)$$

其中， σ 为 dither 信号的均方根值，式 (4.6) 的傅里叶变换为

$$P(f) = e^{-2\pi^2 f^2 \sigma^2} \quad (4.7)$$

将式 (4.6) 和式 (4.7) 代入式 (4.5) 得：

$$|\overline{Q(w)}| = \sum_{n=1}^{\infty} \frac{\Delta}{n} \exp(-2\pi^2 \frac{n^2}{\Delta^2} \sigma^2) \delta(w - nw_0) \quad (4.8)$$

输入信号加入 dither 信号后通过 ADC 后的量化误差频谱图如图 4.8 所示，图中

dither 信号的均方根值为 0.5Δ 。从图 4.8 得到, 当加入 dither 信号后, 量化误差的谐波分量均有所减少, 尤其高次谐波减小较大。在宽带大幅度 dither 的电路结构中, 如果 dither 信号是均匀分布的且与输入信号独立的信号, 那么系统最终的量化误差信号是均匀分布且独立于输入信号的, 从而减小输出信号的谐波分量和杂散分量。

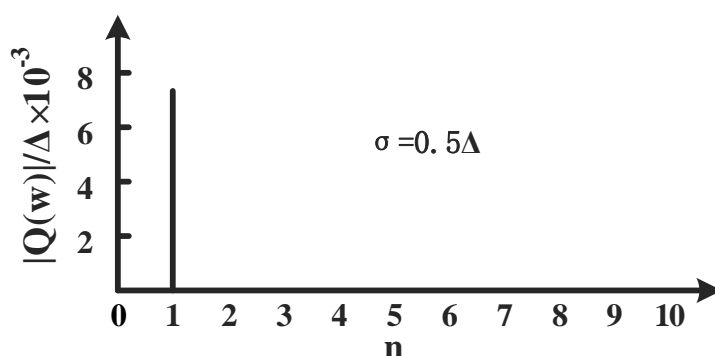


图 4.8 加入 dither 信号时量化误差频谱图

4.2.2 改善相干采样产生的谐波

在模数转换器应用中, 输入信号一般为具有一定带宽的信号, 而任何信号都可以看作由一个或者多个频率分量的信号叠加而成, 因此, 在输入信号中总是存在一种频率分量的信号与 ADC 的采样频率存在倍数关系, 即形成相干采样。在相干采样情况下, 信号通过模数转换器后误差与输入信号具有相同的周期性, 因此误差信号的频谱中谐波分量较高, 降低 SFDR 性能。如图 4.9 所示。信号的输入频率为 9M, 采样频率为 50M 时, 相干采样导致信号输出频谱具有较高的谐波分量。

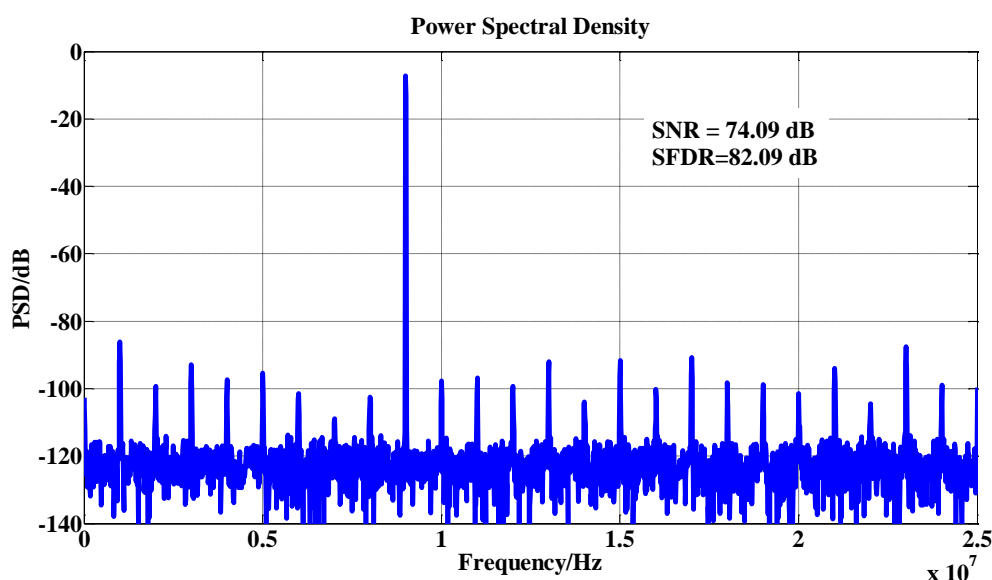


图 4.9 未加入 dither 信号时 ADC 的相干采样频谱图

在模数转换器的模拟输入信号中加入 dither 信号后, 由于误差信号均匀分布且与输入信号独立, 因此没有周期性, 这样破坏了误差信号与输入信号之间的相关性, 不再具有与输入信号相同的周期, 近似于随机信号, 减少了由于信号相关性造成的谐波。图 4.10 中给出了与图 4.9 相同的采样速率, 相同输入信号频率和幅度, 但是在输入信号中加入 dither 信号后的频谱图, 从图中看出 SFDR 提高了 2.52dB。

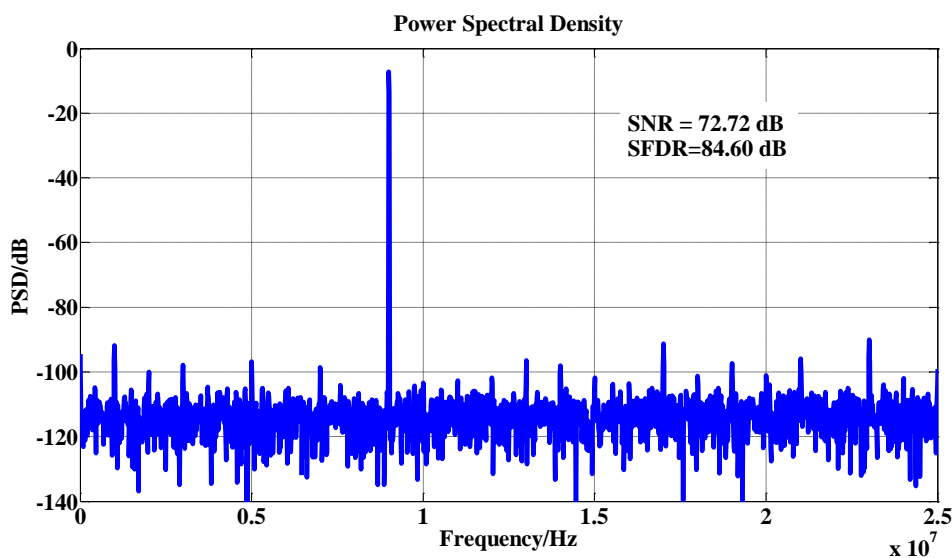


图 4.10 加入 dither 信号时 ADC 的相干采样频谱图

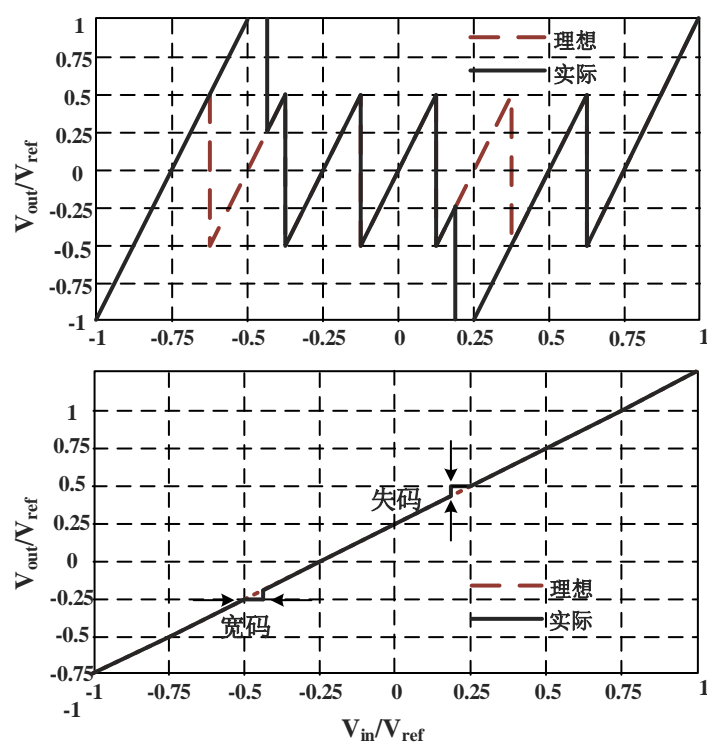
4.2.3 改善电路失配产生的谐波

由前文的讨论可知电容失配以及比较器失调均会影响模数转换器的 INL 和 DNL 特性。这里给出 2.5bit 首级流水线存在比较器失配和电容失配时, ADC 的整体传输曲线, 如图 4.11 所示。

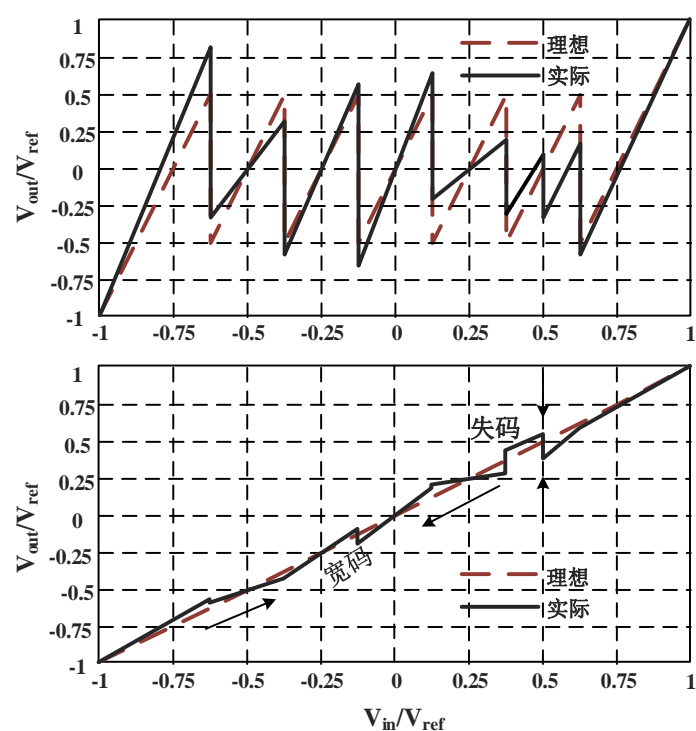
当 ADC 的输入信号为正弦信号时, 输出端码字出现的概率为:

$$P(I_{th}^{code}) = \frac{1}{\pi} \left\{ \sin^{-1} \left[\frac{V(I - 2^{N-1})}{A2^N} \right] - \sin^{-1} \left[\frac{V(I - 1 - 2^{N-1})}{A2^N} \right] \right\} \quad (4.9)$$

其中, I 是当前的码字, V 是模数转换器满量程输入信号的幅度, N 是模数转换器的分辨率, A 是当前模拟输入信号的幅度。对于 12-bit 的 ADC, 当前输入信号的幅度为满量程时, “波峰”和“波谷”处的代码出现的概率为 1%, 而中间位置处代码出现的概率却只有 0.015%, 是“波峰”和“波谷”处代码出现概率的六十几分之一, 换言之, 在采样频率不变的情况下, 正弦信号最大值和最小值处的采样的概率大于过零点采样的概率。



(a)存在比较器失调的 ADC 第一级传输曲线及整体传输曲线



(b)存在电容失配的 ADC 第一级传输曲线及整体传输特性曲线

图 4.11 失调对 ADC 传输特性的影响

图 4.12 给出模数转换器满量程为 200mV，正弦信号幅度为 150mV 时的码密度

图。上文可知，电容失配和比较器失调会造成 ADC 某一点 DNL 特性很差，若此 DNL 性能很差的点恰好处于正弦信号的最大值或是最小值附近，那么重复出现的码字将会使较差的 DNL 性能重复出现，造成电路的 SFDR 性能降低。而在输入信号中加入 dither 信号以后，改变输入信号的码密度，使码字分布更加均匀，以消除出现概率高的错误码字的积累效应。如图 4.13 给出加入 dither 后的码密度图。

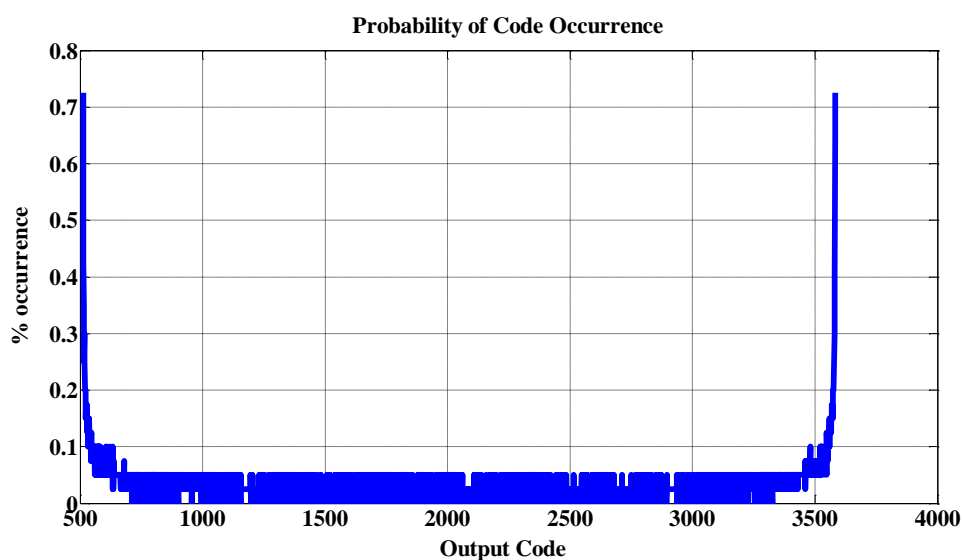


图 4.12 未加入 dither 的正弦信号码密度图

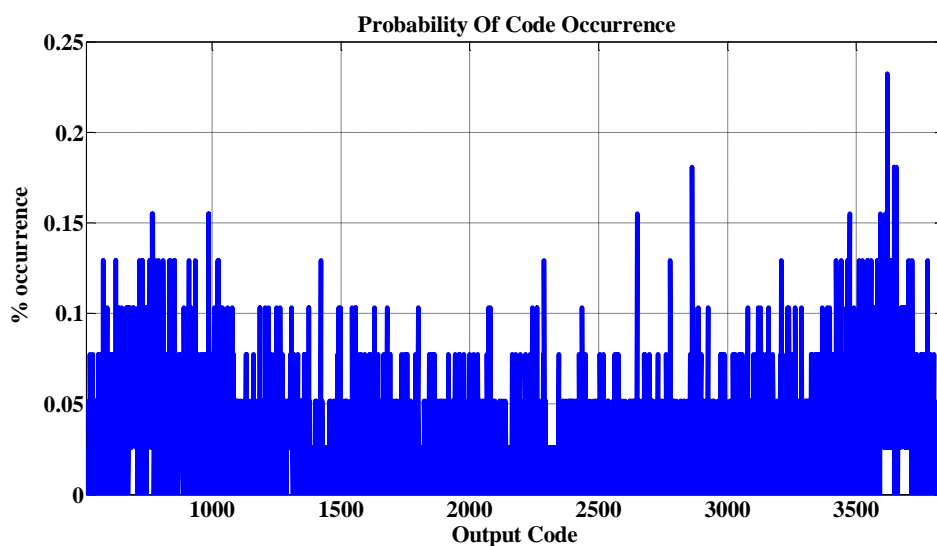


图 4.13 加入 dither 的正弦信号码密度图

由上文得知，dither 技术有助于减少由于 ADC 的 INL 曲线急剧的局部不连续性和电容失配和比较器失调造成的 DNL 误差。但是当 ADC 的模拟输入为接近于满量

程的大信号时, ADC 的 SFDR 性能更多地由于前端采样失真而限制, dither 对其的改善十分微小。Dither 技术的优点在输入为小信号时更为明显, 由于前端采样网络的失真随着输入信号幅度的减小而减小, 因此小信号的 SFDR 通常受限于 DNL 误差。小信号 SFDR 性能的恶化是由于当信号落在 ADC 整体传输函数的不连续处时, DNL 误差将变得显著, 从而导致较大的谐波和杂散分量, dither 则可以有效消除上述谐波和杂散分量, 显著提高小信号 SFDR 范围。

4.3 理想宽带 dither 技术应用于流水线 ADC 仿真验证

为验证上文中 dither 技术对流水线 ADC SFDR 性能的改善情况, 本文在 cadence 平台中, 基于 TSMC 90nm 工艺搭建一款 12-bit 100MS/s 的流水线 ADC 作为目标 ADC 进行原理验证仿真。

4.3.1 Dither 技术验证方案整体框架

本小节将采用较为理想的方式产生 PN 序列, 并将 PN 序列通过理想的数模转换器, 将其与模拟输入信号相加后作为最终模数转换器的输入给到 ADC 中, 此信号经过上述目标流水线 ADC 转换后, 将 dither 信号从数字信号在 MATLAB 中相减后, 进行 FFT 变换, 观察其频谱图, 以验证 dither 技术对流水线 ADC 的 SFDR 性能的改善。为验证前文所述改善电路失配产生的谐波, 在本次验证中将在 ADC 中人为引入电容失配和比较器失调等非理想因素。具体的电路结构图如图 4.14 所示。

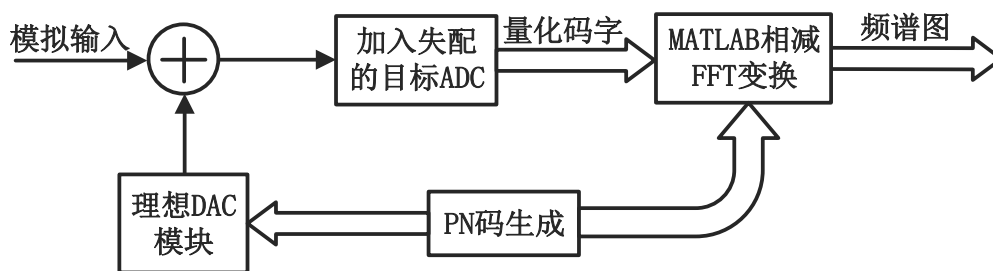


图 4.14 dither 验证方案总体框架图

下面将具体介绍上图中各个模块的具体组成, 以及引入宽带 dither 的幅度考虑和对目标 ADC 引入的失配考虑等。

4.3.2 理想宽带 dither 验证模块实现

1. Dither 信号的产生和加入

Dither 信号在与模数转换器原本的输出相加之前，首先应产生 PN 序列并将其通过数模转换器转换为模拟信号，从而实现两信号的叠加。本次验证的重点是在较为理想的情况下验证宽带 dither 技术对流水线 ADC 失配造成 SFDR 降低的改善，因此产生 dither 信号的 PN 序列和 DAC 模块在本次验证中均调用了 cadence 的 ahd1Lib 库中的元件。

由于引入 dither 信号后，需要在模数转换器的输出端将对应加入的 dither 信号减去，因此为保证输出结果的正确性，输入模拟信号的模拟值对应的 PN 序列码，应该与模数转换器将相应的模拟值转换为数字信号后对应的码字相同，换言之，产生 dither 信号的 PN 序列模块后接的 DAC 与目标 ADC 应具有相同的转换精度。

2. 对目标 ADC 引入失配

为验证 dither 技术能否改善电容和电阻失配造成的流水线 ADC SFDR 性能降低的现象，在本文的目标流水线 ADC 中加入比较器和电容失配，同时引入 dither 信号对其进行改善，观察其改善效果。

对目标流水线 ADC 中采用的比较器电路进行蒙特卡洛仿真后显示，比较器的失调电压范围大概为 $-9.8\text{mV} \sim 22.4\text{mV}$ 之间，其中次数较多分布在 16mV 左右，因此在目标流水线 ADC 的第 7 级流水级的比较器中，加入值为 16mV 的比较器失调电压，如图 4.15 所示，目标流水线 ADC 中采用的比较电路为静态比较器。

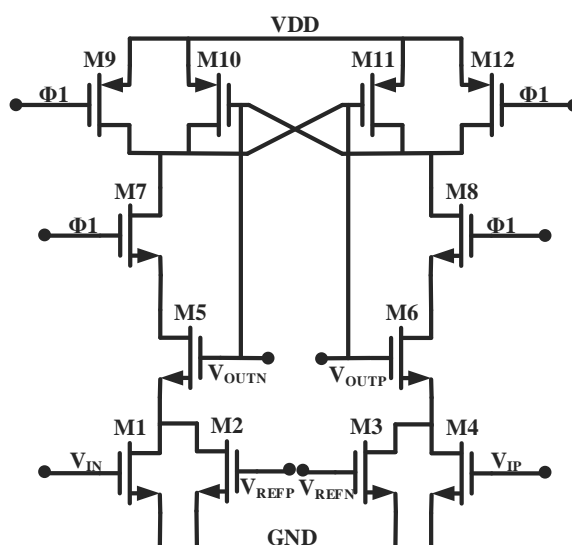


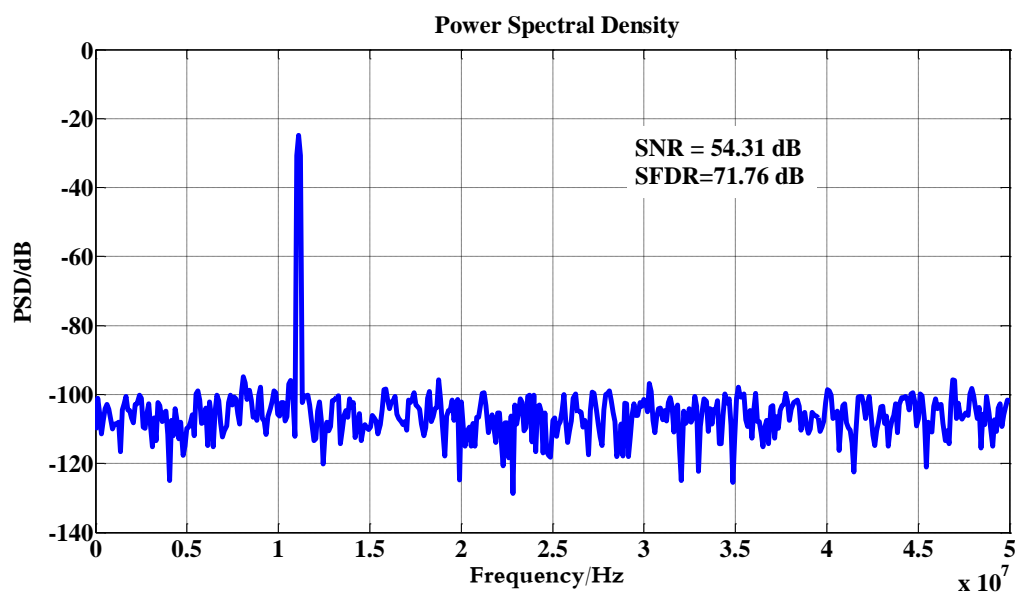
图 4.15 动态比较器

图中的动态比较器的比较器转换电平为 $V_{REFP} - V_{REFN}$,为加入 16mV 的失调电平,通过将 V_{REFP} 电平提高 16mV 来实现。

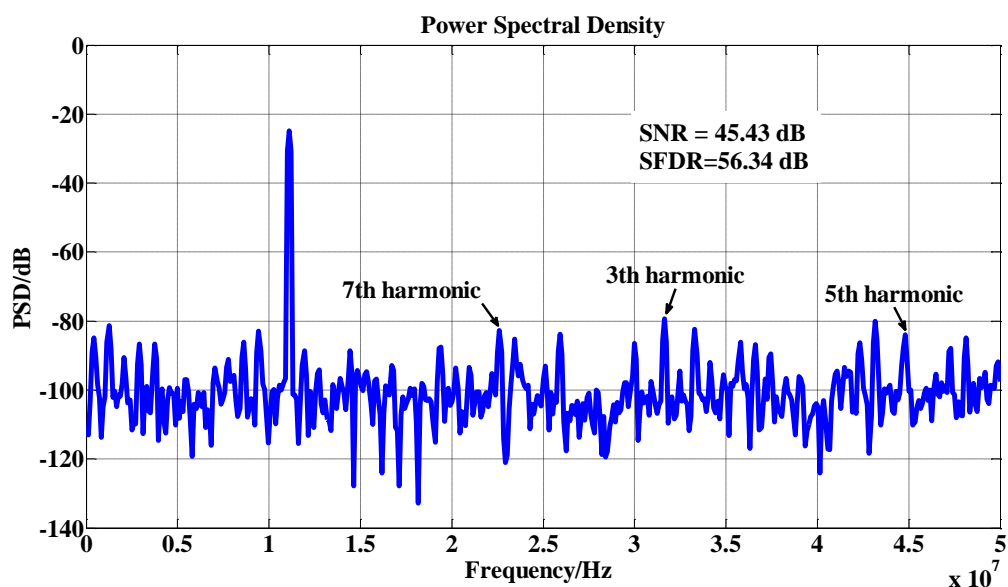
与前文所述相同,在电路中加入电容失配,参考工艺手册以及经验值,本文中加入了电容失配为 5%,本文中目标 ADC 由于采用了采样电容逐级递减技术,首级流水级采样电容为 1.25pF,第七级流水级电路中的采样电容为 400fF,因此加入的失配电容为 20fF,包括差分失配和比例失配。

4.3.3 验证仿真结果

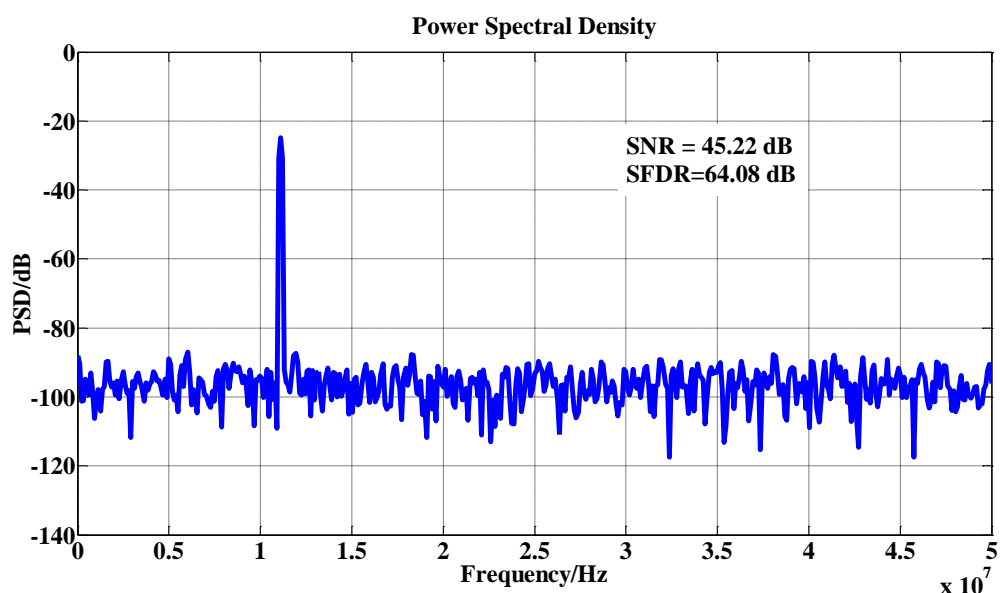
从前文得出, dither 技术在 ADC 的输入信号幅度较小时,对其 SFDR 性能的改善较为明显,图 4.16 中给出了模数转换器采样速率为 100MS/s,模拟信号输入频率为 11.065165MHz,幅度为 20mV 时 ADC 的输出频谱特性,图 4.16(a)为 ADC 未加入电容和比较器失配时的频谱图,此时输出信号的谐波和杂散分量均较小。图(b)为在电路中人为加入比较器失调和电容失配时的数字输出频谱图,从图 4.16(b)中可以看出在引入失配以后,ADC 的 SNR 和 SFDR 同时恶化,并且出现了较高的奇次谐波和杂散分量,而引入幅度为 24mV 的 dither 校正,在 ADC 的输出中将相应的 dither 信号减去后的频谱图如图 4.16(c)所示,由于加入失配后造成的谐波和杂散分量明显减小,输出信号的 SFDR 性能与加入失配后的性能相比,提高了 7.74dB,而 SNR 仅下降了 0.21dB。



(a)未加入失配未加入 dither



(b)加入失配未加入 dither



(c)加入失配加入 dither

图 4.16 ADC 频谱特性曲线

图 4.17 给出了输入频率为 11.065165M，加入幅度为 24mV 的 dither 后，SFDR 特性与输入幅度的关系曲线，可以得到，信号输入幅度从 -60dBFS 到 -2.5dBFS，引入 dither 校正后均有一定的改善，从图中可以看出，dither 技术对流水线 ADC 的 SFDR 性能的改善在输入信号为 -50~-30dBFS 时，改善较为明显。这与前文中 dither 校正技术在 ADC 的输入信号幅度较小时，对 SFDR 性能的改善较为明显的结论相

符合。特别地，在-40dBFS 处，SFDR 提高了 15.12dB。

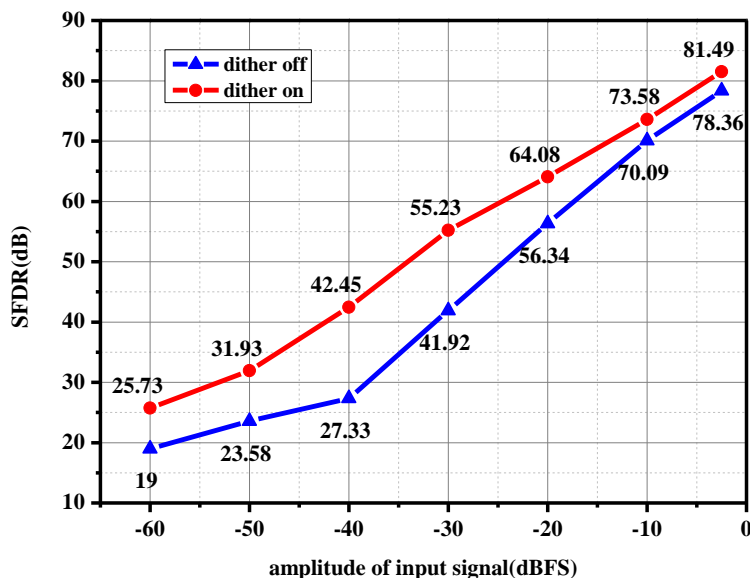


图 4.17 SFDR 与输入信号幅度的关系

4.4 本章小结

本章主要介绍了 dither 方法改善 ADC 动态性能的原理。首先给出了 dither 信号的产生，分类情况。Dither 技术对 ADC 性能的改善主要表现在 3 方面。(1) dither 技术可以提高 ADC 的精度，使其可以分辨小于 1LSB 的信号；(2) dither 技术可以提高 ADC 的 SFDR，本章分析了 ADC 产生谐波的原因，并引入 dither 降低其产生的谐波，从而提高 SFDR 性能；(3) dither 技术可以改善 ADC 的 DNL 总误差。Dither 技术对于 ADC SFDR 性能的改善情况是本文重点关注参数，然后将理想的 dither 信号通过理想模块加入带有失配的目标 ADC 中，通过仿真研究 dither 技术对流水线 ADC SFDR 性能的改善情况。

第5章 dither 信号加入流水线 ADC 的电路设计与实现

上一章详细介绍了 dither 技术改善流水线模数转换器无杂散动态范围的原理，并用理想的 dither 信号以理想的方式加入流水线 ADC 中，进行仿真验证。通过验证，dither 技术能有效提高流水线 ADC 的 SFDR 性能。如图 5.1 所示为带有 dither 电路的 ADC 系统验证框图。

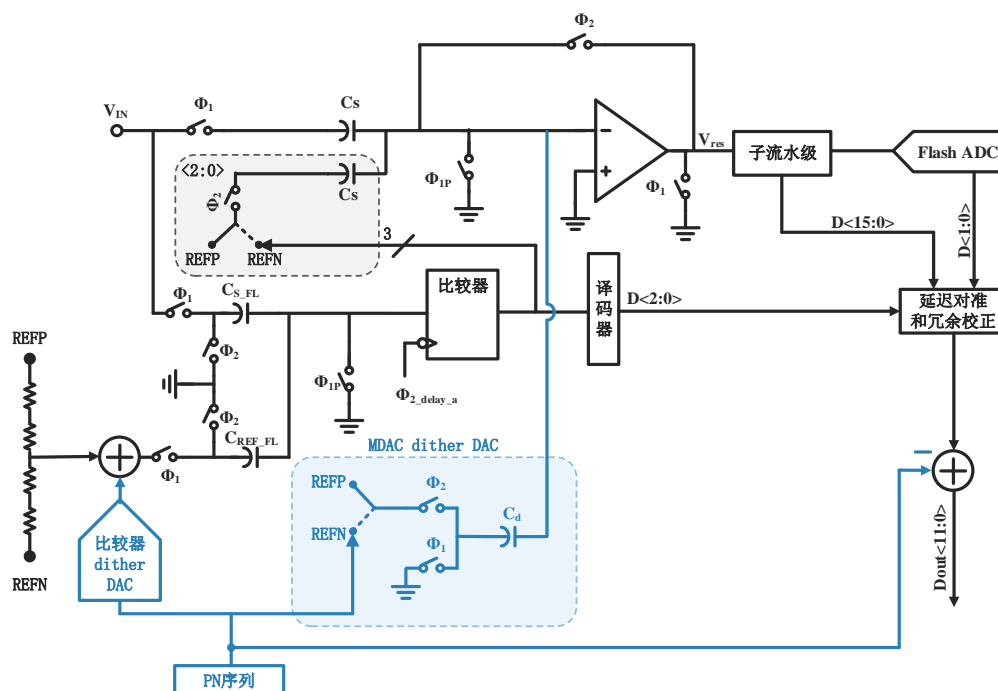


图 5.1 带有 dither 的 ADC 系统验证框图

本章将给出前文中所述验证中的电路实现，包括 PN 序列产生电路，MDAC 和子 Flash ADC 中 dither 信号的加入电路和运算放大器电路。最后给出了整体模数转换器电路的仿真结果，以及 dither 信号对其 SFDR 性能的改善。

5.1 Dither 信号产生电路设计

在本文中宽带 dither 所用到的 dither 信号为数字形式的伪随机序列（PN 序列）。与真正的随机序列相比，伪随机序列具有随机序列所具有的随机性、不可预测性和独立性等特点之外，还是一个周期信号。本质上讲，伪随机序列依然是按照一定的规律产生的信号，只是特性与随机序列相似，而在实际应用中，则希望伪随机序列

的周期尽可能长,以达到尽量接近随机序列的目的。本文将产生的 PN 序列通过 DAC 后转换为模拟信号,由前文可得,为更好的改善流水线模数转换器的 SFDR 性能, dither 信号应为与输入信号独立的高斯分布的信号,因此,产生具有较好随机性和独立性的伪随机序列至关重要。本文采用线性反馈移位寄存器 PN 序列法,产生的序列成为 m 序列。PN 线性反馈移位寄存器由反馈函数和移位寄存器构成,结构图如图 5.2 所示。

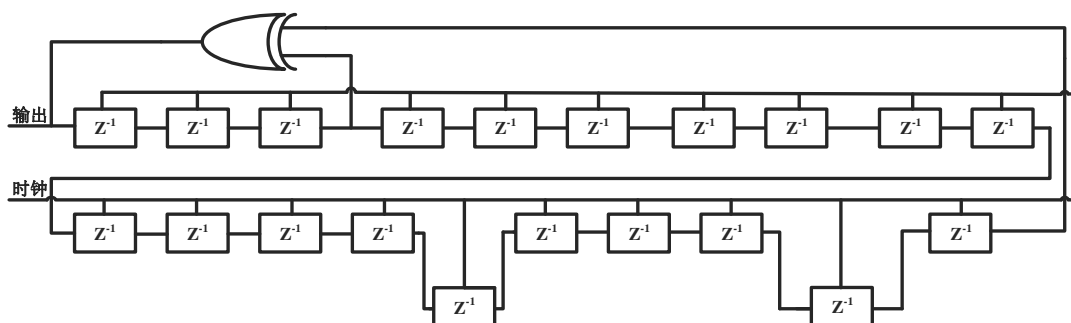


图 5.2 线性反馈移位寄存器结构图

图 5.2 中所示电路结构本质为一个环路,将当前状态的输出的线性函数作为移位寄存器的输入,通过一定数量的寄存器后再给出输出。图中移位寄存器通过 Verilog 代码实现,而反馈函数则为异或运算。这种结构可以实现的序列的最长周期为 $2^n - 1$,其中 n 为移位寄存器的个数,在本文中 n 取 20,因此产生的 PN 序列可以在较长的时间内不出现相同的码字。

5.2 加入 dither 信号电路设计

加入 dither 信号的电路如图 5.3 所示。在流水线模数转换器有采样保持电路的情况下,输入信号 V_{in} 信号流仅有一个通路,因此 dither 可以直接通过电容 DAC 加在采样保持电路的输入端。然而,本文中的流水线模数转换器为无采样保持电路的结构,在这种结构中,输入信号同时给到子 ADC 和 MDAC 中,因此 dither 信号需要在上述两个通路中同时加入。

5.2.1 MDAC 中 dither 信号注入电路

由于 MDAC 中运算放大器的存在,MDAC 中的 dither 通过使用电容阵列 DAC 引入,详细的电路结构图如图 5.4 所示,根据电荷守恒定律得



48

其中 V_{OPIN} 为运算放大器的输入电压, D_i 为子 ADC 的输出数字码通过编码后得到的数字码, d_i 为 PN 序列产生的第 i 位码, 将式 (5.1) 化简得

$$V_{out} = 4V_{in} - \sum_{i=1}^3 D_i V_{REF} + 4V_{OPIN} - 4V_{CM} + (V_{OPIN} - \sum_{i=1}^8 d_i V_{REF}) \frac{C_s}{C_d} \quad (5.2)$$

式子中的 V_{OPIN} 和 V_{CM} 在计算差分信号时可以消掉, 因此在输出残差信号中加入了 dither 信号, 从式 (5.2) 中可以得出 dither 信号幅度的大小与采样电容 C_s 与 dither 阵列的电容 C_d 的比值有关, 因此上述两电容之间的匹配在设计中显得尤为重要。Dither 信号的加入使模数转换器从第二级电路开始的后端 DNL 误差线性化。MDAC 中的 dither 信号必须精确地从数字输出中减去, 以使得 dither 泄露最小化, SNR 衰退最小化。

5.2.2 子 ADC 中 dither 信号的注入电路

在子 ADC 中, 当其中比较器的阈值电平保持固定时, 模数转换器整体的传输特性曲线中不连续点的位置也是固定的, 这样输出会造成与输入频率相关的谐波分量^[46]。当比较器的电平在数字冗余校正可校正的范围内随机变化时, 输出频谱中不需要的杂散分量将会随机分散在采样带宽的频谱中, 本质上是将谐波或者杂散的能量分散在噪底中。

在子 ADC 中加入 dither 信号时, 我们通过在比较器的阈值电平中引入。本文中采用无采样保持电路的 2.5-bit 首级流水级, 需要 6 个比较器分别比较输入信号与 $\pm 5/8 V_{ref}$ 、 $\pm 3/8 V_{ref}$ 、 $\pm 1/8 V_{ref}$ 值的大小, 从而判断输出的数字码字, 在本文中采用将输入信号首先与上述 6 个电平值相减, 再通过过零比较器的方法进行比较, 因此 dither 信号可以通过加在上述 6 个参考电平中, 从而实现引入到子 ADC 中。产生上述 6 个参考电平值的电路如图 5.5 所示, 通过电阻分压来得到相应的电压值。

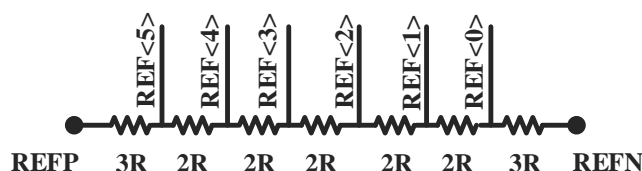


图 5.5 参考电平产生电路

为在上述 6 个参考电平中加入相同幅度的 dither 信号, 在每个电阻之间串接 256 个小电阻, 将 8-bit PN 序列通过 8-256 译码器后, 分别控制 256 个开关, 对 256 个

小电阻上分压的电压值选通输出，详细的电路结构图如图 5.6 所示。

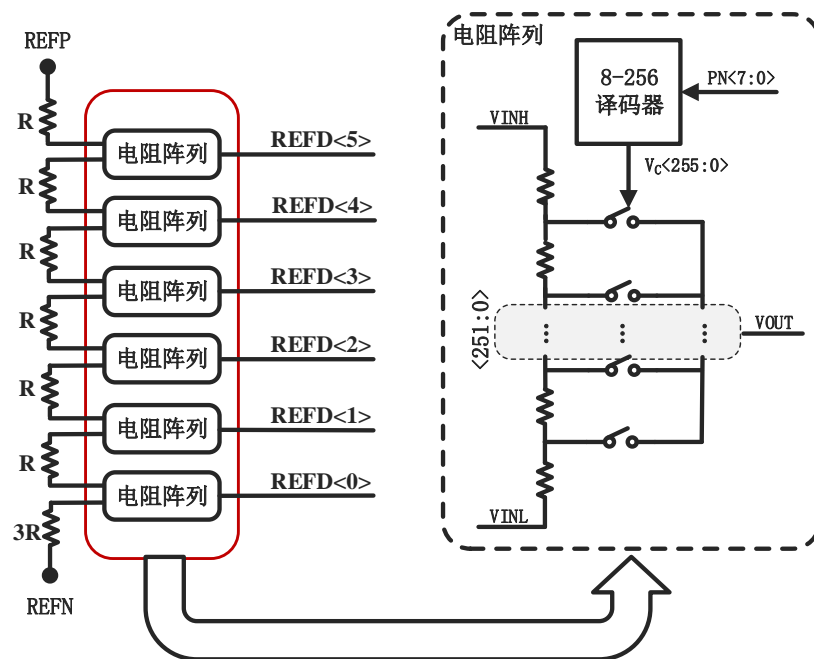


图 5.6 参考电压 dither 注入电路

在上述电路中，由于 PN 序列位数较多，在电压输出端同时接 256 个开关，虽然一个周期内只有一个开关导通，但是对于互补 CMOS 开关来讲，无论开关是否导通，均存在输出端到地的寄生电容，大数量寄生电容的并联将会形成可观的电容跨接在输出端和地之间，这会影响输出电压的建立时间，因此在开关设计中，因特别注意寄生电容的大小。如图 5.7 为其中一个参考电平随着 PN 序列的变化而变化的仿真结果图。

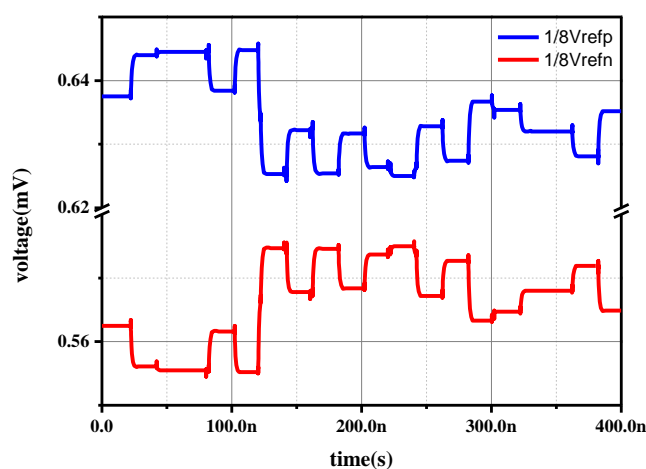


图 5.7 参考电平仿真结果图

5.3 运算放大器

运算放大器是流水线模数转换器的核心电路，运算放大器的性能直接影响转换器的转换精度、转换速率和输入摆幅等重要指标。下面将讨论由模数转换器得到运放的指标。

5.3.1 运放指标

1. 增益

为保证模数转换器的转换精度，每级运放的有限增益误差均应小于当前级后所剩转换精度的 $1/2\text{LSB}$ ，从 3.3.3 的推导中我们可以得到运放的增益误差为式 (3.13)，为方便讨论，将它重新列在此处。

$$\varepsilon_A = \frac{1}{A\beta} \quad (5.3)$$

其中 A 为运算放大器的开环增益， β 为反馈系数。由上面的描述可得

$$\varepsilon_A = \frac{1}{A\beta} < \frac{1}{2} \text{LSB} = \frac{1}{2} \cdot \frac{1}{2^{N-r}} \quad (5.4)$$

其中 N 为转换器的转换精度， r 为当前流水级以及之前已经转换的精度，将式 (5.4) 整理得

$$A > \frac{2^{N-r+1}}{\beta} \quad (5.5)$$

对于首级运放来讲， r 为首级流水级的转换精度，反馈系数 $\beta = 1/2^r$ ，因此，首级运放的低频增益要求为

$$A > 2^{N+1} \quad (5.6)$$

转换为 dB 形式为

$$A(\text{dB}) > 6.02(N+1) \quad (5.7)$$

对于 12 位的模数转换器来讲，首级运算放大器的增益应大于 78.26dB。在实际电路设计中，由于电路中非理想因素的存在，电路设计中应留出一定的裕度。

2. 带宽和压摆率

运放的带宽和压摆率直接影响信号通过运放的建立时间，对于一个阶跃响应的建立过程分为大信号建立与小信号建立。运放的摆率影响大信号建立时间，而小信号建立时间与运放的带宽有关。单级运放的摆率为

$$SR = \frac{I_{\max}}{C_L} \quad (5.8)$$

大信号建立完毕后，进入小信号建立，采样保持电路运算放大器的传输函数为

$$H(s) = \frac{1}{\beta} \cdot \frac{1}{1 + \frac{s}{GBW \cdot \beta}} \quad (5.9)$$

当输入函数为阶跃响应时，运放的输出响应为

$$V_{out} = \frac{1}{\beta} \left(\frac{1}{s} - \frac{1}{s + \beta \cdot GBW} \right) \quad (5.10)$$

对式 (5.10) 进行拉普拉斯反变换，得到

$$V_{out} = \frac{V_{FS}}{\beta} u(t) - \frac{V_{FS}}{\beta} e^{-(GBW \cdot \beta)t} \quad (5.11)$$

运放的各级建立误差等效到输入端应小于 $1/2\text{LSB}$ ，因此

$$\frac{V_{FS}}{\beta} e^{-(GBW \cdot \beta)t} < \frac{1}{2} \text{LSB} \quad (5.12)$$

对于首级运算放大器来讲，式 (5.11) 化简得

$$GBW(\text{Hz}) > \frac{1}{\beta} \cdot \frac{1}{t} \cdot (N - r + 1) \ln 2 \cdot \frac{1}{2\pi} \quad (5.13)$$

其中 r 为首级流水级的精度，在运放的瞬态建立中，小信号建立时间占运放总建立时间的 $2/3$ ，即 $T/3$ ，因此对于首级为 2.5bit 流水级的模数转换器来讲，首级运放的增益带宽积应大于 1.45GHz 。

5.3.2 运放结构

运算放大器是流水级中的核心电路模块，由上文的推导可知，流水线模数转换器要求高增益大带宽的运算放大器，同时输入输出摆幅还应满足转换器的要求。

1. 结构选择

现在主流的运算放大器有套筒式、两级运放、折叠共源共栅、增益提高等结构。这几种结构的本质其实是在增益、带宽等几种性能指标之间的折中，下文将对其性能进行比较，选择适合的结构。表 5.1 给出了以上四种基本运放结构的性能比较^[47]。

表 5.1 四种基本运放结构的性能比较

运放结构	增益	输出摆幅	速度	功耗	噪声
套筒式共源共栅	中	中	高	低	低
折叠式共源共栅	中	中	高	中	中
两级运放	高	高	低	中	低
增益提高运放	高	中	中	高	中

考虑到本文中对运放输入输出摆幅的要求和带宽的要求，因此设计中采用了折叠式共源共栅运放，而单级增益提高技术并无法达到高增益的要求，因此，综合采用了带有增益提高技术的折叠式共源共栅运放，其电路结构如图 5.8 所示，其中增益提高技术中采用的运算放大器均采用折叠共源共栅运放。

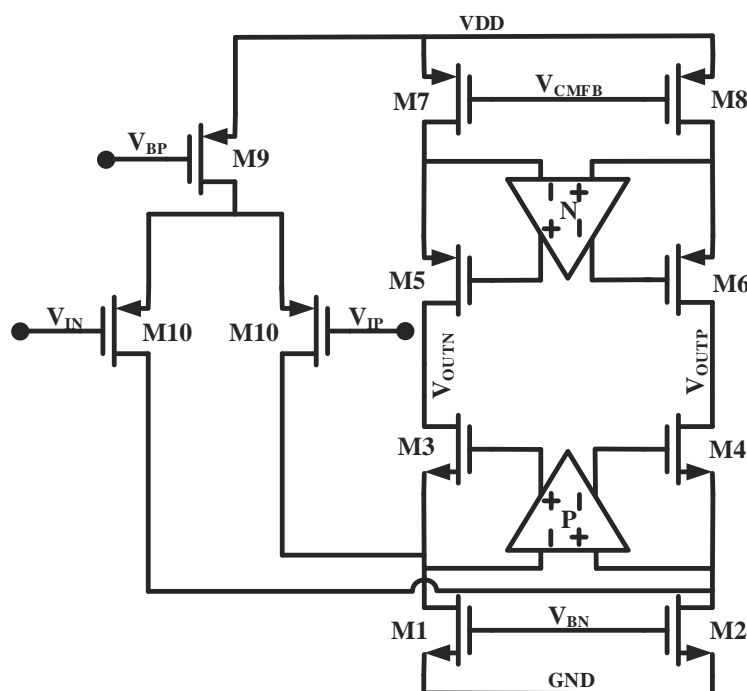


图 5.8 带增益提高技术的折叠共源共栅运放

在运放设计中考虑到折叠点对运放稳定性影响较大，为减小该点的寄生电容，因此选用 PMOS 管作为输入管，此时折叠点尺寸较大的管子为 NMOS 管，当通过相同的电流时，相比于 NMOS 管，PMOS 管由于载流子迁移率的较小具有较大的晶

体管尺寸，因此 NMOS 管比 PMOS 管的寄生电容更小。为提供最大的输出摆幅，NMOS 管的辅助运放采用 PMOS 输入管，PMOS 管的辅助运放采用 NMOS 输入管。采用增益提高技术后，运放的增益提高到 $g_m^3 r_o^3$ ，与三层共源共栅的增益相当。但是辅助运放的加入，在电路中形成环路，因此需要注意稳定性问题，这将在下一小节进行讨论。

2. 辅助运放带宽设计

基本增益提高放大器的简图如图 5.9 (a) 所示，其中辅助运放为折叠共源共栅运放，图 5.9 (b) 为相应运放的小信号等效电路。

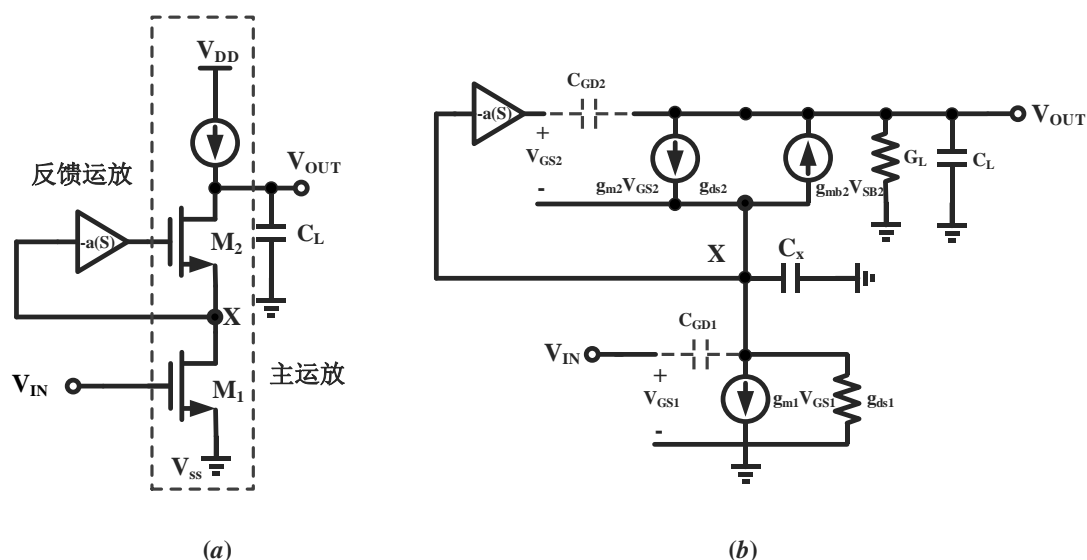


图 5.9 (a) 增益提高放大器结构示意图；(b) 小信号等效电路

由于辅助运放为折叠共源共栅运放，为研究方便，将辅助运放的传输函数表示为

$$a(S) = \frac{a_o}{(1 + \frac{S}{P_{F1}})(1 + \frac{S}{P_{F2}})} = \frac{a_o}{(1 + \frac{a_o S}{\omega_u})(1 + \frac{S}{P_{F2}})} \quad (5.14)$$

其中 P_{F1} 为辅助运放的主极点， P_{F2} 为其他非主极点和零点， a_o 则为辅助运放的开环增益， ω_u 是辅助运放的增益带宽积，它的值等于 $a_o P_{F1}$ [48]。计算后得出总体开环传递函数会产生四个极点，两个零点。当辅助放大器的 GBW 较低时，会有两个单独的极点：整个放大器的低频输出极点和主运放的位于 X 处的高频次极点和两个

零极点对^[49]，极点分别为

$$P_1 = \frac{g_{ds1}g_{ds2}}{a_0g_{m1}g_{m2}C_L} \quad (5.15)$$

$$P_X = \frac{g_{m2} + g_{mb2}}{C_X} = \frac{g_{m2}(1+\eta)}{C_X} \quad (5.16)$$

其中， $\eta = g_{mb2}/g_{m2}$ ，低频零极点对大约等于辅助放大器的 GBW，高频零极点对位于辅助放大器的次极点 P_{F2} 附近。当辅助放大器的 GBW 上升时，会使低频零极点对变大，致使与单独的极点成为复共轭，如果辅助放大器的 GBW 继续增加，会将其推至复平面的右半平面，使放大器不稳定。因此辅助运放的 GBW 应小于主运放的第一个非主极点。但是零极点对的存在会影响运放的建立时间，因此辅助运放的 GBW 不能无限小，必须保证运算放大器的建立时间，辅助放大器的单位增益带宽应大于主运放的 3dB 带宽，即

$$\beta\omega_{u,tot} < \omega_{u,FA} < \omega_2 \quad (5.17)$$

其中， β 为运算放大器的闭环反馈系数，在流水线 ADC 中即为级间增益， $\omega_{u,tot}$ 是主运放的增益带宽积， $\omega_{u,FA}$ 是辅助运放的增益带宽积， ω_2 为主运放的第二个极点。如图 5.10 所示。满足式 (5.17) 的情况，既能保证整个闭环运放的稳定性，也能避免辅助运放引入零极点造成了建立时间延长问题^[50]。

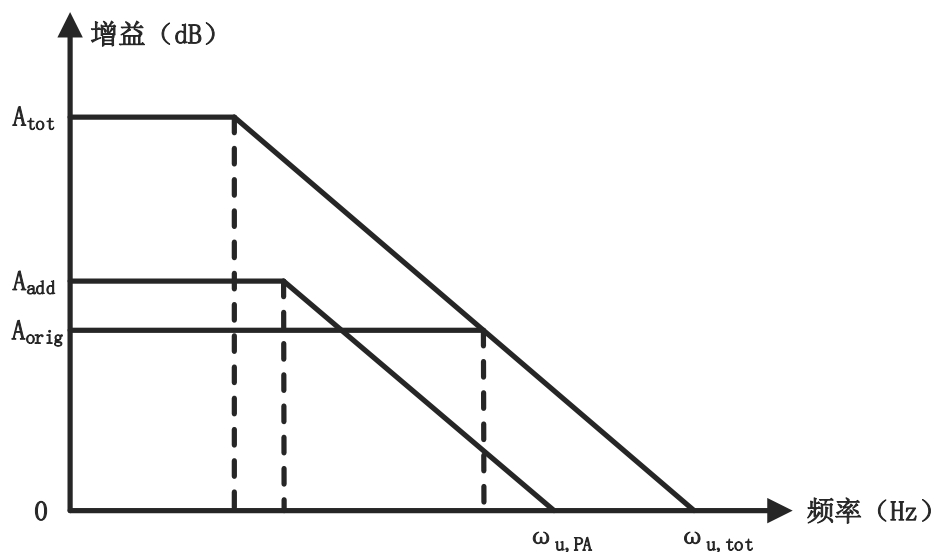


图 5.10 各运放的频谱特性图

3. 共模反馈电路

由于采用全差分结构，对于共源共栅运放，相当于 N 管和 P 管之间均存在一个独立的电流源，两独立电流源之间直接相连，一点电流的微小不匹配均可能造成输出共模电平较大的漂移，因此需要通过共模反馈，使其输出共模电平稳定，其本质是通过反馈将两独立电流源中的一个接成受控电流源。如图 5.11 所示。

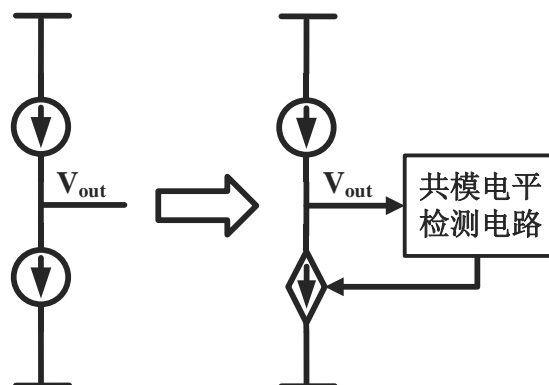


图 5.11 共模反馈

目前流行的有三种共模反馈电路，(1) MOS 管反馈，具有较大的功耗；(2) 大电阻反馈，但是由于在运放输出端并联电阻，会使得运放增益降低；(3) 开关电容反馈，转换速度快，允许的输出摆幅大，没有静态功耗，但是需要在时钟控制下工作。

由于模数转换器在两相不交叠时钟控制下工作，因此，本文运放中的共模反馈电路采用开关电容共模反馈结构，如图 5.12 所示，在电路设计中，一般取 $C_1=C_2$ ， $C_3=C_4$ 。

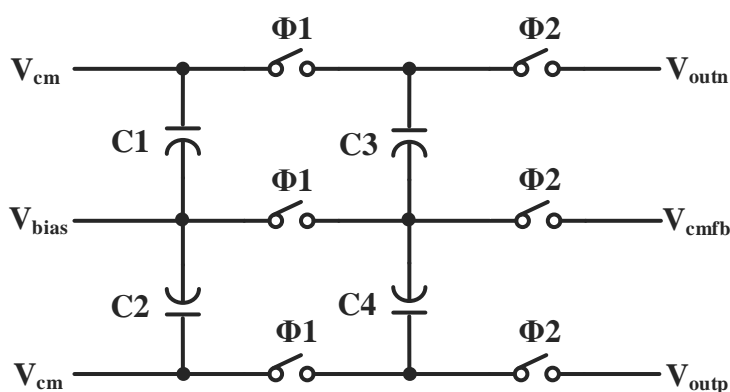


图 5.12 开关电容共模反馈电路图

其工作原理为： ϕ_1 时，输出共模电平 V_{cm} 对电容 C_1 ， C_2 进行充电， ϕ_2 时，运放输出 V_{outn} 与 V_{outp} 连接的电容 C_3 ， C_4 与已充电的 C_1 ， C_2 进行电荷重新分配，将运算

放大器的输出共模电平稳定在输入电平 V_b 附近，由电荷守恒定律得：

$$2C_1V_{cm} - 2C_1V_b + C_3V_{outn} + C_3V_{outp} - 2C_3V_{cmfb} = 2(C_3V_{outn} + C_3V_{outp} - 2C_3V_{cmfb}) \quad (5.18)$$

C_1, C_2, C_3, C_4 取相同的电容值时，由式 (5.18) 得

$$V_{cmfb} = \frac{1}{2}(V_{outn} + V_{outp}) - V_{cm} + V_b \quad (5.19)$$

由于运放工作于 ϕ_2 时刻，因此电容 C_3, C_4 将会在运放工作时，成为运放负载的一部分，因此， C_3, C_4 的电容值一般不会太大。

5.3.3 运放仿真结果

通过上文的分析后，对设计的运放仿真，运算放大器的幅频和相频特性曲线如图 5.13 所示，从图中得出运算放大器增益为 88.5dB, 带宽为 1.571GHz, 符合前文分析的设计要求。

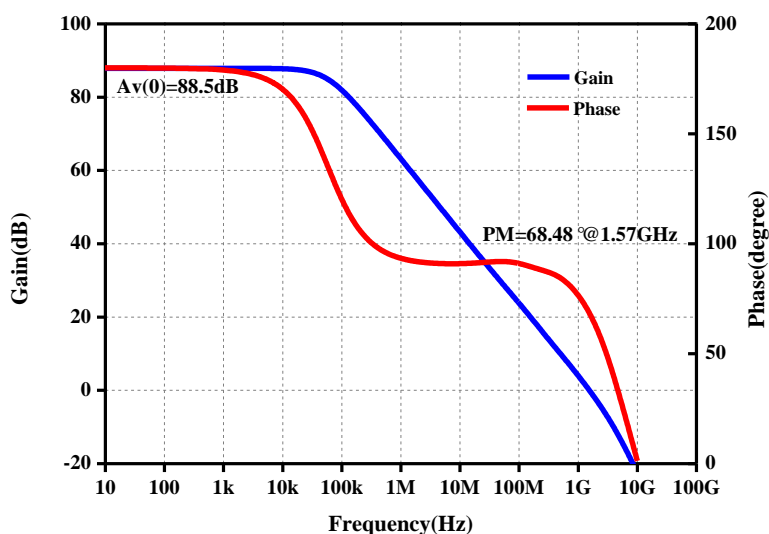


图 5.13 运算放大器幅频和相频特性曲线

5.4 电路仿真结果

对加入 dither 电路的流水线 ADC 进行整体电路仿真，为与前文理想情况下引入 dither 校正的仿真结果对比，本次仿真的信号输入频率和幅度为 11.065165MHz 和 20mV，没有加入失配和加入失配没有加入 dither 的频谱分析图在前文中已经给出，本小节不再重复给出。在电路中引入 dither 校正后，将 ADC 输出端信号在 MATLAB

中与引入的 dither 信号相减后进行 FFT 后的频谱分析图如图 5.14 所示,可以看出此时 ADC 在 SNR 减小了 0.32dB 的情况下, SFDR 提高了 6.11dB, 相比于前文理想情况下, 性能有一定程度降低。

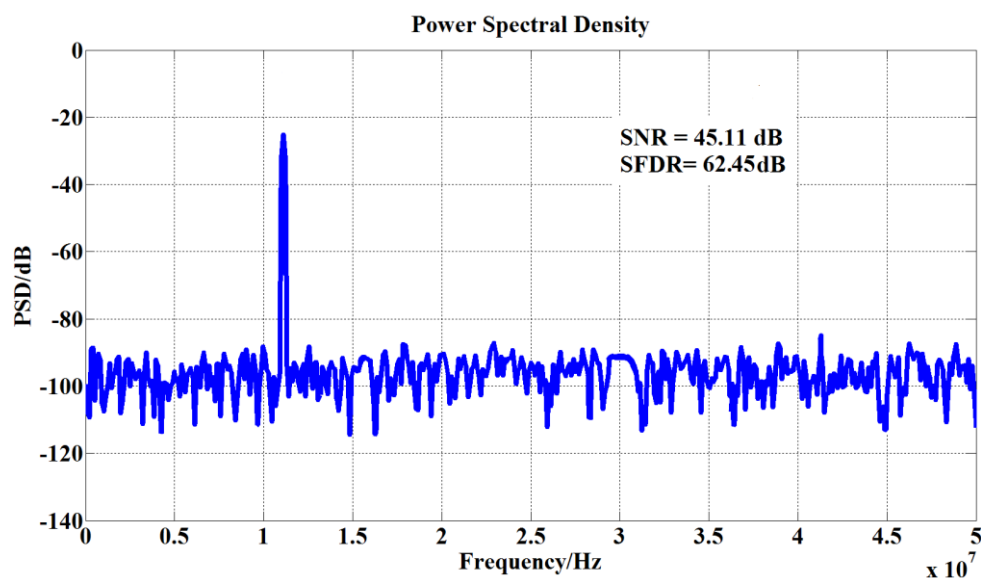


图 5.14 ADC 的频谱特性曲线

图 5.15 给出了在流水线 ADC 的采样速率为 100M, 信号输入频率为 11.065165MHz 时, 电路中引入 dither 信号后, ADC 的 SFDR 性能随着输入信号幅度的变化而变化的曲线。从图中得出, 信号幅度为 -50dBFS~-30dBFS 时, dither 信号对 ADC 的 SFDR 性能改善较为显著, 这与前文分析和验证中得到的结论相同。

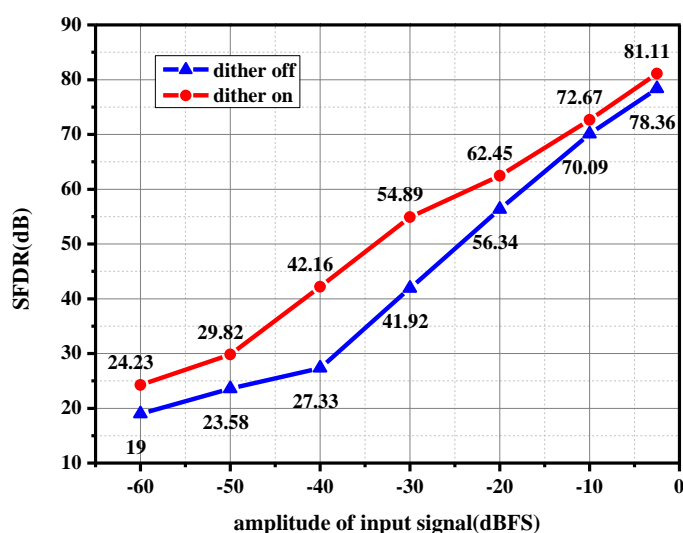


图 5.15 SFDR 与输入信号幅度的关系

5.5 版图设计考虑及后仿结果

流水线模数转换器是典型的高速高精度、同时包含模拟电路和数字电路的混合信号系统。数字模块与模拟模块之间干扰较大，在工艺制作过程中造成寄生电容和电阻等会使数字模块与模拟模块之间存在串扰。而在模拟电路中，工艺中器件间的不匹配都会造成电路非线性，对模拟电路性能有较大的影响。

为尽量减小上述中的非理想因素，在版图设计过程中需要考虑的问题有：电路匹配、重要信号线的保护和整体版图布局。

在流水线模数转换器中，对于首级流水级的性能要求最高，而首级电路中运放是最重要的模块，首级流水线中运放的性能对流水线模数转换器的整体性能有着较大的影响。在运放的版图设计中，差分输入对管的设计是其中的重点，差分输入对管的失配将会在运放输入端产生失调电压，因此版图设计中的差分输入对管应尽量做到设计上完全对称。

在 MOS 管的匹配中，常见的匹配方式有叉指匹配、共质心匹配和四方交叉匹配，如图 5.16 所示。考虑到在工艺中，共心技术可以降低热梯度等非理想因素，在本文的版图设计中根据 MOS 管面积的大小灵活选用共质心匹配和四方交叉匹配。

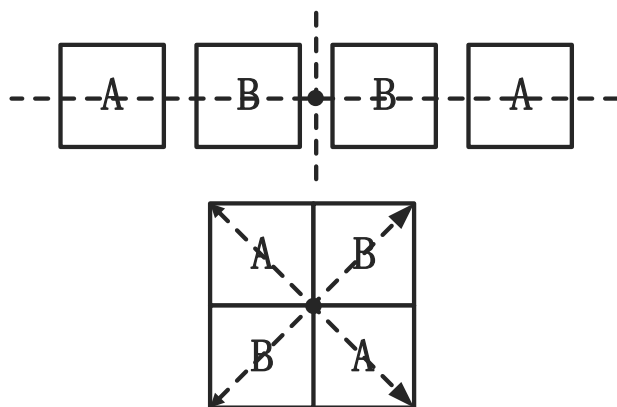


图 5.16 共心匹配

图 5.17 中给出了设计中的输入对管的匹配，为减小晶体管受两侧应力的影响和减小栅电阻，晶体管采用多 finger 技术，减小应力的方法还有在晶体管的两侧放置 dummy finger，同时保证各个 MOS 管周围环境一致。

在模数转换器的 MDAC 中，级间增益和加入 dither 信号幅度的大小均由电容的比值决定，因此电容之间的匹配特性至关重要。本文中的电容匹配采用上文所述的

共质心匹配, 图 5.18 给出了版图设计中 dither 电容阵列的匹配。其中, 单元电容采用正方形, 这是由于电容随机失配的主要来源是外周边长偏差, 周长与面积比值越小, 则电容匹配程度越高, 而正方形的周长面积比最小。在电容的外围增加了 dummy 电容, 避免在阵列两端电容单元的过度刻蚀。

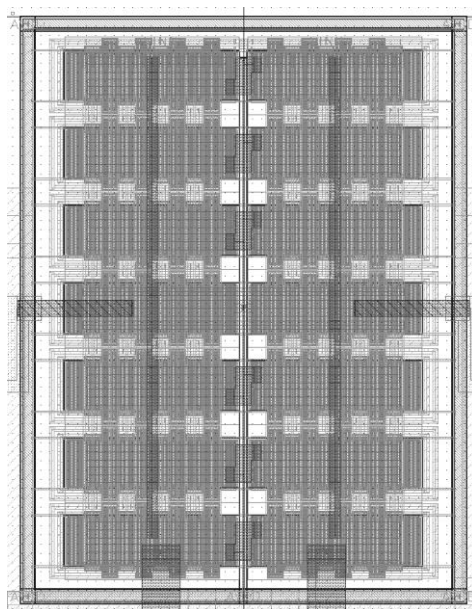


图 5.17 差分输入对管版图

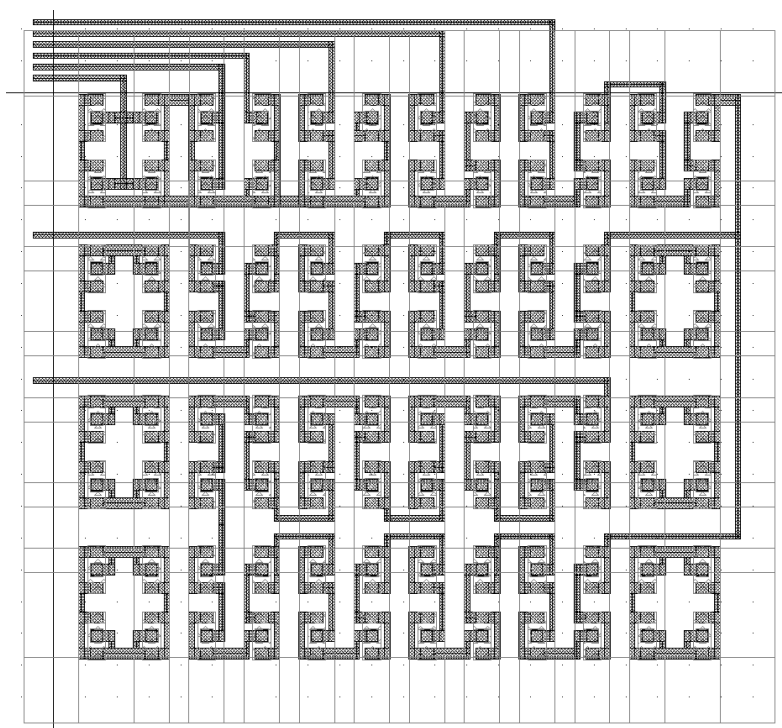


图 5.18 dither 电容阵列版图

在版图设计中对信号线的保护尤为重要，在版图布局中，模块的布局应尽量顺着信号线的走向布局，信号线尽量短，避免信号来回走线，造成信号衰减和干扰，应注意对重要的差分信号线进行保护，如图 5.19 所示为流水线模数转换器中信号线版图，在差分输入信号线的两边加入对称分布的电压接地的 dummy 走线，以达到减小其他信号对输入信号的干扰的目的。

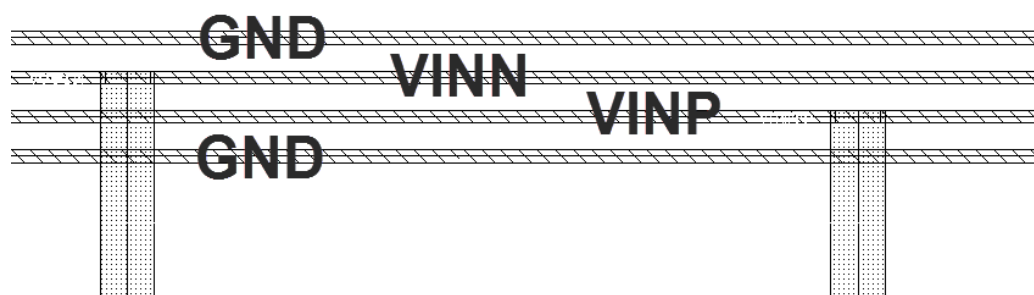


图 5.19 信号线版图

在版图的整体设计过程中，布局时应该重点关注模拟模块与数字模块之间的隔离，模拟电路和数字电路的模拟和数字的电源和地应该分别独立提供，在模拟模块和数字模块之间放置隔离环，并且在靠近模拟模块的地方尽量放置频率较低的数字模块，以减小高频数字信号通过电容耦合等路径对模拟模块的干扰。

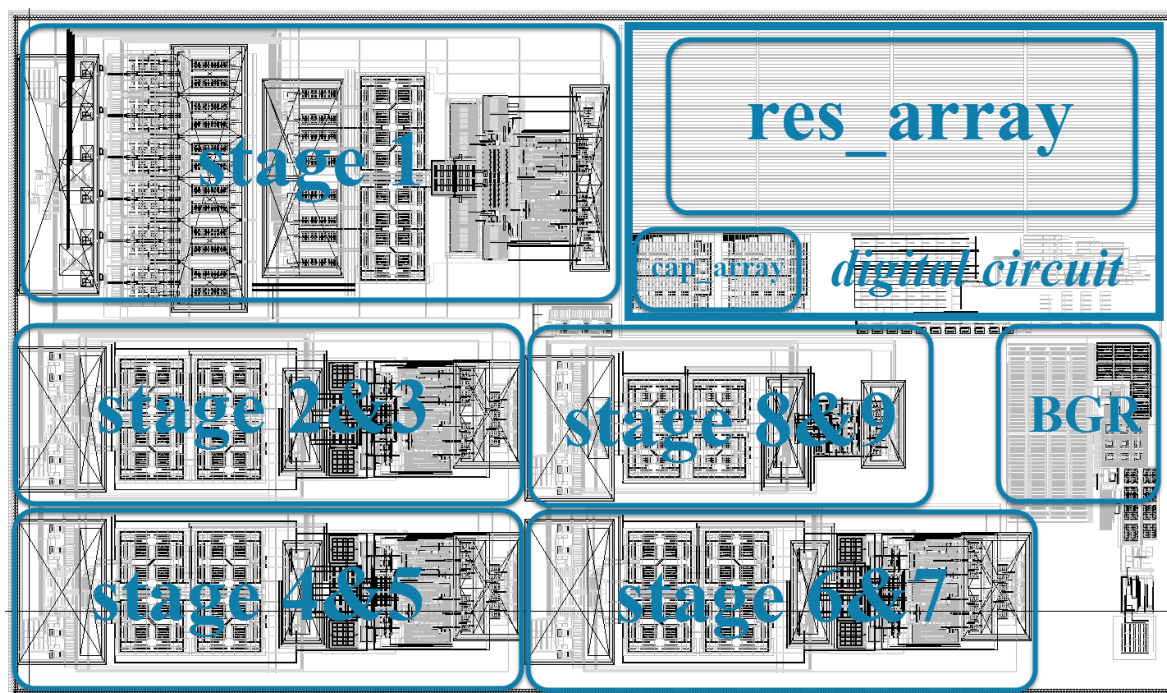


图 5.20 流水线模数转换器整体版图

模数转换器的整体版图如图 5.20 所示，模拟信号从左上角输入，依次通过后级

子流水级, dither 信号引入电路中的电阻和电容阵列紧靠首级流水级排列。全部的数字电路, 包括延迟对齐电路, 数字冗余校正电路和时钟产生电路等均排列于版图的右上角, 并在数字电路和模拟电路之间加入隔离环, 以隔离干扰。整体的版图面积为 $1.57 \times 0.915 \text{mm}^2$ 。

对上述电路版图进行寄生参数提取后进行后仿真, 在 ADC 采样速率为 100MS/s , 输入信号幅度为 20mV , 频率为 11.06516MHz 时, 引入 dither 信号校正后, 将 ADC 的数字输出信号在 MATLAB 中对齐相减后, 进行 FFT 变换后的频谱图如图 5.21 所示, 其 SNR 为 53.87dB , SFDR 为 69.94dB 。在理想电路的仿真验证中, 为了验证 dither 技术对电容失配和比较器失配的改善情况, 人为引入了电容失配和比较器失调, 在版图后仿真中, 由于自身存在失配, 并未人为地引入失配, 在这种情况下, SFDR 性能有所提升。

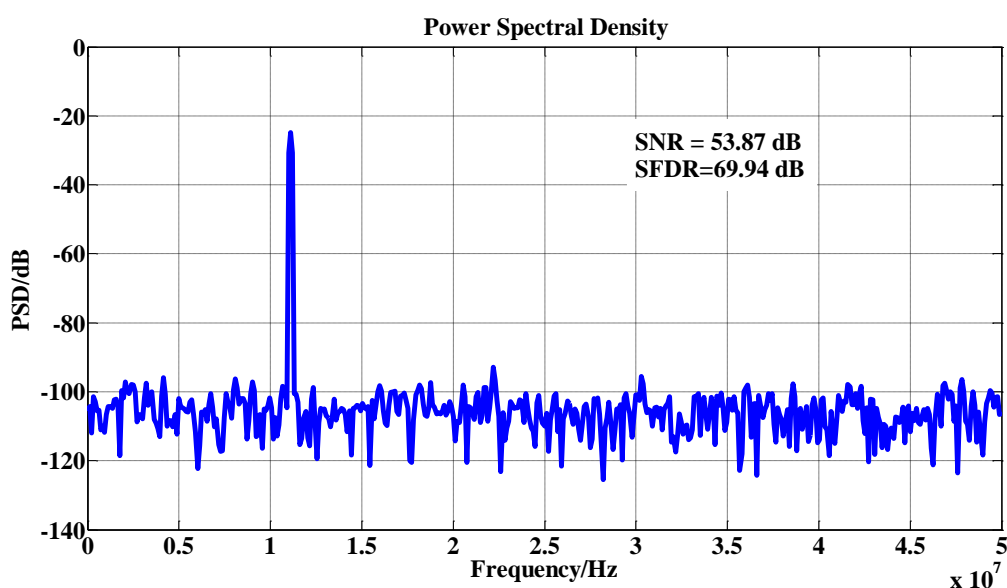


图 5.21 版图后仿真 ADC 频谱曲线图

5.6 本章小结

本章讨论了基于 TSMC 90nm 工艺下, 采用 dither 技术的一个 12bit 100MS/s 流水线模数转换器设计。其中介绍了 dither 技术加入目标流水线 ADC 的关键电路模块设计, 包括 PN 序列产生电路, MDAC 和子 Flash ADC 中 dither 信号的加入电路和运算放大器电路以及相应电路模块的仿真结果, 最后给出了整体带有 dither 电路的

模数转换器的仿真结果，从仿真结果中可以得出，宽带大幅度 **dither** 能有效改善电容失配和比较器失调造成的杂散，提高模数转换器的无杂散动态性能。

结论

随着半导体工艺与集成电路设计技术的发展,消费电子,可穿戴设备和卫星导航系统等设备迅猛发展,模数转换器作为上述系统中的关键模块,对其性能的要求,尤其是小信号线性度的要求也日益提高。而对于精度日益提高的模数转换器来讲,在电路设计过程中由于许多非理想因素的存在,对转换器电路产生的影响表现在输出中已经与转换器的最小量化台阶具有相同的数量级,这很大程度上限制了模数转换器性能的提高,通过数字校正能够有效的提升 ADC 的性能,降低设计工作过程中,高性能 ADC 在精度、速度、电路结构复杂度和功耗等方面的折中难度,因此数字校正技术日益成为研究的热点。本文正是基于上述背景,研究将宽带 dither 技术应用于模数转换器中以期提高其无杂散动态范围的性能。在本文中主要完成了以下工作:

- (1) 对模数转换器的基本转换理论,衡量其性能的指标参数和目前常见的几种模数转换器的基本原理和特性对比进行了讨论;
- (2) 对流水线模数转换器的工作原理和系统架构进行了详细的介绍,讨论了目前常见的应用于模数转换器的数字冗余校正技术的原理,分析了模数转换器电路设计过程中涉及的非理想因素,以及非理想因素对流水线模数转换器的输入输出特性曲线的影响;
- (3) 介绍了 dither 技术作为数字校正技术提高模数转换器无杂散动态范围性能的原理,给出了引入宽带大幅度 dither 和从模数转换器中将其减去的理想验证仿真;
- (4) 对 dither 校正技术引入模数转换器的具体电路进行设计和电路仿真,并在此基础上,设计整体电路版图和进行电路后仿真。得出宽带 dither 能有效改善由电容失配和比较器失调造成的杂散和谐波的结论。

由于本人能力和对模数转换器中 dither 技术研究时间的限制,本文的一些工作还需要进一步进行,主要表现为:

- (1) 本文在模数转换器的内部加入宽带 dither 信号,对其进行仿真结果分析,基于各方面的原因,并未流片测试;
- (2) 本文没有解决加入宽带大幅度 dither 后可能会造成的超出模数转换器量程范

围的问题，需要以后对自适应宽带 dither 电路结构进行研究；

- (3) 本文仅讨论了加性 dither 对模数转换器性能的改善，对于 dither 校正技术中频移 dither 的结构，由于其实现方式的复杂性，并没有进一步的研究；
- (4) 流水线模数转换器电路中的非理想因素有很多，仅采用数字冗余校正和 dither 技术对其性能改善比较有限，提高模数转换器的性能还需进一步结合其他数字校正算法对其进行研究。

参考文献

- [1] 赵增会.低电压低功耗 CMOS 模拟运算放大器的设计与研究[D]. 河北: 河北工业大学, 2008.
- [2] Bult K. Analog design in deep sub-micron CMOS[C]// Solid-State Circuits Conference, 2000. Esscirc '00. Proceedings of the, European. IEEE Xplore, 2000:126-132.
- [3] 朱凯. 时间交错模数转换器设计与校正研究[D].复旦大学,2008.
- [4] Sedra A S. Analog MOS integrated circuits for signal processing[J]. Proceedings of the IEEE, 2005, 75(11):1550-1550.
- [5] Cho T B. Low-power low-voltage analog-to-digital conversion tech-niques using pipelined architectures[J]. 1998.
- [6] 郑鹏. 10 Bit 50 MSPs 流水线模数转换器的设计与实现[D].复旦大学,2009
- [7] 陈丽坤. 一种高速流水线 ADC 的研究[D].北京交通大学,2011
- [8] Bult K. Analog design in deep sub-micron CMOS[C]// Solid-State Circuits Conference, 2000. Esscirc '00. Proceedings of the, European. IEEE Xplore, 2000:126-132.
- [9] 孔晓彬. 基于 CMOS 工艺的流水线 A/D 转换器的实现[D].浙江大学,2005.
- [10] Goodall W M. Television by Pulse Code Modulation[J]. Bell Labs Technical Journal, 1951, 30(1):33-49.
- [11] Roberts L G. Picture coding using pseudo-random noise[J]. Information Theory Ire Transactions on, 1962, IT-8(2):145-154.
- [12] Wagdy M F, Goff M. Linearizing ideal A/D converters via analog and digital dither: Analytical study[C]// Instrumentation and Measurement Technology Conference, 1993. IMTC/93. Conference Record. IEEE. IEEE, 1993:154-162.
- [13] Jayant N S, Rabiner L R. The Application of Dither to the Quantization of Speech Signals[J]. Bell Labs Technical Journal, 1972, 51(6):1293-1304.
- [14] Schuchman L. Dither Signals and Their Effect on Quantization Noise[J]. IEEE Transactions

on Communication Technology, 2003, 12(4):162-165.

[15] Wannamaker R A, Lipshitz S, Vanderkooy J, et al. A theory of nonsubtractive dither[J]. Signal Processing IEEE Transactions on, 2000, 48(2):499-516.

[16] Devarajan S, Singer L, Dan K, et al. A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS Pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12):3305-3313.

[17] Fetterman H S, Martin D G, Rich D A. CMOS pipelined ADC employing dither to improve linearity[C]// Custom Integrated Circuits, 1999. Proceedings of the IEEE. IEEE, 1999:109-112.

[18] Shu Y S, Song B S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2):342-350.

[19] 万若琦. 外部宽带大幅度 Dither 技术在流水线 ADC 中的研究[D]. 电子科技大学, 2012.

[20] 张云. 窄带 Dither 算法在流水线 ADC 中的研究与应用设计[D]. 电子科技大学, 2011.

[21] Chen C Y, Le M Q, Kim K Y. A Low Power 6-bit Flash ADC with Reference Voltage and Common-Mode Calibration[C]// VLSI Circuits, 2008 IEEE Symposium on. IEEE, 2008:12-13.

[22] Nasrollahpour M, Sreekumar R, Hamed-Hagh S. Low power comparator with offset cancellation technique for Flash ADC[C]// International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications To Circuit Design. 2017:1-4.

[23] Hussain S, Kumar M. Design of an efficient 8-bit flash ADC for optical communication receivers[C]// International Conference on Electrical, Electronics, and Optimization Techniques. IEEE, 2016:449-453.

[24] Liu Q, Shu W, Chang J S. A 400-MS/s 10-b 2-b/Step SAR ADC With 52-dB SNDR and 5.61-mW Power Dissipation in 65-nm CMOS[J]. IEEE Transactions on Very Large Scale Integration Systems, 2017, PP (99):1-11.

[25] Atkin E, Normanov D. Area-efficient low-power 8-bit 20-MS/s SAR ADC in 0.18 μ m CMOS[M]. 2014.

[26] Yu Q, Wang K, Cao X, et al. A 4-channel ASIC for X-ray CCD readout based on incremental sigma delta ADC[C]// IEEE International Conference on Solid-State and Integrated Circuit Technology. IEEE, 2016:106-108.

- [27] Zhao L, Deng C, Chen H, et al. A 1-V 23- μ W 88-dB DR Sigma-Delta ADC for high-accuracy and low-power applications[C]// IEEE, International Conference on Asic. IEEE, 2016.
- [28] Yang S, Tong Z, Jiang Y, et al. The design of a multi-bit sigma-delta ADC modulator[M]. 2013.
- [29] Lee H Y, Wang I H, Liu S I. A 7-BIT 400MS/s sub-ranging flash ADC in 0.18 μ m CMOS[C]// SOC Conference, 2007 IEEE International. IEEE, 2008:11-14.
- [30] Zhu Y, Chan C H, Sengpan U ., et al. An 11b 900 MS/s time-interleaved sub-ranging pipelined-SAR ADC.[J]. 2014:211-214.
- [31] Cline D W, Gray P R. A power optimized 13-b 5 Msamples/s pipelined analog-to-digital converter in 1.2 μ m CMOS[J]. IEEE Journal of Solid-State Circuits, 2002, 31(3):294-303.
- [32] Lewis S H. Optimizing the stage resolution in pipelined, multistage, analog-to-digital converters for video-rate applications[J]. IEEE Transactions on Circuits & Systems II Analog & Digital Signal Processing, 2002, 39(8):516-523.
- [33] Lewis S H, Fetterman H S, Gross G F et al. A 10-b 20-Msample/s analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3): 351-358.
- [34] Ahmed I. Pipelined ADC design and enhancement techniques[M]. Springer Science & Business Media, 2010.
- [35] Lewis S. H., Fetterman H.S., Gross G.F., et al. A 10-b 20-Msample/s analog-to-digital converters [J]. IEEE J. Solid-State Circuits, 1992, 27(3): 351-358.
- [36] Quinn P J, Van Roermund A H M. Accuracy limitations of pipelined ADCs[C]// IEEE International Symposium on Circuits and Systems. IEEE, 2005:1956-1959 Vol. 3.
- [37] Sumanen L. Pipeline Analog-to-Digital Converters for Wide-Band Wireless Communications[J]. Helsinki University of Technology, 2002, 115:927-33.
- [38] 秦亚杰. 高效流水线模数转换器的研究与设计[D]. 复旦大学, 2012.
- [39] 李福乐. 适宜于系统集成的高速高精度模数转换电路设计技术研究[D]. 清华大学, 2003.
- [40] Yang W, Kelly D, Mehr I, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB

SFDR at Nyquist input[J]. Solid-State Circuits, IEEE Journal of, 2001, 36(12):1931-1936.

[41] 张庆民. 高速中频采样和数字下变频的研究[D]. 中国科学技术大学, 2000.

[42] Kikkert C J, Bigdeli A. Frequency shift dither for analogue to digital converters[C]// International Symposium on Signal Processing and ITS Applications. IEEE, 1999:729-732 vol.2.

[43] 高凤辉, 应鲁曲. Dither 技术在软件无线电 ADC 中的应用[J]. 电子产品世界, 2003(15):104-106.

[44] C. J. Kikkert, A. Bigdeli. Hardware Additive Dither for Analogue to Digital Converters[C]. 14th Australian Microelectronics Conference, 1997, 10, 43(1):156-161.

[45] C. J. Kikkert, A. Bigdeli. Hardware Additive Dither for Analogue to Digital Converters. Micro'97:156-161.

[46] Pan H, Abidi A /. Spectral spurs due to quantization in Nyquist ADCs[J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2004, 51(8):1422-1439.

[47] 吴霜毅. 高速高精度采样/保持电路理论模型与技术实现[D]. 电子科技大学, 2007.

[48] Ahmadi M M. A new modeling and optimization of gain-booster cascode amplifier for high-speed and low-voltage applications[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2006, 53(3):169-173.

[49] Kamath B Y T, Meyer R G, Gray P R. Relationship between frequency response and settling time of operational amplifiers[J]. Solid-State Circuits, IEEE Journal of, 1974, 9(6):347-352.

[50] 吴晓雷, 龚敏, 陈岚. 一种全差动增益增强型跨导运算放大器[J]. 现代电子技术, 2008, 31(5):79-81.

攻读学位期间发表论文与研究成果清单

- [1] 靳翔, 闫肃, 赵洪明, 王兴华, 陈铖颖, 宽带 dither 技术改善 ADC SFDR 性能研究[J]. 微电子学与计算机, 已收录, 拟发表于 2018 第 3 期。(核心期刊)

致谢

两年时光匆匆而过，我们也将要离开学校，告别长达十几年的学生生涯，即将踏入社会。一路走来有欢笑，有泪水，有喜悦，有忧愁，有成功，也有失败，但是这些都是人生中的财富。回首研究生生涯，有老师的教导，有师兄的帮助，还有同学的陪伴，有太多的人想要感谢。

首先感谢我的导师丁英涛老师，丁老师在我本科时就是我的班主任，她工作认真负责，关心班级中的每一个同学，让大学时远离的我们感受到了如同在家一般的温暖。在研究生时依然是我的班主任和导师，此时，她对待科研工作严谨的态度和高涨的热情极大地感染着我，是我学习和工作中的榜样。

感谢王兴华老师，本科时关于微电子专业的第一门课程微电子器件是王老师讲授的，是王老师，带我走进了微电子和模拟集成电路设计的大门，以其渊博的知识和风趣语言提高了我们的兴趣。王老师待人和蔼可亲，治学严谨认真，这些都深深地影响着我。

感谢陈志铭老师，有幸在本科时，由陈老师指导完成毕业设计，陈老师渊博的学识、对待科研的严谨的态度，科学的时间管理等对我影响颇深。

感谢仲顺安老师和党华老师，感谢他们为我们提供的舒适的实验室，可以全身心投入到科研中。

感谢微电所的师兄师姐，同学和师弟师妹们。感谢王征晨博士，帮我夯实了模拟集成电路设计的基础，感谢李国峰师兄和郭英杰师兄在找工作过程中的指导，感谢张智京、常奕、王毛冬、杨海东、杨建勋、杨勇立、周航军、罗嘉文等师兄师姐们在学术和生活上的指导和建议。感谢张晓洁，赵洪明，郭力阳，孙诗岩，武照博，杨晨晨，洪祥等同学的支持和陪伴，感谢李聪、雷蕾等师弟师妹的帮助。

最后感谢无论遇到什么事情一直在身后默默支持我的家人，你们的支持和理解是我前进道路上最大的动力，感谢你们对我人生方向的引导，感谢你们的辛苦付出和默默支持。

成长路上遇到很多困难，也遇到了很多帮助过我，陪伴过我的人，感谢所有帮助和陪伴过的人，最后感谢我的母校——北京理工大学。