

电子科技大学
UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

硕士学位论文

MASTER THESIS



论文题目 一种采用新型失配校准算法的高速
高精度时间交织模数转换器设计

学科专业 电子科学与技术

学 号 201921020216

作者姓名 任钊锋

指导教师 唐 鹤 教 授

学 院 电子科学与工程学院

分类号 TN432 密级 公开
UDC ^{注1} 621.3

学 位 论 文

一种采用新型失配校准算法的高速高精度时间交织模 数转换器

(题名和副题名)

任钊锋

(作者姓名)

指导教师 唐鹤 教 授
电子科技大学 成 都
(姓名、职称、单位名称)

申请学位级别 硕士 学科专业 电子科学与技术
提交论文日期 2022 年 4 月 1 日 论文答辩日期 2022 年 5 月 16 日
学位授予单位和日期 电子科技大学 2022 年 6 月
答辩委员会主席 _____
评阅人 _____

注 1: 注明《国际十进分类法 UDC》的类号。

A high-speed and high-precision time-interleaved analog-to-digital converter using a novel mismatch calibration algorithm

A Master Thesis Submitted to
University of Electronic Science and Technology of China

Discipline **Electronic Science and Technology**

Student ID **201921020216**

Author **Ren Zhaofeng**

Supervisor **Prof. Tang He**

School **School of Electronic Science and Engineering**

摘 要

随着集成电路制造工业水平的发展,数字信号处理的速度飞速提高,模数转换器(Analog to Digital Converter, ADC)作为连接模拟世界与数字世界的桥梁,其采样速率以及精度的要求被不断提高。高速高精度 ADC 具有重要的战略意义,在高端军用以及民用设备中需求极大,是芯片中的稀缺品。国内在高速高精度 ADC 研究上起步较晚,与国际领先水平差距较大,与此同时关键技术又遭到美国封锁,此领域的研究具有重要意义。时间交织是实现高速高精度的常用架构,能通过通道数量的堆叠实现 ADC 采样速率的成倍增加,在单通道 ADC 的选择上,流水线 ADC 能在较高的采样速率下保持高精度,本文将系统研究时间交织流水线 ADC 的关键技术。

本文基于 40 nm CMOS 工艺,设计并实现了一款 12bit 1GSps 4 通道时间交织流水线 ADC。本文首先对流水线 ADC 关键技术进行研究,阐述了流水线 ADC 的基本架构以及原理,确定了结合级间增益校准技术的单级 3-bit 的 SHA-less 架构的流水线 ADC 架构,而后分析并设计了单个流水线级的采样保持电路、Sub-ADC 以及 MDAC。随后本文对时间交织 ADC 的关键技术进行了研究,阐述了时间交织结构的基本原理,研究并设计了用分频器产生 4 相时钟的时钟控制方式,详细介绍了失调失配、增益失配以及采样时刻失配这三种主要的失配方式,计算推导出了这三类失配分别在频域上的影响,分析了各类校准技术优缺点后,提出了实现方便的累加平均提取失配值并直接在输出端消除的后台校准算法,而针对提取以及补偿的方式都更为复杂的采样时刻失配校准,本文选取了数字域提取、模拟域补偿的后台校准算法进行实现并改进。

本设计单通道流水线 ADC 前仿结果为: SNDR 为 81.8 dB, SFDR 为 91.8 dB, 提取前四级寄生的后仿结果为: SNDR 为 74.6 dB, SFDR 为 77.2 dB。12bit 1GSps 4 通道时间交织流水线 ADC 模拟电路部份经前仿验证性能良好,其前仿 SNDR 为 81.2 dB, SFDR 为 91.2 dB。针对失配校准的校准技术经仿真验证能有效抑制失配带来的杂波,分别来看,失调失配校准前后性能可提升 31.4 dB,增益失配校准前后性能可提升 34.4 dB,采样时刻失配校准前后性能可提升 20.3 dB。此外,经本设计优化后的采样时刻失配校准算法相对传统方法收敛更快、精度更准。

关键词: 模数转换器, 流水线, 时间交织, 通道间失配, 失配校准

ABSTRACT

With the development of the integrated circuit manufacturing industry, the speed of digital signal processing is rapidly increasing. As a bridge connecting the analog world and the digital world, the analog to digital converter (ADC) has been continuously improved in its sampling rate and precision requirements. High-speed and high-precision ADCs have important strategic significance and are in great demand in high-end military and civilian equipment, they are scarce in chips. The domestic research on high-speed and high-precision ADC started late, and there is a big gap with the international leading level. At the same time, the key technology has been blocked by the United States. Research in this field is of great significance. Time interleaving is a common architecture to achieve high speed and high precision. It can double the sampling rate of ADC by stacking the number of channels. In the selection of single-channel ADC, pipeline ADC can maintain high precision at a higher sampling rate, this thesis will systematically study the key technology of time-interleaving pipeline ADC.

Based on 40nm CMOS process, this thesis designs and implements a 12bit 1GSps 4-channel time-interleaved pipelined ADC. This thesis firstly studies the key technologies of pipelined ADC, expounds the basic architecture and principle of pipeline ADC, determines the pipeline ADC architecture of single-stage 3-bit SHA-less architecture combined with inter-stage gain calibration technology, then the sample-and-hold circuit, Sub-ADC and MDAC of a single pipeline stage are analyzed and designed. Then this thesis studies the key technology of time-interleaving ADC, expounds the basic principle of time-interleaving structure, studies and designs the clock control method of using frequency divider to generate 4-phase clock, the three main types of mismatch, including offset mismatch, gain mismatch and time skew, are introduced in detail, and the effects of these three types of mismatch in the frequency domain are calculated and deduced. After analyzing the advantages and disadvantages of various calibration techniques, a background calibration algorithm is proposed to achieve convenient cumulative average extraction of mismatch values and directly eliminate them at the output. In this thesis, the background calibration algorithm of digital domain extraction and analog domain compensation is selected for implementation and improvement.

The pre-simulation result of this design single-channel pipeline ADC is: SNDR is 81.8 dB, SFDR is 91.8 dB, the post-simulation result of this design first four stages' parasitic is: SNDR is 81.8 dB, SFDR is 91.8 dB. The analog circuit part of the 12bit 1GSps 4-channel time-interleaving pipeline ADC has been verified by the pre-simulation, and its SNDR is 81.2 dB and the SFDR is 91.2 dB. The calibration technology for mismatch calibration has been verified by simulation to effectively suppress the spurs caused by mismatch. Separately, the performance before and after offset mismatch calibration can be improved by 31.4 dB, the performance before and after gain mismatch calibration can be improved by 34.4 dB, and the performance before and after sampling time mismatch calibration can be improved by 20.3 dB. In addition, the sampling time mismatch calibration algorithm optimized by this thesis has faster convergence and more accurate accuracy than the traditional method.

Keywords: Analog to Digital Converter, Pipeline, Time-interleaving, Mismatch, Mismatch Calibration

目 录

第一章 绪论	1
1.1 研究工作的背景与意义	1
1.2 时间交织 ADC 国内外研究历史与现状	2
1.3 本论文的结构安排	4
第二章 ADC基本介绍	5
2.1 ADC 原理	5
2.2 ADC 参数	7
2.2.1 ADC 的分辨率和采样率	7
2.2.2 ADC 的静态参数	7
2.2.3 ADC 的动态参数	9
2.3 ADC 结构	10
2.3.1 Flash ADC	11
2.3.2 SAR ADC	12
2.3.3 Sigma-delta ADC	12
2.3.4 流水线 ADC	13
2.3.5 TI ADC	14
2.4 本章小结	15
第三章 时间交织流水线ADC关键技术	16
3.1 流水线 ADC 关键技术	16
3.1.1 采样保持电路	16
3.1.2 Sub-ADC	19
3.1.3 MDAC	20
3.1.4 SHA-less 结构与孔径误差	24
3.1.5 流水线 ADC 的数字校准技术	25
3.2 时间交织 ADC 的关键技术	25
3.2.1 失调失配的频域影响及校准	27
3.2.2 增益失配的频域影响及校准	29
3.2.3 采样时刻失配的频域影响及校准	30
3.2.4 时间交织 ADC 的时钟控制	32
3.3 本章小结	32

第四章 电路以及校准设计	33
4.1 单通道流水线 ADC 设计	33
4.1.1 流水线 ADC 架构选取	33
4.1.2 时序及时钟电路设计	34
4.1.3 采样保持电路设计	36
4.1.4 Sub-ADC 设计	37
4.1.5 MDAC 设计	39
4.2 时间交织架构设计	44
4.2.1 时钟控制模块设计	44
4.2.2 校准算法设计	44
4.3 本章小结	50
第五章 仿真结果	51
5.1 单通道流水线 ADC 仿真结果	51
5.1.1 前仿结果	51
5.1.2 版图及后仿结果	55
5.2 时间交织 ADC 仿真结果	61
5.2.1 时间交织 ADC 电路仿真及版图	61
5.2.2 时间交织 ADC 失配校准仿真	63
5.3 本章小结	68
第六章 全文总结与展望	69
6.1 全文总结	69
6.2 后续工作与展望	69
致 谢	71
参考文献	72
攻读硕士学位期间取得的成果	76

第一章 绪论

1.1 研究工作的背景与意义

随着集成电路制造工业的飞速发展,单位面积晶体管数量每 18 个月翻一倍,数字集成电路的计算能力与速度飞速提升。作为连接模拟信号与数字信号的桥梁,为匹配日益发展的数字集成电路,模数转换器的采样速率以及精度的要求被不断提高。在高端军用以及民用领域如无线通信基站、宽带通信、雷达、软件无线电、以及高速测试仪器等应用中,高速高精度 ADC 有着极大的需求以及极为重要的战略意义。

国内 ADC 芯片技术水平相对落后,工业界缺少成熟的 ADC 产品,高性能 ADC 主要从美国的亚德诺半导体与德州仪器这两家公司进口。然而近年来由于国际形势的变化,某些西方国家对我国进行技术封锁,一些能自主研发高性能 ADC 的公司如华为、中兴接连遭受制裁,高速高精度的 ADC 芯片对我国实施禁运(12 位-14 位 ADC,采样率不能超过 400Msps, 14 位-16 位 ADC,采样率不能超过 250Msps)。在国内 5G 技术高速发展的现在,已经无法靠进口来填补高速高精度 ADC 的缺口,实现高速高精度 ADC 芯片的技术自主、自给自足是填补国内 ADC 芯片产业技术缺口以及实现我国 ADC 芯片技术发展的唯一途径。

根据斯坦福大学 Boris Murmann 教授团队最新的统计数据,截至到 2021 年,在集成电路顶级会议 ISSCC 上发表的采样率超过 400Msps 的 ADC 共有 69 篇,其中采用时间交织架构的 ADC 有 47 篇,占总数的 68%,占据主导地位。统计数据说明在高速高精度 ADC 的各类架构中,单通道实现的方式已经逼近了工艺极限,将单通道 ADC 进行时间交织是现今最为流行与实用的方式。在时间交织架构子通道 ADC 的选择上,采用流水线型 ADC 或逐次逼近型 ADC 是两种主流的方案,比较这两种方案,前者在单通道下也能实现较高的采样率和精度,不需要过多的通道堆叠就能达到高速采样,整体结构的布局以及校准相对容易,但是功耗与面积相对较大;后者在单通道下精度高、功耗低、面积小,但是采样率较低,需要大量的堆叠通道数从而实现高速采样,这将提升系统布局以及校准的难度。

以流水线 ADC 为子通道的时间交织 ADC 架构符合高速高精度 ADC 的发展潮流,本文设计的 4 通道时间交织流水线 ADC 采样速率在原有单通道流水线 ADC 的基础上提升了四倍,利用通道间失配的校准保证了 1GSps 的采样速率下仍能实现较高的精准度,能在高端军用以及民用的通信领域中发挥重要作用,有助于补足我国芯片产业的技术缺口,从而推动我国芯片技术发展。

1.2 时间交织 ADC 国内外研究历史与现状

时间交织 ADC 最早提出是在 1980 年^[1]，在这之后国内外都有大量的关于这一类 ADC 的学术研究成果。学术界对于时间交织 ADC 的研究主要集中于失配校准算法的研究，通过数字电路对时间交织 ADC 各类失配进行校准是这类 ADC 精度提升的关键技术，也是学术界对于时间交织 ADC 的主要研究方向。失调失配以及增益失配的校准技术相对较为简便，可以直接通过线性运算来进行提取以及校准，现有针对这两类失配进行校准的算法已经比较成熟^[2]。采样时刻失配由于其提取与校准都有很高的复杂度，并且对于时间交织 ADC 最终性能的影响巨大，是现有学术研究需要解决的主要问题。目前学术界主流的针对采样时刻失配的校准方法是基于自相关函数的方法^[3-6]，该方法提供了一种对采样时刻失配进行提取的有效手段，而在补偿方面，则需要用其他方式来进行。基于自相关函数法校准的常见的补偿方式可以分为两类：一类是在模拟域进行校准，2013 年，Razavi 在中提出了一种基于可变延时线（Variable Delay Line, VDL）的模拟补偿方法，该方法直接在时钟上进行相位微调，可实现低功耗的时间失配补偿，应用于大部分时间交织 ADC 中^[7]；另一类补偿方式则是直接在数字域进行补偿^[8-11]，文章[8]是一种典型的基于自相关函数进行提取采样时刻失配，然后在数字域运算对失配进行消除的方法，这种补偿方式增加了数字电路的复杂度以及功耗，但是不需要在模拟与数字域进行交互。此外，文章^[12-15]对输入信号进行一阶泰勒展开估计来达到误差补偿的目的，也是一种主流的全数字补偿方式。文章^[16]采用了多相滤波器进行相位偏移从而实现时间失配的补偿。基于这些校准算法以及已有的单通道 ADC 设计经验，现有学术研究已经能实现时间交织 ADC 在超高速采样率下拥有不错的精度。2017 年集成电路顶级会议 ISSCC 上，来自亚德诺半导体（ADI）的 Siddharth Devarajan 在 28nm CMOS 工艺下实现了 12bit 10GSps 的 8 通道时间交织 ADC，信噪比（signal to noise ratio, SNR）达到了 56 dB^[2]。2020 年的 ISSCC 上，Ahmed M. A. Ali 所设计的时间交织 ADC 在 18GSps 采样率下信噪失真比（signal to noise and distortion ratio, SNDR）能达到 52 dB^[17]。

国内学术界对时间交织 ADC 的研究在集成电路领域高水平的期刊以及会议上都有发表。2018 年，在集成电路领域的顶级期刊 IEEE Journal of Solid-State Circuits (JSSC) 上，来自台湾大学的 Chin-Yu Lin 基于辅助 ADC 结构实现了 10bit 2.6GSps 的时间交织逐次逼近型 ADC^[9]。2019 年，清华大学的 Xiao Wang 在 IEEE Transactions on Circuits and Systems II: Express Briefs (TCASII) 上发表了采用辅助 ADC 结构和基于自相关函数的时间失配校准方法实现的 14bit 500MSps 的双通道时间交织 ADC^[18]。2020 年，中国科技大学的 Maowei Yin 在 TCASII 上提出了一种基于一阶

统计量的可快速收敛的时间失配校准模型^[14]。国内发表的论文主要集中在算法上的研究，在采样速率上与国际顶尖研究有着不小的差距。

国内外学术界现有的两类针对采样时刻失配的校准技术已能有效提高系统性能，但是大部分技术仍存在一些局限性。数字域补偿方法往往需要花费大量的硬件消耗与功耗才能达到不错的性能；模拟域补偿方法的校准性能会受到模拟域补偿电路的限制，与此同时大部分此类型的校准方法实现之时需要多轮次校准从而影响收敛速度。基于减少校准电路硬件消耗以及功耗的角度，本设计选取模拟域补偿的校准方式，针对模拟补偿电路导致校准性能下降以及多轮次的校准致使算法收敛较慢这两处局限进行研究与设计。

表 1-1 国外半导体企业的部分 ADC 产品列表

公司	产品	通道数	分辨率 (Bit)	采样率 (MHz)	SNR (dB)	功耗 (mW)	有效位数 (Bit)
TI	ADC10D1000QML-SP	2	10	2000	56.8	2770	9
	ADC3424	4	12	125	70.7	391	11.4
	ADS4129	1	12	250	70	265	11.2
	ADS54J20	2	12	1000	68.4	2700	10.9
	ADS4449	1	14	250	71.1	365	11.5
	ADS42B49	2	14	250	71.3	840	11.4
	ADC31RF80	1	14	3000	61.4	3200	9.8
	ADC32RF44	2	14	2600	63.1	5820	10
	ADC32RF45	2	14	3000	63	6400	10
	ADS54J40	2	14	1000	69.7	2700	11.3
	ADC14X250	1	14	250	71.1	584	11.5
ADI	AD9961	2	10	200	61	342	N/A
	AD9634-250	1	12	250	70	360	11.1
	AD9234-500	2	12	500	65.9	2150	10.4
	AD9234-1000	2	12	1000	64.2	3000	10.4
	AD9683	1	14	250	72.1	434	11.1
	AD9993	4	14	250	70	1536	N/A
	AD9208	2	14	3000	60.2	3300	N/A
	AD9689-2600	2	14	2600	61.3	3100	N/A
	AD9689-2000	2	14	2000	62.7	2500	N/A
	AD9625-2000	2	14	2000	59.5	3480	N/A
	AD9697	1	14	1300	65.6	1010	N/A
	LTC2123	2	14	250	70	864	11.1
	ISLA224S25	2	14	250	73.2	939	N/A
Intersil	ISLA214P25	1	14	250	73.0	480	N/A
	ISLA224P25	2	14	250	72.7	837	N/A
E2V	EV10AQ190A	4	10	1250/2500/5000	51.0	5650	8/7.9/7.9

高速高精度 ADC 产品主要被国外顶尖半导体企业德州仪器(Texas Instruments, TI) 以及 ADI 所垄断。高速高精度 ADC 产品分辨率以 12/14 位为主, 采样率低于 1GHz 的产品 SNR 最高能达到 70 dB, 而高于 1GHz 采样率的产品 SNR 往往只能到 60 dB, 一些产品仅使用单通道就达到了较高采样率, 多通道的时间交织结构则在这类产品中得到普遍应用, 单通道 ADC 的结构普遍采取的是在工业界内技术已经十分成熟稳定的 Pipelined 结构, Folding 结构也被广泛采用。表 1-1 对国外各半导体公司的高速高精度 ADC 产品及其性能做了统计, 而相对于国外, 国内还缺乏这类具有自主知识产权的产品。

1.3 本论文的结构安排

本文的章节结构安排如下:

第一章绪论介绍了本文的研究背景、研究历史与现状以及研究内容和结构安排;

第二章介绍了模数转换器的基本原理、参数以及各类结构;

第三章主要对本设计采用的关键技术进行了介绍, 先介绍了流水线 ADC 的关键技术, 再对时间交织 ADC 的关键技术, 即各类失配以及针对失配的校准方法进行分析;

第四章先介绍了单通道流水线 ADC 设计, 主要包括采样保持电路、Sub-ADC、MDAC, 然后介绍了时间交织结构的设计, 包括时钟产生电路、采样时刻失配补偿电路以及针对三类失配的校准算法;

第五章主要介绍了本文设计的时间交织 ADC 的仿真结果, 包括前仿真、版图后仿真以及时间交织结构失配校准的仿真;

第六章对本文的研究进行了总结与展望。

第二章 ADC 基本介绍

2.1 ADC 原理

在通信系统中，信息的存储与处理都是在数字域中进行，而自然界中的信号往往都是模拟信号，模数转换器是实现模拟信号转化为数字信号的接口，能将模拟信号进行采样、量化、编码转化为相对应的数字信号。

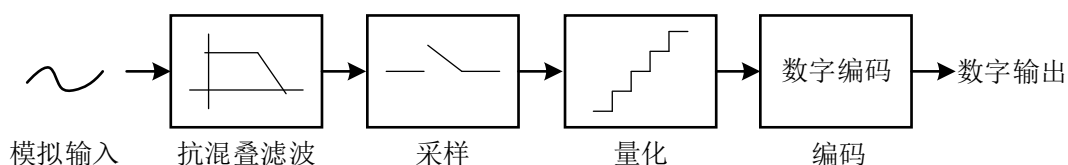


图 2-1 模数转换过程示意图

模数转换的过程如图 2-1，模拟信号依次需要经过抗混叠滤波、采样、量化、编码才能转化为数字信号。由奈奎斯特定理可知，当一个系统的采样率 F_s 确定之后，信号带宽 f_b 不能大于采样率的二分之一，否则会产生信号混叠，后续无法还原出原信号，影响系统性能。通信系统中处理的信号带宽通常会控制在带内（频率小于 $F_s/2$ ），但是它常常伴有宽带的噪声（带宽大于 $F_s/2$ ），宽带噪声的混叠会恶化噪声性能，增大带内噪声，为避免此影响，需要一个抗混叠滤波器对带外的噪声进行抑制。

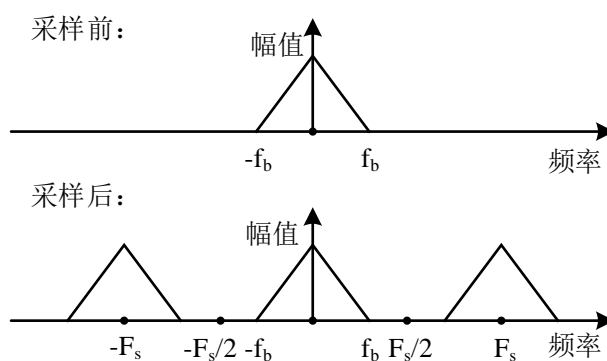


图 2-2 信号采样频谱图

采样可将信号在时间上离散化。理想的采样可看作将输入信号与单位冲击序列相乘，因此可以表示为将信号与单位冲击序列混频。对于一个信号频谱为图 2-2 所示的信号，经采样后在频域上变为此频谱周期性的复制。

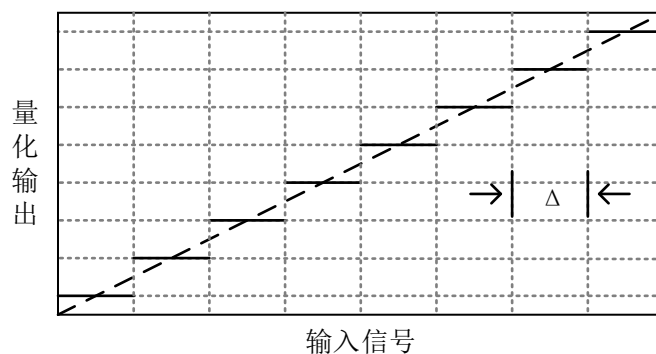


图 2-3 量化器工作原理示意图

量化将输入信号连续的幅值转化为一个个离散的给定的幅值，量化器的工作过程可简要解释为：量化器的动态范围被分隔为多段的单位量化步长，每一段单位量化步长有一个相应的数值代表此范围内量化器的输出值，量化过程中先找到输入信号幅度对应应在量化器上的范围，再将对应此范围的值作为输出值。图 2-3 为理想量化器的输入输出曲线，单位量化步长为 Δ ，对一输入范围为 V_{FS} 的 N -bit 量化器，

$$\Delta = \frac{V_{FS}}{2^N} \quad (2-1)$$

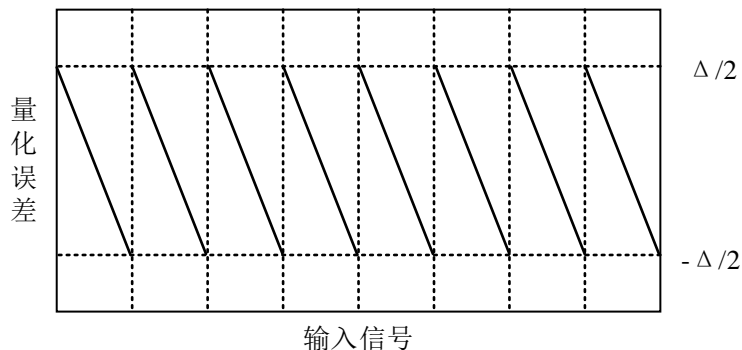


图 2-4 量化误差随输入变化示意图

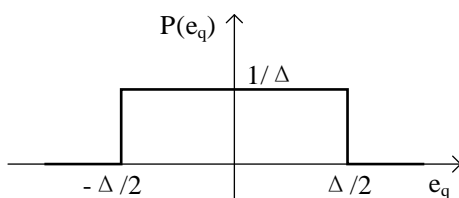


图 2-5 量化误差概率分布图

量化后的信号相对于原信号的误差值通常称作量化误差 e_q ，图 2-4 描述了输

入范围内不同幅值的输入对应的量化误差值，观察可发现量化误差对应各输入幅度呈锯齿形变化，范围为 $(-\Delta/2, \Delta/2)$ 。也就是说，量化位数 N 越高，量化误差会分布在更小的范围内。在大部分条件下，量化误差可以看作是一均匀分布^[19]，为计算出量化误差的功率，可画出此时的概率密度函数如图 2-5，根据此分布，对量化误差平均功率进行计算可得

$$P_Q = \int_{-\infty}^{\infty} e_q^2 \times p(e_q) de_q = \int_{-\Delta/2}^{\Delta/2} \frac{e_q^2}{\Delta} de_q = \frac{\Delta^2}{12} \quad (2-2)$$

量化后，经过相应的编码，ADC 就完成了转换。

2.2 ADC 参数

2.2.1 ADC 的分辨率和采样率

分辨率以及采样率是一个 ADC 最为主要与核心的参数，关注一个 ADC 性能时首先就要对这两项进行关注，通过分辨率的大小以及采样率的快慢可以很快的划分出一个 ADC 处在的性能区间。分辨率表示一个 ADC 的量化精度，对于一个输入范围为 V_{FS} 的 N -bit 的 ADC，它能分辨出的最低有效位（LSB）为

$$LSB = \frac{V_{FS}}{2^N} = \Delta \quad (2-3)$$

ADC 分辨率越高，便能够分辨出更细微的模拟量，量化值就更精确。

ADC 的采样率表示一个 ADC 每秒的采样样本数，此参数值越大，代表 ADC 的速度越快，同时，根据奈奎斯特定理，对于给定采样率 F_s 的 ADC，采样率规定了 ADC 的输入信号带宽不能大于 $F_s/2$ 。

2.2.2 ADC 的静态参数

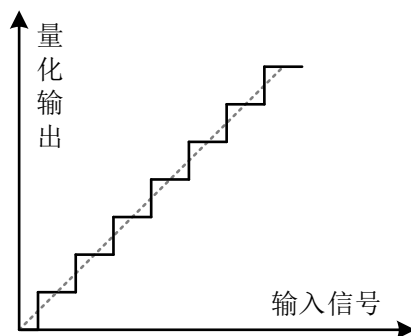


图 2-6 理想 ADC 输入输出特性图

ADC 的静态参数在直流输入时测得，直接体现在 ADC 的输入输出传输特性曲线上。理想的输入输出特性如图 2-6 所示，每一个台阶的长度以及转换的点都是确定的，实际中由于各类误差的影响，输入输出特性会产生偏移，可以用一些参数来衡量输入输出曲线的各类偏移，这些参数被称作 ADC 的静态参数，常见的有：

(1) 增益误差

增益误差定义为实际传输特性曲线与理想量化阶梯间的斜率的偏差，如图 2-7(a)，增益误差会使输入输出特性曲线中台阶的长度发生变化，对整体性能的影响较好消除。

(2) 失调误差

失调误差定义为输出为 0 时的输入值，如图 2-7(b)，此误差会使得输入输出特性曲线平移，对 ADC 性能影响较小也较好消除。

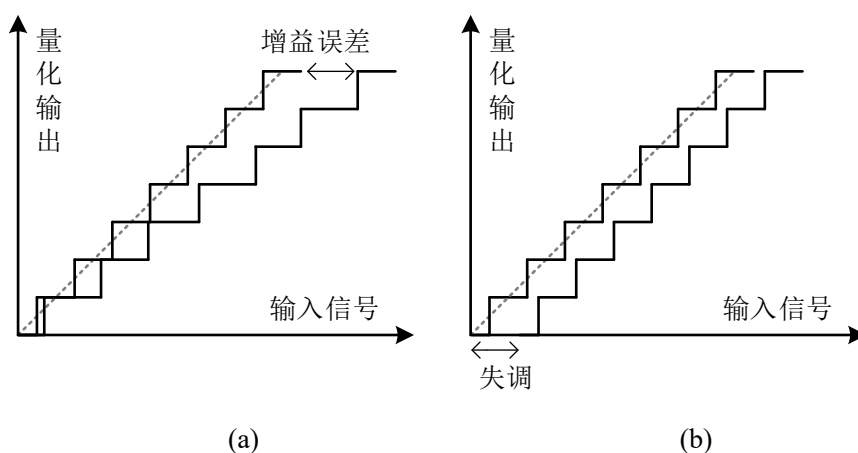


图 2-7 非理想 ADC 输入输出特性图。(a)带增益误差；(b)带失调误差

(3) 微分非线性

理想的输入输出曲线每个台阶的宽度都是一致的，而实际中台阶间的宽度却各不相同，ADC 的微分非线性 (DNL) 定义为

$$DNL(k) = \frac{w(k) - LSB}{LSB} \quad (2-4)$$

$$DNL = \max_k [DNL(k)]$$

其中 $w(k)$ 表示输出码字为 k 时的台阶宽度，DNL 是一个归一化的值，表示实际传输曲线中的台阶宽度与理想台阶宽度之差的最大值。一个正的 $DNL(k)$ 的值表示在此码字处，实际台阶宽度比理想值大，反之，一个负的 $DNL(k)$ 的值表示在此码字处，实际台阶宽度比理想值小。当 $DNL(k)$ 小于 -1 时，会造成 ADC 失码；当 $DNL(k)$

大于 1 时，会造成 ADC 输入输出传输曲线的非单调。DNL 表示了 ADC 的小信号静态非线性。

(4) 积分非线性

ADC 的积分非线性 (INL) 定义为

$$\begin{aligned} INL(k) &= \frac{V_x(k) - V_x(k)|_{ideal}}{LSB} \\ INL(k) &= \sum_{i=0}^k DNL(i) \\ INL &= \max_k [INL(k)] \end{aligned} \quad (2-5)$$

其中 $V_x(k)$ 表示输出码字为 k 时的跳变点电压，同 DNL 一样，INL 也是一个归一化的值，表示实际输入输出传输曲线跳变点的值与理想传输曲线跳变点的值的差值的最大值，它也可表示为在此前各码字处 DNL 的积分。INL 反映了 ADC 大信号下的非线性，根据各码字 INL 大小可以判断出输入输出传输特性曲线的特性。

2.2.3 ADC 的动态参数

ADC 的动态参数需要输入为正弦波时对输出信号做 FFT 分析进行测量，这些参数反映了 ADC 的频域特性，常见的动态参数有：

(1) 信号噪声比 (SNR)

信号噪声比 SNR 表示输入信号功率与噪声功率的比值（不包含谐波）

$$SNR = 10 \times \lg \left(\frac{P_{signal}}{P_{noise}} \right) \quad (2-6)$$

其中 P_{signal} 代表信号功率 P_{noise} 代表噪声功率。在对 SNR 进行计算时，通常用正弦波进行输入，对于一个 N-bit ADC，其输入动态范围为 $2^N \Delta$ ，那么输入正弦波的最大振幅就为 $2^N \Delta / 2$ ，功率为

$$P_{sin} = \frac{1}{T} \int_0^T \left(\frac{2^N \Delta}{2} \right)^2 \sin^2(2\pi ft) dt = \frac{(2^N \Delta)^2}{8} \quad (2-7)$$

由式 (2-2)，可计算出只有量化噪声时 N-bit ADC 的信噪比为

$$SNR = 10 \times \lg \left(\frac{(2^N \Delta)^2}{8} \times \frac{12}{\Delta^2} \right) = (6.02N + 1.76) dB \quad (2-8)$$

(2) 信号噪声失真比 (SNDR)

信号噪声失真比 SNDR 表示输入信号功率与噪声功率和总谐波功率之和的比值

$$SNDR = 10 \times \lg \left(\frac{P_{signal}}{P_{noise} + \sum P_{harmonic}} \right) \quad (2-9)$$

其中 $\sum P_{harmonic}$ 代表各谐波功率的总和。

(3) 有效位数 (ENOB)

有效位数 ENOB 通常定义为

$$ENOB = \frac{SNDR - 1.76}{6.02} \quad (2-10)$$

一个 N-bit ADC, 其 ENOB 并不能达到 N-bit, 只有在 ADC 完全线性并且没有电噪声的情况下 (噪声来源只有量化噪声), 才能达到 N-bit 的 ENOB。

(4) 无杂散动态范围 (SFDR)

无杂散动态范围 SFDR 为信号基波功率与最大谐波功率之间的比值

$$SFDR = 10 \times \lg \left(\frac{P_{signal}}{P_{harmonic(max)}} \right) \quad (2-11)$$

其中 $P_{harmonic(max)}$ 为最大谐波功率。

2.3 ADC 结构

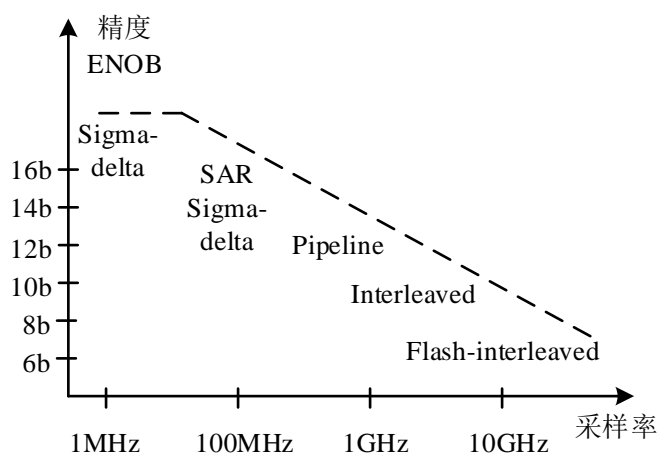


图 2-8 各类 ADC 的速度以及精度特点

主流的 ADC 架构有快闪型 ADC (Flash ADC), 流水线 ADC, 逐次逼近型 ADC (SAR ADC), sigma-delta ADC, 时间交织 ADC。这些种类的 ADC 各自都有鲜明的特点, 通常从精度以及速度两个角度对各类 ADC 的特点进行总结。如图 2-8 所示,

y 轴为 ADC 的精度，x 轴为 ADC 的速度，各类 ADC 根据自身特点进行二维定位便分布在了图 2-8 上的不同位置，Sigma-delta ADC 可达到的精度最高，但是速度却是最低的；SAR ADC 精度较 sigma-delta ADC 低一些，速度较快一些；流水线 ADC 能在相对高的速度下实现相对高的精度；到了高速领域 Flash ADC 和时间交织 ADC 则成为了最常见的 ADC 架构。

2.3.1 Flash ADC

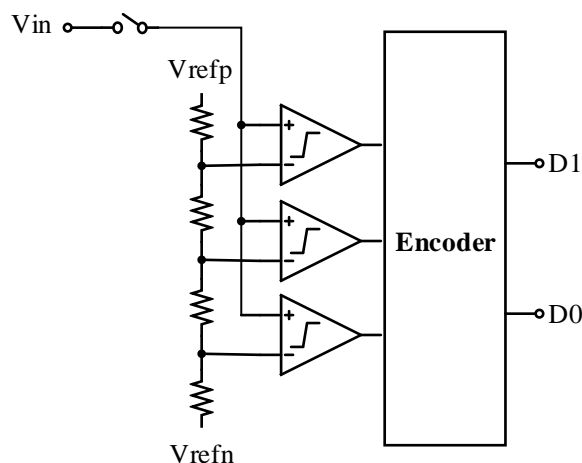


图 2-9 Flash ADC 结构图

Flash ADC 是 ADC 中最基本的架构，也是非交织类 ADC 中最快的架构，它不仅能用作独立的 ADC 模块，也被广泛应用于其他各类 ADC 如流水线 ADC, Sigma-delta ADC, SAR ADC 中作为子模块。如图 2-9，常见的 Flash ADC 由采样保持电路、电阻串、比较器、编码器组成，在工作之时，由电阻串分压产生出对应于 ADC 输入输出传输曲线上的阈值电压，输入信号经过采样后通过比较器与这些阈值电压相比较输出温度计码，温度计码经编码器后形成所需的数字信号。此架构结构简单，能在一个时钟周期内实现数据的转化，易实现高采样率。但是，对于一个 N-bit 的 ADC，采用此种架构需要 2^{N-1} 个比较器^[20]，这意味着此架构在实现高精度应用时需要使用大量的比较器，增加了面积、功耗以及引入了巨大的寄生电容增加驱动负担，还会由于器件之间的不匹配等原因引入大量的误差和非线性从而恶化 ADC 的精度。综上，Flash ADC 架构简单，易实现高采样率，但是很难达到较高精度。为实现高精度，由 Flash ADC 衍生出了极大减小了所需器件数量的两步式 ADC，而后又衍生出了在速度与精度上都表现相对均衡的流水线 ADC。

2.3.2 SAR ADC

如图 2-10，SAR ADC 通常由采样保持电路、DAC、比较器、逻辑电路组成。工作时，由采样保持电路对输入信号进行采样，将采样后的信号与由逻辑电路控制的 DAC 输出电压进行比较，具体为：第一轮比较时，DAC 输出电压被调整为量化范围的一半，若输入电压大于此电压，就得到 MSB 为 1，再将 DAC 电压调整到上半量化范围的中间值进行二轮比较；若输入电压小于此电压，就得到 MSB 为 0，再将 DAC 电压调整到下半量化范围的中间值进行二轮比较。整个量化过程利用二分法求值的思想，对采样所得信号进行逐次逼近。一个 N-bit SAR ADC 完成一次量化需要 N 个时钟周期，因此 SAR ADC 难以实现高采样率，但是它结构简单，功耗低、面积小，在民用高精度市场有着很高的需求。

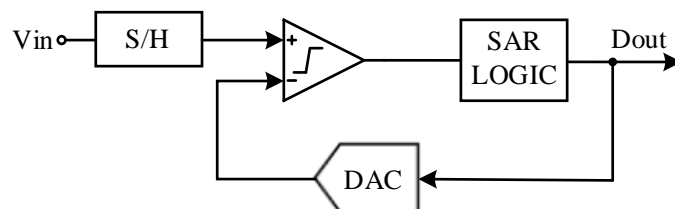


图 2-10 SAR ADC 结构图

2.3.3 Sigma-delta ADC

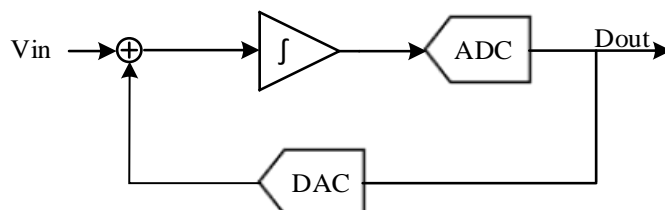


图 2-11 Sigma-delta ADC 结构图

Sigma-delta ADC 架构采用过采样以及噪声整形来降低带内量化噪声以提高 ADC 精度。一个一阶 sigma-delta ADC 如图 2-11 所示，此架构是由积分器、ADC 以及 DAC 构成的闭环反馈系统，工作之时，经过若干个周期之后，输出将会趋近于输入，完成转化。从频域上分析，此闭环系统的量化噪声传输函数为高通，此类型的传输函数会对带内量化噪声进行整形与抑制，大幅提升精度。此类型的 ADC 能达到很高的精度，但是往往需要多个周期的工作以及低的输入信号带宽，因此通常只能用在低速的应用中。

2.3.4 流水线 ADC

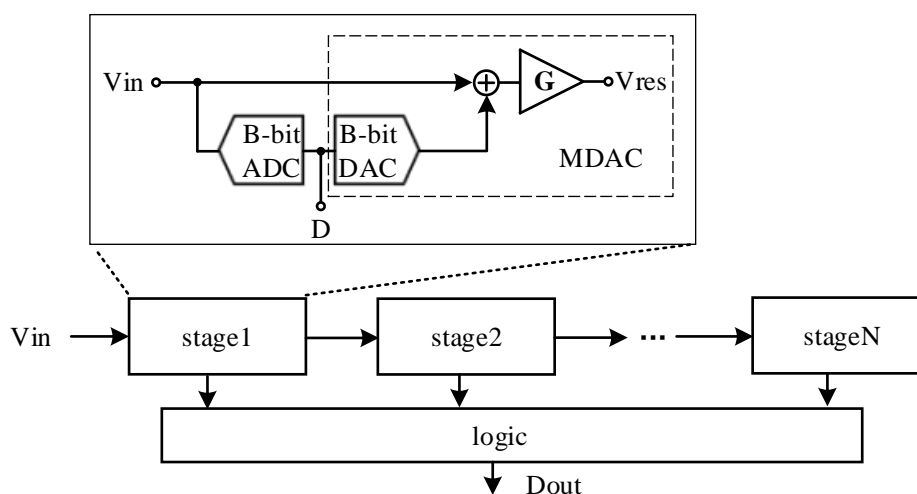


图 2-12 流水线 ADC 结构图

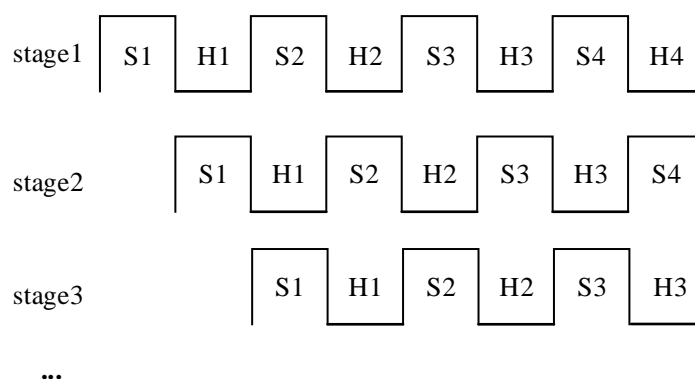


图 2-13 流水线 ADC 时序图

流水线型 ADC 由多个流水线级构成，这些流水线级除了最后一级只由 Flash ADC 构成，其余每级都由 Sub-ADC 以及 MDAC 组成。一个流水线 ADC 的结构图与时序图如图 2-12 和 2-13 所示，在前一级进行采样时，后一级进行量化与放大，形成流水线型的工作模式。每一级流水线都只对输入信号进行较低位数的量化，而后再将残余量化误差进行放大用于后级精细的量化，一个输入信号经过多级的量化、放大，再经量化码字整合后，此输入信号便转化为了对应的数字信号。

图 2-13 为典型的流水线 ADC 结构，多个流水线级进行串联，每个流水线级包括采样保持电路、Sub-ADC、DAC、减法器 and 残差放大器（Residue Amplifier, RA），其中 DAC、减法器 and RA 一般统称为乘法数模转换器（Multiplying Digital-to-Analog Converter, MDAC）。在流水线 ADC 流水线级中，Sub-ADC 不需要较高的精度，一般用 Flash ADC 来实现，通常把此处 Sub-ADC 的分辨率叫做此级的分辨率。

MDAC 中, DAC 用来产生 Sub-ADC 输出码字对应的模拟值, 再用输入信号减掉这一模拟值得到残余量化误差, 残差经 RA 进行放大后提供给后级流水线进行量化, RA 的增益一般跟流水线级的量化位数有关, 对于一个 k -bit 的流水线级, 一般的设计需要 RA 增益为 2^k , 使后级能满量程的输入。在理想的情况下, 残余的量化误差不断被放大再量化, 能够实现较高的精度。

流水线 ADC 对信号的转化过程需要多个流水线级来完成, 工作之时, 每一级同时处理的通常是不同时刻的输入信号, 这样的工作模式为此架构带来了较高的吞吐率, 但是又造成了输入到输出之间较大的延迟。每个流水线级都对它的输入进行一定位数的量化, 再将残余的量化误差放大并传递进入下一级流水线以进行更精细的量化, 只要能保证残余量化误差的产生以及放大过程的准确性, 此架构就能实现较高的精度以及线性度。结合以上的特点, 流水线 ADC 能既能实现高采样速率, 又能保证精度, 是高速高精度领域的一种重要架构。

2.3.5 时间交织 ADC

时间交织 ADC 是利用了时间交织技术的 ADC 的总称, 它并不是某一类单独架构的 ADC, 在时间交织 ADC 中, 子 ADC 可以是任意架构的 ADC。此架构如图 2-14 所示, 对于一个 M 通道的时间交织 ADC, 通过控制这 M 个通道的子 ADC 进行交错采样, 可将采样率在原子通道 ADC 的基础上提升 M 倍。尽管通道数的堆叠会导致面积与功耗的成倍上升, 但当单通道 ADC 的采样速率提升受限的时候, 时间交织技术将是实现高速以及超高速采样的唯一选择, 因此时间交织 ADC 架构在高速应用中不可或缺。

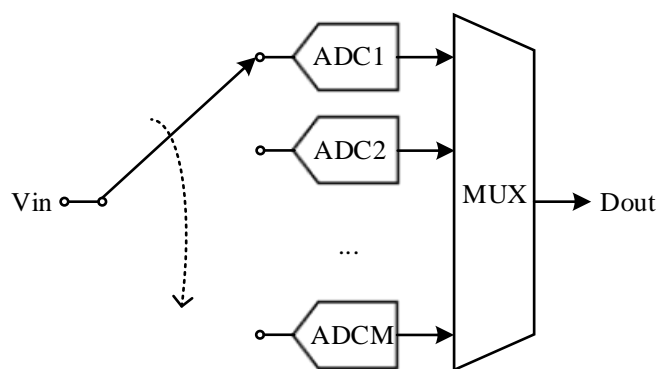


图 2-14 TI ADC 结构图

对于一个 M 通道的时间交织 ADC, 以输入信号为单音正弦波为例, 在频域上分析它的基本原理。令它的输入信号为 $x(t)$, 那么它的第 i 通道采样到的数据位于的时刻为 $t + iT_s + kMT_s$, 其中 t 是任意的一个采样开始时刻, 为方便计算与推导可

以看作是 0, T_s 是整个时间交织 ADC 的采样周期, k 是一个整数, 代表着第几轮的采样。其中, i 和 k 分别的范围为 $i = 0, 1, \dots, M-1$ 和 $k = 0, 1, 2, \dots$, 因此, 第 i 通道采样到的信号为

$$x_i(t) = x(t + t_i) \quad (2-12)$$

令 $X(f)$ 为 $x(t)$ 的傅里叶变化, 则 i 通道采样到信号的傅里叶变换为

$$X_i(f) = X(f)e^{j\omega t_i} \quad (2-13)$$

那么采样之后, 此处信号的傅里叶变换为(2-14)

$$X_{si}(f) = \frac{1}{MT_s} \sum_{k=-\infty}^{\infty} X(f - kf_s / M) e^{j(\omega - \frac{2\pi kf_s}{M})t_i} \quad (2-15)$$

将所有通道的傅里叶变换进行相加整合, 整合时相邻通道间加入延时 T_s , 最终就能得到整个时间交织 ADC 采样后信号的傅里叶变换

$$X_s(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} X(f - kf_s) \quad (2-16)$$

可知, 整合后的信号就如以 f_s 为采样率采样所得的信号。

2.4 本章小结

本章首先对 ADC 的基本原理进行了介绍, 描述了模数转换过程所需要的几个步骤; 然后对 ADC 的各项参数进行了介绍; 随后本文对主流的各类 ADC 架构进行了介绍, 高精度应用中常见的 sigma-delta ADC、SAR ADC, 速度精度都较高的流水线 ADC, 以及高速应用中常见的 Flash ADC 和时间交织 ADC。对流水线 ADC 以及时间交织 ADC 介绍时较为详细的分析了它们的工作原理。

第三章 时间交织流水线 ADC 关键技术

以流水线 ADC 为子通道的时间交织 ADC 架构符合高速高精度 ADC 的发展潮流，因此本设计的总体架构选定为以流水线 ADC 为子通道的 4 通道时间交织 ADC，围绕此架构，本章将分别对流水线 ADC 的关键技术以及时间交织 ADC 的关键技术进行分析与研究。

3.1 流水线 ADC 关键技术

3.1.1 采样保持电路

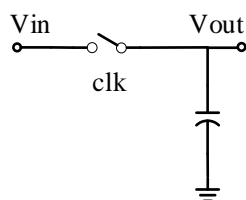


图 3-1 理想采样保持电路

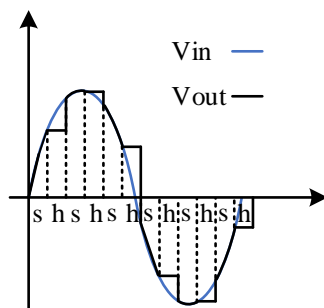


图 3-2 理想采样保持过程

在流水线 ADC 每个流水线级进行量化、做差、放大之前，需要先对输入信号进行采样。最基本的采样保持电路由开关和电容组成，如图 3-1，开关一般被时钟信号控制，在时钟信号控制开关闭合之时， V_{out} 被 V_{in} 所驱动，跟随着 V_{in} 变化，当时钟信号控制开关断开之时， V_{out} 不再被 v_{in} 驱动，将保持不变直到开关再次闭合，这一个时钟周期内开关的闭合与断开便分别实现了对信号的跟随以及保持，采样到的正好是开关闭合时刻的输入信号。图 3-2 所示为理想情况下的采样保持，在时钟采样相 V_{out} 能完美追随 V_{in} ，在时钟保持相时， V_{out} 又能完全保持住。而实际情况中的采样保持，既要受信号源的驱动能力的影响，又要被开关的导通电阻

(阻值不为 0, 电阻非线性) 以及电荷注入, 噪声等问题干扰, 最终采样保持得到的信号精度会有一定损失, 恶化系统性能, 因此, ADC 设计中必须对采样保持电路中这些非理想因素进行研究和优化以实现高性能。

(1) 导通电阻

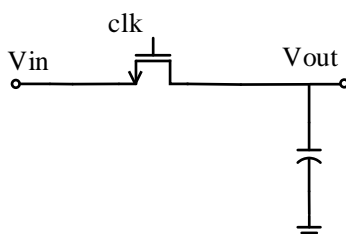


图 3-3 由 mos 管作为开关的采样保持电路

理想的开关在闭合时导通电阻为 0, 而实际工艺中的开关导通电阻不可能达到这一值, 由于导通电阻值的存在, 输入信号 V_{in} 到输出信号 V_{out} 之间存在一低通的传递函数, 这使得系统的输入信号带宽会被限制, 也要求设计时应根据系统输入带宽的要求去设计开关导通电阻的阻值。相对于阻值, 导通电阻的非线性对于采样保持过程的影响更大。在 cmos 工艺中, 如图 3-3, 通常使用 mos 管作为开关, 此时开关的导通电阻为

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_G - V_{IN} - V_{TH})} \quad (3-1)$$

一般架构下, mos 管栅极电位是固定的, 此导通电阻随输入信号 V_{in} 变化, 因此, 对于不同幅度的 V_{in} , 传递函数会不同, 这将导致采样得到的信号产生非线性失真。为降低导通电阻的非线性导致的采样保持后的信号的失真, 需减弱甚至消除 V_{in} 对导通电阻的影响, 目前最常用又最有效的方式是采用栅压自举开关, 不再固定开关的栅极电位, 而是保持栅极电位与输入电位只差不变, 这种架构有着很高的精度和线性度, 将在第四章设计之时进行详细讲述。

(2) 电荷注入

当 mos 管开关关断时, mos 管沟道内的电荷会注入到输出中^[21], mos 管沟道中的电荷量大约为

$$Q_{ch} \approx WLC_{ox}(V_G - V_T - V_{in}) \quad (3-2)$$

其中, W 为沟道宽度, L 为沟道长度, C_{ox} 为单位氧化层电容。此电荷量与输入信号 V_{in} 相关, 因此必然会造成输出信号的非线性失真。针对电荷注入的优化有几种方式, 一种是使用前文提到过的栅压自举开关, 此种架构能固定住 V_{GS} 的值, 使得

注入的电荷值变为固定值而不再随输入变化，能有效降低非线性失真；另一种普遍使用的方式如图 3-7，采用下级板采样的方式，这种方法在电容的另一个极板增加了一个开关 ϕ_{1a} ，采样之时，控制开关 ϕ_{1a} 先断开，再控制开关 ϕ_1 断开，此时采样电容的一端早已悬空，开关 ϕ_1 沟道内的电荷无法再注入到采样电容之中，保证了采样保持过程的高精度与高线性。

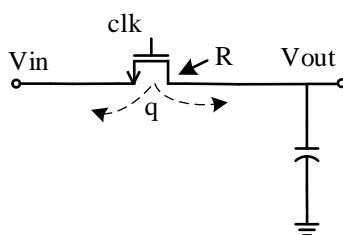


图 3-4 mos 开关的电荷注入

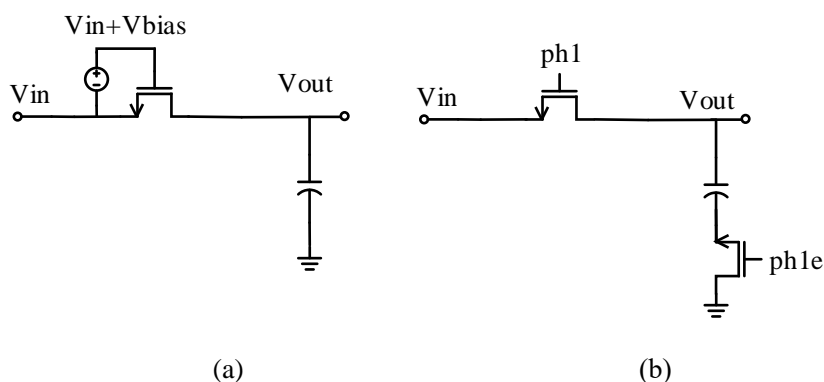


图 3-5 两种解决电荷注入的方法。(a)自举开关；(b)下级板采样

(3) 噪声

采样保持电路中的噪声来源有两个途径，一个是时钟通路带来的噪声，一个是信号通路上的噪声。信号通路上的噪声来自于信号通路上的各个噪声源，主要是开关的导通电阻。由热噪声相关知识可知，电阻的热噪声的功率谱密度为

$$S_n = 4kTR_{sw} \quad (3-3)$$

其中 k 为玻尔兹曼常数， T 为开尔文温度，因此，经过采样保持电路低通传递函数整形后的积分噪声为

$$P_{n,out} = \int_0^{\infty} \frac{4kTR_{sw}}{1 + (2\pi fR_{sw}C_s)^2} df = \frac{kT}{C_s} \quad (3-4)$$

由式(3-4)可得出，采样保持电路的积分噪声与导通电阻没有关系，只和采样电容的选取有关，采样电容越大，采样保持电路的热噪声越小，但是增大采样电容必然会

降低 ADC 的速度，精度的提升必然以速度的下降为代价，因此在高速高精度 ADC 设计中，需要对采样电容进行合适的选取以达到精度与速度的折中。

时钟通路带来的噪声，也就是时钟抖动（jitter），不仅会恶化系统的 SNR，甚至还会在系统的输出频谱中带来杂波。一般来说有两类时钟抖动，一类是随机抖动，这类抖动大小完全随机的，可以看作是时钟通路上的一个噪声源，这类抖动对于系统的影响只表现在系统的噪声也就是 SNR 上；另一类抖动是周期性抖动，这类抖动大小会与输入信号产生关联，因此往往会恶化系统的线性度，在系统的输出频谱上带来谐波，一个周期型抖动的例子就是输入信号对采样时钟的耦合，这种耦合会在系统中引入二次谐波恶化系统性能。

当输入信号为正弦波时，对于随机抖动对系统 SNR 的恶化我们可以做出量化的分析， t 时刻的输入信号可以表示为

$$V_{IN} = A \sin(2\pi f_{in} t) \quad (3-5)$$

时钟抖动 δ 转化为噪声的幅值为

$$V_{jitter} = \delta \times \frac{dV_{IN}}{dt} = \delta \times 2\pi f_{in} \times A \cos(2\pi f_{in} t) \quad (3-6)$$

由上式可得 jitter 的噪声功率为

$$P_{jitter} = \frac{1}{T} \int_0^T V_{jitter}^2 dt = 2\pi^2 f_{in}^2 \times A^2 \times \delta^2 \quad (3-7)$$

对于随机性抖动来说，输入信号频率越高，抖动值越大，最终引入进系统的噪声功率也就越大。

（4）时钟馈通

由于 mos 管栅极与源极和漏极间都有电容存在，因此时钟的跳动将会耦合到采样的输出端上，带来误差，此误差一般可通过差分结构进行消除。

3.1.2 Sub-ADC

通常用 Flash ADC 作为流水线 ADC 每个流水线级的 Sub-ADC，Flash ADC 结构简单、转化速率快，很符合 Sub-ADC 的要求。Sub-ADC 的位数通常由流水线 ADC 的整体架构设计者决定，主要分为带冗余位和不带冗余位两种方式，这两种方式实现的 Sub-ADC 在比较器的个数以及电阻串分压出的参考电压上会有所不同，现如今使用的比较广泛的带冗余位的设计，这种设计能很好的覆盖住比较器失调等误差对后级的影响，在后文介绍 MDAC 时会进行详细的讲述。

3.1.3 MDAC

3.1.3.1 MDAC 基本原理

MDAC 由 DAC 与 RA 构成，作用是将输入信号 V_{in} 与 Sub-ADC 输出码字转化成的模拟量相减得到残余量化误差，再将此误差经过 RA 放大，供后续继续进行量化。残差的提取以及放大过程的精度将直接影响整个 ADC 系统的精度，因此 MDAC 的设计一般是流水线 ADC 设计中最为关键的部份，它的架构与设计很大程度上决定了流水线 ADC 整体的架构与性能。

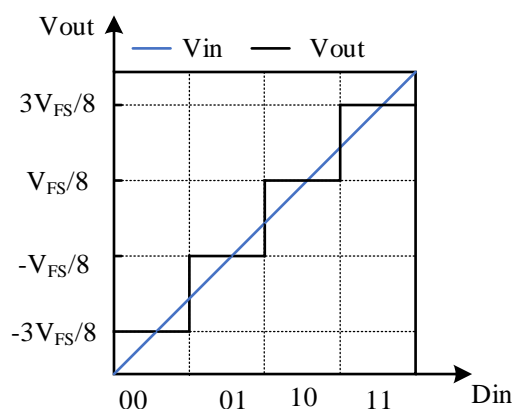


图 3-6 Sub-ADC 输入输出曲线

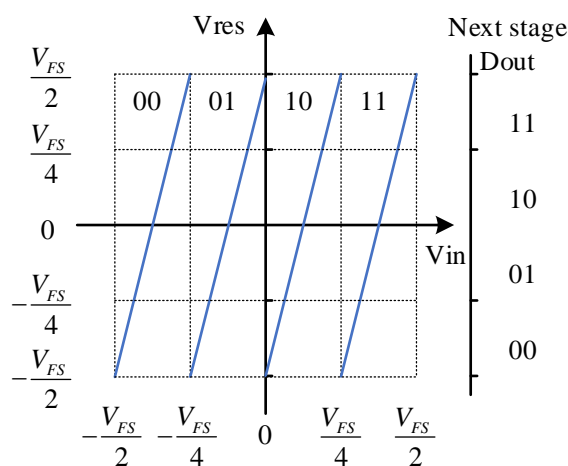


图 3-7 2-bit MDAC 残差转移曲线

在电路实现上，MDAC 一般由带运放的开关电容电路实现。这个电路分为两相进行工作，在采样相之时，运放不工作，采样电容对输入信号进行采样；在放大相之时，电容阵列将输入信号和 Sub-ADC 输出码字转化成的模拟量相减得到残余量化误差，再经过闭环的 RA 放大。

为详细分析 MDAC 工作,可从输入输出特性曲线入手,以 2-bit 的流水线级为例,它的输入范围为 $(-V_{FS}/2, V_{FS}/2)$, RA 的增益为 4。图 3-6 中, D_{in} 代表 Sub-ADC 的二进制输出码字,此坐标轴上两相邻码字间的跳变点代表相邻码字中前一位码字转化成的模拟电压,如, 00 到 01 的跳变点电压为 $-3V_{FS}/8$, 这代表着 Sub-ADC 输出码字为 00 时,转化为模拟量为电压 $-3V_{FS}/8$, 相应的计算残余量化误差之时, 当一个输入的 Sub-ADC 输出码字为 00 时,此时的残差为此输入减去电压 $-3V_{FS}/8$ 。由此方法,可得到未经放大的残差,经 RA 后,残差随输入的变化如图 3-7 所示,从图中可看出,由于是以 2-bit 流水线级为例,残差图线被分为了四个区间(分别对应输入经 Sub-ADC 后的量化码字 00, 01, 10, 11),在每个区间内都是在满幅的输入范围内变化,从 $-V_{FS}/2$ 一直增大到 $V_{FS}/2$, 因此也覆盖住了下一级的所有量化码字。若每一级都以此种传输曲线的模式工作,最终能实现对 V_{in} 的完美还原。

3.1.3.2 带冗余位的 MDAC

实际电路中,由于 Sub-ADC 比较器失调的存在,输入信号不再是在理想参考电压点 $(-V_{FS}/4, 0, V_{FS}/4)$ 处转化为 Sub-ADC 输出码字(01, 10, 11),这将使得残差电压经 RA 放大后不再严格分布在 $(-V_{FS}/2, V_{FS}/2)$ 内,会出现超下一级量程的情况,而超量程的现象必然会增大量化误差,恶化系统的精度。

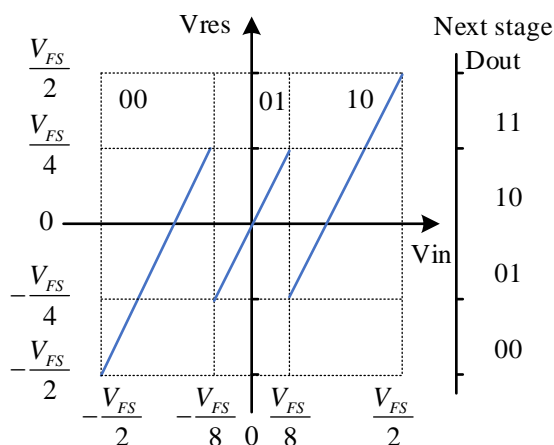


图 3-8 1.5-bit MDAC 残差转移曲线

对于比较器失调造成的残差电压超过输入范围的问题,一种解决方式是将 RA 的放大倍数减半,如在 2-bit 流水线级的例子中,将 RA 的放大倍数变为 2,这样只要比较器失调不大于 $V_{FS}/8$,经 RA 放大之后的残差都在下一级的输入范围之内。更为常用的解决方式是引入使用半 bit 冗余的流水线级,以 1.5-bit MDAC 为例,还是从残差与输入之间的曲线入手进行分析。如图 3-8,带半 bit 冗余的 MDAC 比

较器个数将会减少一个，阈值也相应调整为 $-V_{FS}/8$ 与 $V_{FS}/8$ ，两个比较器使得 Sub-ADC 只有三个输出码字 00、01 与 10，因此残差曲线也只有这三个区域。同时，带半 bit 冗余的 MDAC 的 RA 放大倍数一般会减半，在 00 区域内的残差曲线，残差经放大后从 $-V_{FS}/2$ 变大到 $V_{FS}/4$ ，01 区域内残差经放大后从 $-V_{FS}/4$ 变大到 $V_{FS}/4$ ，10 区域内残差经放大后从 $-V_{FS}/4$ 变大到 $V_{FS}/2$ 。在比较器阈值附近对应的残差电压为 $-V_{FS}/4$ 或 $V_{FS}/4$ ，都未到满幅值，即使受到比较器失调的影响，也不会超过量化范围。

半 bit 冗余的 MDAC 结构不仅能使 Sub-ADC 使用的比较器个数减小，还改变了比较器阈值，使比较器阈值不为 0，避免了码字频繁跳变产生误码，另外，在合成码字之时，可直接移位相加，方便了数字的实现。

3.1.3.3 非理想因素

(1) 有限增益有限带宽运放

理想的运放增益与带宽都无穷大，因此闭环之后能准确的放大以及快速的建立，而实际情况下的运放是有限增益有限带宽的，这就不可避免的会将运放的静态误差和动态误差引入进 ADC 系统之中，使得输入残差曲线偏离理想值，降低 ADC 的精度。

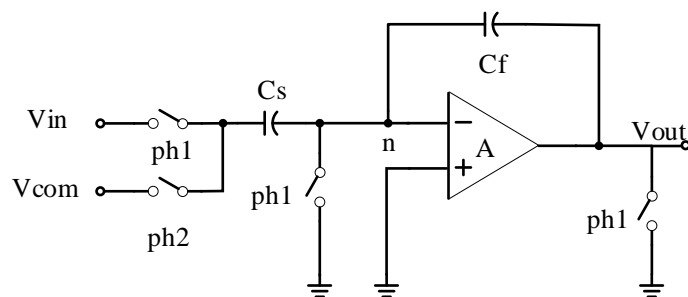


图 3-9 电荷转移型开关电容电路

运放有限增益会带来静态误差，分析时使用一个单端的开关电容电路如图 3-9，在采样相时，n 点的电荷为

$$q_{n-} = -V_{in} \times C_s \quad (3-8)$$

在保持相时，n 点的电荷为

$$q_{n+} = V_n \times C_s + (1+A) \times V_n \times C_f \quad (3-9)$$

由电荷守恒定律，n 点前后电荷相等，经计算可得

$$V_{out} = \frac{C_s}{C_f} \times \frac{A\beta}{1+A\beta} \times V_{in} \quad (3-10)$$

式中 β 为反馈系数，大小为 $C_f/(C_f+C_s)$ ，此时静态误差大小为

$$e_{gain} = \frac{C_s}{C_f} \times V_{in} \times \frac{1}{1+A\beta} \quad (3-11)$$

由上式可得出，运放直流增益越大，静态误差越小。设计之时，为确定合理的静态增益值，应将此处误差折回到输入端，使其满足所需精度的误差范围。

运放的有限带宽会带来动态误差，MDAC 中运放只有有限的时间用来进行信号的建立，而对于有限大带宽的运放来说，信号的建立与时间的关系为（对闭环运放的传输函数求阶跃响应可得到）

$$V_{out} = \frac{C_s}{C_f} \times V_{in} \times (1 - e^{-2\pi t_0 \beta GBW}) \quad (3-12)$$

其中， t_0 为建立时间，GBW 为运放增益带宽积。可求得动态误差为

$$e_{setup} = \frac{C_s}{C_f} \times V_{in} \times e^{-2\pi t_0 \beta GBW} \quad (3-13)$$

由上式可得出，运放带宽越高，动态误差就越小，但是大的带宽要求大的功耗，为达到功耗与性能的平衡，设计之时，应将此处误差值折回到输入端，再结合系统的精度要求以及各部分误差分配，求出合适的带宽值。

（2）电容失配

MDAC 主要由开关电容电路组成，其中电容阵列是完成 MDAC 做差以及放大功能的重要部分。电容阵列之间各个电容需要保证一定的比例关系才能保证 MDAC 的性能。实际版图实现中难以实现电容的准确匹配，这会对 MDAC 的性能带来大大小小的问题，如：采样电容与反馈电容比例发生变化，这将使 RA 的增益发生偏差。对于电容失配的解决方式主要还是版图的设计上来实现，如使用共质心匹配等匹配方法，在电容周围加足 dummy 电容等方式。

3.1.3.4 两种电路实现方式

可用两种架构的开关电容电路实现 MDAC，一种使电荷转移型，如图 3-9，另一种使电容翻转型，如图 3-10。电荷转移型 MDAC 是一种较为常见的架构，它采样电容为 C_s ，反馈电容为 C_f ，是互相分离与独立的；而电荷翻转型 MDAC 会对采样电容复用作为反馈电容。

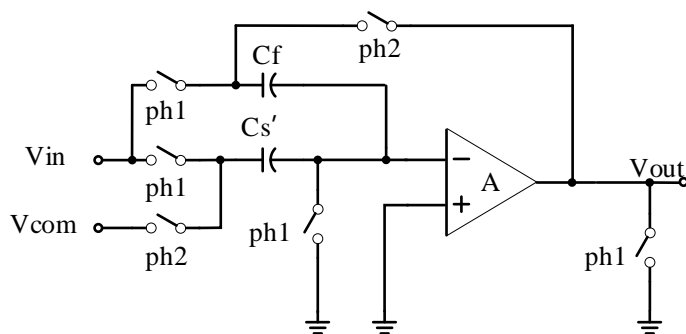


图 3-10 电容翻转型开关电容电路

这两种架构最显著的区别在于反馈系数 β ，电荷转移型 MDAC 的反馈系数 β 为

$$\beta = \frac{C_f}{C_s + C_f} \quad (3-14)$$

而电容翻转式 MDAC 的反馈系数 β 为

$$\beta = \frac{C_f}{C_s' + C_f} = \frac{C_f}{C_s} \quad (3-15)$$

比较可知，电容翻转型 MDAC 的反馈系数是比电荷转移型 MDAC 的反馈系数大的，因此使用电容翻转架构实现的 MDAC 在运放设计上可以适当放松对增益以及带宽的要求。但是，电容翻转结构 MDAC 的反馈电容在采样时一端连接输入，在放大之时这一端又要连接到输出，这要求输入信号与输出信号的共模电位在同一电平，同时这种方式还会带来一定的 memory 效应，影响 ADC 的线性度，而电荷转移型 MDAC 相对来说更为广泛适用，因此更为流行一些。

3.1.4 SHA-less 结构与孔径误差

传统流水线 ADC 设计中，在第一级前通常会有一采样保持电路将连续的信号转化为一个个随周期变化的电平信号，这样能保证第一级的 Sub-ADC 与 MDAC 采样到的是同一信号。为保证系统的精度，SHA 输出电平的精度应该满足系统精度要求，因此通常使用带运放的开关电容电路来实现。

但是，在工艺飞速发展、对 ADC 采样率要求越来越高的今天，SHA 的缺点便一一显现了：1、SHA 在信号通路的首位且增益为 1，它的噪声直接不被衰减的引入系统，而流水线结构中，越靠前对噪声影响越大，SHA 引入的噪声对系统的整体噪声影响极大；2、为抑制噪声，需要增大电容，流水线结构中，越靠前级功耗也越大，这将极大增加系统的功耗；3、对于 SHA 中的运放，如同前文对 MDAC

的分析, 它的增益与带宽要求必须与系统的精度与速度适配, 甚至要求更为苛刻(要驱动的电容更大), 这不仅会增加设计难度, 还会极大增加设计面积。

因此, 作为现今主流设计的 SHA-less 架构出现了, 这种架构不使用 SHA 在流水线级前进行采样, 而是直接用第一级对连续的信号进行采样, 这种架构极大降低了系统的功耗、面积与噪声^[22-24]。

但是, SHA-less 架构给流水线 ADC 带来了孔径误差^[25-27], 即: 此架构中第一级直接对连续的信号进行采样, 也就是说 Sub-ADC 与 MDAC 都分别要进行采样, 采样之时 Sub-ADC 与 MDAC 的采样电路 RC 常数不同, 采样得到的信号会存在一定差异, 从而引入误差, 此误差就叫做孔径误差。此误差会随输入信号的升高而增加, 恶化信号频谱, 现今比较流行的优化方式是做好 Sub-ADC 与 MDAC 的采样通路间的匹配, 尽量做到两条通路同一个 RC 值, 保证采样到的信号的匹配。

3.1.5 流水线 ADC 的数字校准技术

随着工艺制程的进步, 现今 cmos 工艺线宽越来越低, 通信系统对 ADC 的速度要求也越来越高, 而传统流水线 ADC 的设计往往需要高增益高带宽的 RA 来保证系统的精度以及速度, 低线宽工艺下虽然高速实现相对较为容易, 但是由于线宽降低, 本征增益降低, 高增益是难以实现的, 因此不可避免的会将运放的静态误差引入进系统中, 造成级间增益偏离预设值, 恶化系统性能。对于现今新设计的流水线 ADC, 采样率要求已经上了 GHz, 就算是低线宽下都难以匹配如此高速, 因此还会引入运放的动态误差使得级间增益不准, 进一步恶化 ADC 的精度。对于以上问题, 比较主流的解决方式是在数字域使用级间增益校准技术精确找到各级级间增益的值, 再利用这些精确的级间增益值进行码字合成, 完成 ADC 转换, 这类校准技术已经得到了广泛的应用并且效果良好^[28-32]。

3.2 时间交织 ADC 的关键技术

时间交织 ADC 结构通过控制各子 ADC 交错进行采样来提升 ADC 的采样率。如图 3-13 所示为 4 通道时间交织 ADC, 此 ADC 每个子通道都使用相同的采样率为 $F_s/4$ 的子 ADC, 通过特定的时钟产生电路控制他们以 $1/F_s$ 的时间间隔交错进行采样, 最终整个系统的采样率将变为原子 ADC 的 4 倍, 得到有效提高。这种结构虽能有效提升采样率, 但是对通道间的失配十分敏感。时间交织 ADC 中常见的失配为失调失配(offset mismatch)、增益失配(gain mismatch)、以及采样时刻失配(timing mismatch), 这些失配最终将引入谐波, 极大降低系统动态性能。综上, 时钟控制电

路的设计是控制此架构实现采样率翻倍的关键，而对失配的校准是提升此架构性能的关键。下文将先对失配的影响以及校准进行分析，再介绍时钟控制电路。

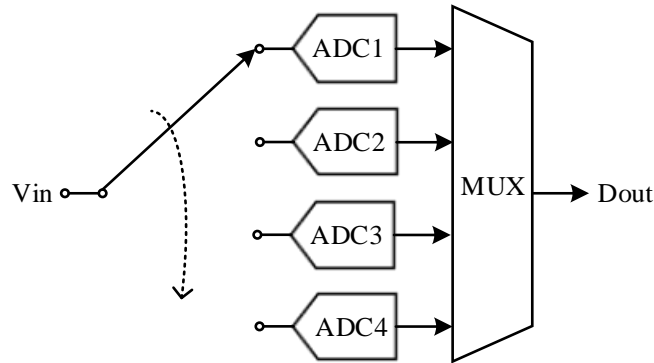


图 3-11 4 通道时间交织 ADC

根据第二章对时间交织 ADC 的频域分析，不妨对考虑了失调失配、增益失配以及采样时刻失配的时间交织 ADC 也进行频域上的推导。分析之时，可作适当的简化，将这些失配都等效到各子通道需要处理的信号上，这样并不影响最终结果，于是，第 i 通道处的信号为

$$x_i(t) = G_i x(t + t_i) + O_i \quad (3-16)$$

式中， G_i 为此通道处的增益， O_i 为此通道处的失调， t_i 为此时的采样时刻，其中就包含了此通道的采样时刻失配： $t_i = iT_s + r_i T_s$ 。于是，式（3-21）的傅里叶变换可表示为

$$X_i(f) = G_i X(f) e^{j\omega t_i} + O_i \delta(f) \quad (3-17)$$

因此，采样过后，第 i 通道信号的傅里叶变换为

$$X_{si}(f) = \frac{1}{MT_s} \sum_{k=-\infty}^{\infty} G_i X(f - kf_s / M) e^{j(\omega - \frac{2\pi kf_s}{M})t_i} + \frac{1}{MT_s} \sum_{k=-\infty}^{\infty} O_i \delta(f - kf_s / M) \quad (3-18)$$

如同前文一样，将所有通道的傅里叶变换进行相加整合，整合时相邻通道间加入延时 T_s ，最终就能得到整个时间交织 ADC 采样后信号的傅里叶变换

$$X_s(f) = \frac{1}{MT_s} \sum_{i=0}^{M-1} \left(\sum_{k=-\infty}^{\infty} G_i X\left(f - \frac{kf_s}{M}\right) e^{j(\omega - \frac{2\pi k}{MT_s})r_i T_s} \right) e^{-\frac{j2\pi ki}{M}} + \frac{1}{MT_s} \sum_{i=0}^{M-1} \sum_{k=-\infty}^{\infty} O_i \delta\left(f - \frac{kf_s}{M}\right) e^{-\frac{j2\pi ki}{M}} \quad (3-19)$$

可见，各类失配在频域上有着较大影响，下文将分别对各类失配及其校准方式进行研究。一般来说可对校准技术分为两类，一类是前台校准，这类校准需要在工

作之前执行，校准完毕之后再继续进行工作，这类校准常用于工业界，但是当工作环境发生变化导致电路参数变化后，需要暂停芯片的工作重新校准；与之相对应的另一类是后台校准，这类校准可以在工作之时提取数据进行校准，当工作环境发生变化导致电路参数变化时可以实时追踪。下文对各类失配的校准技术进行介绍之时，会从这两个方面进行描述。

3.2.1 失调失配的频域影响及校准

3.2.1.1 失调失配的频域影响

对于单通道 ADC，失调影响较小，不会影响 ADC 的线性度，不会以杂散的形式在输出频谱中出现。然而时间交织 ADC 由于各子通道间存在不同的失调值，从整个系统的角度来看，各子通道 ADC 在输出表现为一个周期性的信号，这个周期信号最终将体现在输出频谱上。

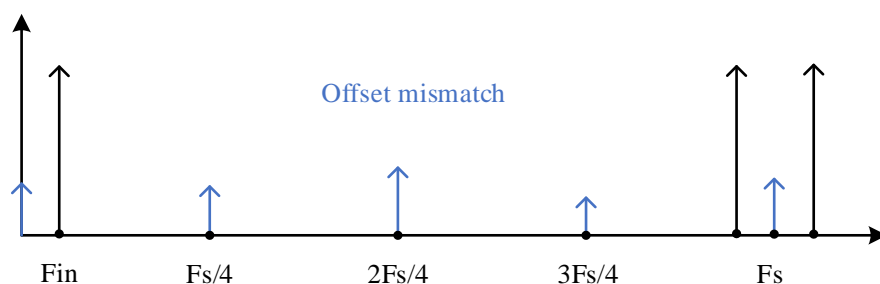


图 3-12 失调失配在频谱上的影响

根据前文的推导，当 G_i 为 1， r_i 为 0，只存在失调失配 O_i 时，式 (3-24) 可以简化为

$$X_s(f) = X_{s,ideal}(f) + \frac{1}{T_s} \sum_{k=-\infty}^{\infty} \frac{1}{M} \sum_{i=0}^{M-1} O_i e^{-\frac{j2\pi ki}{M}} \delta(f - \frac{kf_s}{M}) \quad (3-20)$$

上式可以看作在原理想信号上有叠加了一个杂散 $O(f)$

$$O(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} \frac{1}{M} \sum_{i=0}^{M-1} O_i e^{-\frac{j2\pi ki}{M}} \delta(f - \frac{kf_s}{M}) \quad (3-21)$$

此杂散在频谱中的位置之与采样频率有关，杂散的位置在 kf_s / M 处，其中 M 为总通道数， k 为 1 到 M 正整数。图 3-12 为 4 通道时间交织 ADC 失调失配带来的杂散在频域上分布。

3.2.1.2 针对失调失配的校准技术

(1) 前台校准技术

常用的针对失调失配的前台校准技术如图 3-13，在各个 ADC 输入端输入已知电平 V_{ref} ，周期性的对各子 ADC 输出进行累加平均得到输出 V_{out} ，将此 V_{out} 与输入信号 V_{ref} 做差便可得到各通道的失调电压 V_{os} ，再在各通道输出处减去提取到的输出值便可消除各通道的失调，从而消除时间交织 ADC 的失调失配。

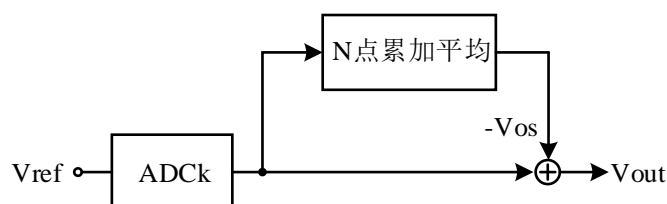


图 3-13 失调失配校准的前台校准技术

(2) 后台校准技术

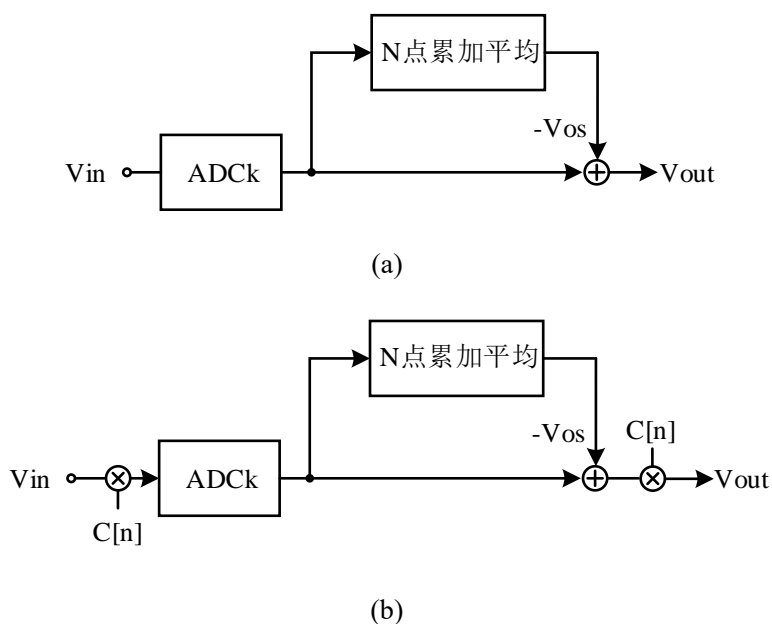


图 3-14 失调失配校准的后台校准技术。(a)基于累加平均的方法；(b)调制解调的方法

针对失调失配的后台校准方式主要都是基于累加平均的方法，具体实现上会有一些差别，以下分别对几种校准方法进行介绍：1、如图 3-14(a)，直接对输出进行累加平均，运算时选取尽可能多的点数从而保证交流量能被完全抵消只剩下直流流量，提取出各通道直流流量之后直接在输出端消除。这种方法较为简便，但是消除时连带信号直流分量（共模）一起消除掉了，输出编码时可能会存在问题。2、为

避免方法 1 直接消除掉所有直流分量的问题, 可选取一个通道作为参考通道, 如以通道 1 为参考, 将直流分量提取出之后, 用其余通道的值与通道 1 的值相减得到其余通道相对通道 1 的失调, 再进行消除。这种方法并没有消除绝对失调, 而是将失调失配消除掉, 让通道间对齐, 是一种失配校准的常用方式。3、如图 3-14(b), 还有一种方法是在提取并消除失调之前先消除直流分量, 即使用 ± 1 信号先对输入信号进行调制, 再用方法 1 消除失调, 完成之后再使用 ± 1 信号将信号解调。这种方法需要调制解调, 也是失调失配很好的校准方式。

3.2.2 增益失配的频域影响及校准

3.2.2.1 增益失配的频域影响

与失调失配一样, 增益失配也会在输出端产生周期性影响, 从而在输出频谱中引入杂散。

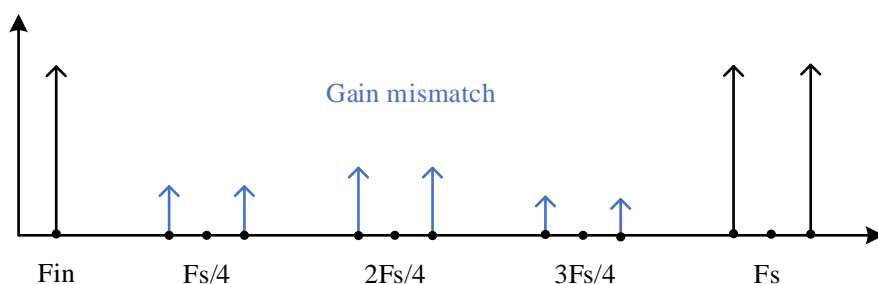


图 3-15 增益失配在频谱上的影响

使用跟前文一致的分析方法, 当 O_i 为 0, r_i 为 0, 只存在增益失配 G_i 时, 式 (3-24) 可以简化为

$$X_s(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} X\left(f - \frac{kf_s}{M}\right) \frac{1}{M} \left(\sum_{i=0}^{M-1} G_i e^{-j2\pi ki/M} \right) \quad (3-22)$$

令 $G_i = G + \delta G_i$, 对上式简化可得杂散信号为

$$X_s(f) = \frac{1}{T_s} \sum_{k=-\infty}^{\infty} \alpha(k) j \left[\delta\left(f + f_{in} - \frac{kf_s}{M}\right) - \delta\left(f - f_{in} - \frac{kf_s}{M}\right) \right] / 2 \quad (3-23)$$

其中, f_{in} 为输入信号频率。

观察上式可知, 杂散的位置在 $kf_s / M \pm f_{in}$, 其中 M 为总通道数, k 为 1 到 M 正整数。图 3-15 为 4 通道时间交织 ADC 增益失配带来的杂散在频域上分布。

3.2.2.2 针对增益失配的校准技术

(1) 前台校准

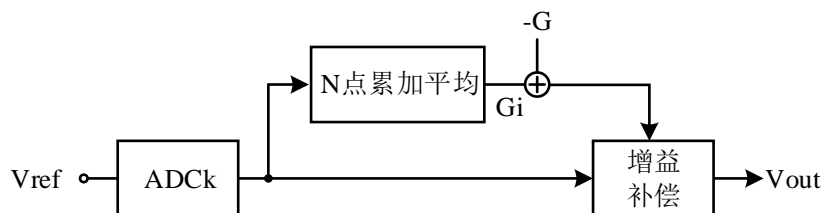


图 3-16 增益失配的前台校准技术

常用的针对增益失配的前台校准技术与针对失调失配的校准方式相似，如图 3-16，在各个 ADC 输入端输入已知电平 V_{ref} ，周期性的对各子 ADC 输出进行累加平均得到输出 V_{out} ，求出各个通道的增益值，此后以通道 1 为参考通道，通过运算将其他通道的增益值与通道 1 对齐，完成校准。增益失配的校准会用到乘除运算，从实现上来说相对比较复杂。

(2) 后台校准

针对增益失配的后台校准算法与针对失调失配的后台校准算法也有一定的相似性。最为传统的方法为针对各个通道的输出求累加平均，然后再选取其中一个通道作为参考通道，各通道与参考通道之间的比值就为增益误差，再通过相应的乘除运算进行补偿，这种方法要求各通道输出值有相同的平均幅度，这种方法可能会与失调的提取相混淆，还需要大量的点数来保证精度的正确。还有一种计算方式为用各个通道输出信号的方差来代表各个通道的增益^[33]，如图 3-17，这种方式相对来说更能与其余失配的校准方式相区分，对增益失配的提取与校准都更为精确。

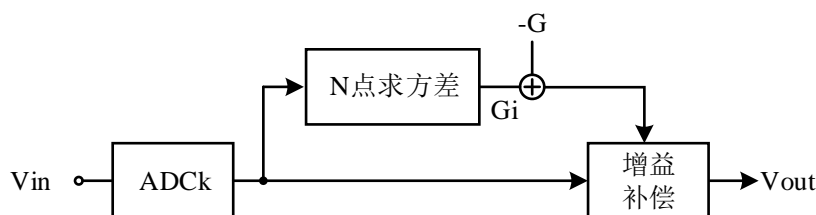


图 3-17 增益失配的后台校准技术

3.2.3 采样时刻失配的频域影响及校准

3.2.3.1 采样时刻失配的频域影响

分析采样时刻失配时，使用跟前文对其余两个失配一致的分析方法，当 O_i 为 0， G_i 为 1，只存在采样时刻失配 r_i 时，式 (3-24) 可以简化后得到杂散信号为

$$X_s(f) = \frac{1}{2T_s} \sum_{k=-\infty}^{\infty} j \left[\alpha^*(M-k) \delta \left(f + f_{in} - \frac{kf_s}{M} \right) - \alpha(k) \delta \left(f - f_{in} - \frac{kf_s}{M} \right) \right] \quad (3-24)$$

可以发现，采样时刻失配在输出频谱中造成的杂散位置与增益失配的位置一样，都在 $kf_s/M \pm f_{in}$ ，其中 M 为总通道数， k 为 1 到 M 正整数。但是采样时刻失配杂散的功率大小跟输入频率相关，输入频率越高，杂散功率也就越高，而且相对于前两种失配，此失配对系统性能恶化更大校准也更难。图 3-18 为 4 通道时间交织 ADC 采样时刻失配带来的杂散在频域上分布。

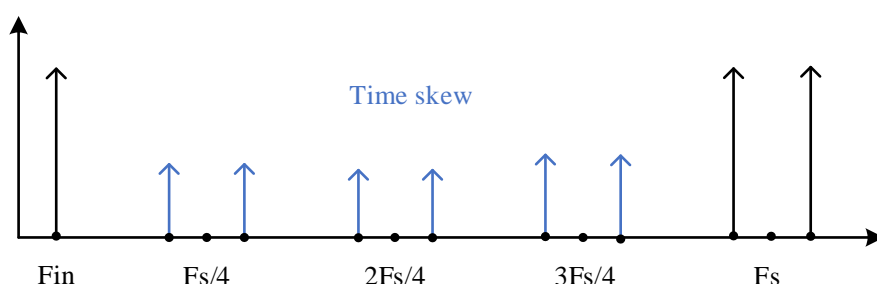


图 3-18 采样时刻失配在频谱上的影响

3.2.3.2 针对采样时刻失配校准技术

不同于前两项失配，采样时刻失配其提取与校准都有很高的复杂度，不能只使用简单的累积平均以及乘加运算。但是采样时刻失配对于时间交织 ADC 最终性能的影响巨大，针对此失配的校准技术是实现高性能时间交织 ADC 的关键。

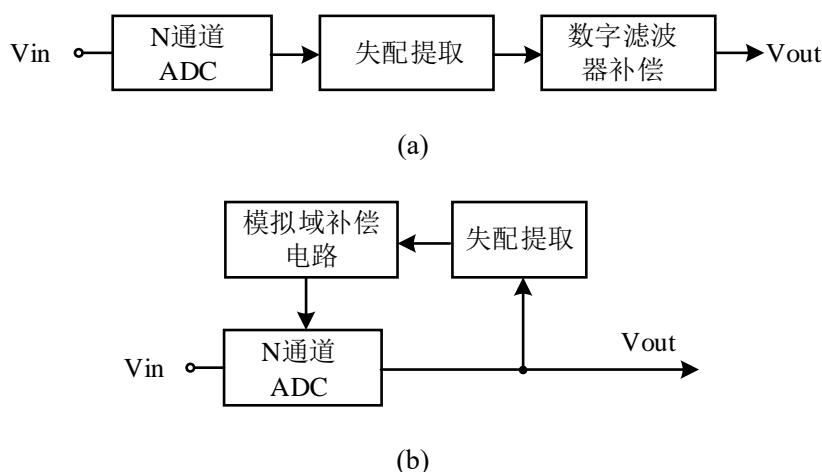


图 3-19 采样时刻失配的校准技术。(a)数字域补偿的方法；(b)模拟域补偿的方法

针对采样时可失配校准的前台校准算法通常需要注入动态的信号进行计算，为增加校准精度，注入信号的精度以及计算的精度都有很高的要求，而在日常使用

的环境下高精度的信号是难以得到的，因此针对采样时刻失配的前台校准方法使用并不广泛，现有流行的方式都是使用后台校准的方式。

目前学术界主流的针对采样时刻失配的后台校准方法是基于自相关函数的方法，该方法提供了一种对采样时刻失配进行提取的有效手段，而在补偿方面，则需要用其他方式来进行。基于自相关函数法校准的常见的补偿方式可以分为两类：一类是在模拟域进行校准，如图 3-19(b)；另一类补偿方式则是直接在数字域进行补偿，如图 3-19(a)。模拟域补偿的方式实现相对简便但是需要模拟域与数字域之间的交互；数字域补偿的方式能直接在输出上进行处理，但是实现较为复杂，硬件消耗以及功耗都很高。

3.2.4 时间交织 ADC 的时钟控制

控制时间交织 ADC 各子通道交错采样往往需要使用几个不同相位的时钟来实现，常见的实现方式为分频器实现以及锁相环实现。高性能的锁相环设计十分复杂，会带来设计上的难题以及更多的硬件开销，但是一旦在片内做好之后就不再需要片外高速高质量的时钟源对片内进行驱动；分频器实现的方式较为简单，硬件以及功耗的增加也比较少，但是比较依赖外部高速高精度的时钟源进行驱动。

3.3 本章小结

本章分别对流水线 ADC 的关键技术以及时间交织 ADC 的关键技术进行了介绍，在分析流水线 ADC 的关键技术之时，对流水线 ADC 的电路进行了分解，分别分析了采样保持电路，Sub-ADC，MDAC 的常用架构、工作原理以及非理想效应和优化方式，子电路分析完之后对流水线 ADC 的整体架构进行了讨论，主要是针对 SHA 的使用以及 SHA-less 结构，介绍了各自架构的利弊。此后，本章对时间交织 ADC 架构进行了详细的介绍：从频域上分别分析了时间交织架构提升采样率的原理以及失调失配、增益失配和采样时刻失配在输出信号频谱图上的影响以及位置，针对这三类失配，分别介绍了现今流行的各类校准方法以及这些方法的利与弊；介绍了让时间交织架构实现采样率翻倍的时钟控制电路。

第四章 电路以及校准设计

本设计总体架构与指标为 12-bit 1GSps 4 通道时间交织流水线 ADC，设计中本文可以分为两个部份进行，首先是对单通道 12-bit 250MSps 的流水线 ADC 设计，而后是对时间交织架构以及校准的设计，本章将分别进行介绍与分析。

4.1 单通道流水线 ADC 设计

本设计单通道流水线 ADC 的指标为分辨率 12-bit，采样率 250MSps，在 40nm 工艺以及 1.1 V 电源电压、输入范围 1.2 V 下实现仿真后的 SNDR 大于 74 dB，设计时先确定整体的架构，具体为级数以及各级分辨率等；再根据已确定的各级指标确定各子电路的设计指标并进行设计与优化。

4.1.1 流水线 ADC 架构选取

在对具体电路设计之前，需要先完成顶层的架构设计，此时主要考虑的几个问题为：是否需要结合级间增益校准技术，单级的精度大小，级数的选取。对于第一个问题，不妨先从指标入手，本设计使用的工艺为 40 nm 工艺，设计中单通道 ADC 需要达到 12-bit 的精度以及 250MSps 的采样速率。在这种精度以及速度的指标下，对 MDAC 中 RA 的设计要求近乎苛刻，根据第三章的推导，将第一级 RA 的静态误差以及动态误差等效到输入端时，需要小于 1/2LSB 以满足精度的要求，即

$$e_{gain} + e_{setup} = V_{in} \times \left(\frac{1}{1 + A\beta} + e^{-2\pi t_0 \beta GBW} \right) \leq \frac{1}{2} LSB \quad (4-1)$$

只进行粗略的估算可知，为满足上述条件，设计出的 RA 环路增益不小于 60 dB，而 GBW 更是需要达到上 GHz。显然，以上条件是难以实现的，在 40 nm 的工艺中，由于线宽很低，mos 管的本征增益只有 20 左右，要达到 60 dB 的环路增益需要 4 层的 mos 管，这需要十分复杂的运放结构。与此同时，还要使此结构的运放 GBW 达到上 GHz，在模拟设计中，通常是难以实现既有大增益又有大带宽的，此处 RA 的设计将是限制 ADC 精度的巨大瓶颈。因此在考虑架构选取之时，使用完全传统不带数字校准的架构是不符合此设计指标以及工艺特点的，在此条件下，选用级间增益校准的架构更为合理。

确定使用级间增益校准技术后，需要继续对单级的精度进行确定，一般来说，单级的精度主要影响的是 Sub-ADC 的设计以及 MDAC 中 RA 的闭环增益与反馈

系数，而 RA 闭环增益的大小直接影响到对后级噪声的衰减程度。单级的精度越高，RA 的闭环增益就会越大，因此对噪声的衰减也越大，同时，单级精度的上升还可使得流水线级数减少。但是，随着单级精度的上升，Sub-ADC 的精度要求也会随之上升，前文介绍过 Flash ADC 架构在精度上升时使用的比较器个数会成倍上升，比较器失调对系统性能的影响也会增大；而 RA 反馈系数的变小会导致 RA 开环带宽的要求被提高，设计上更难实现。因此，单级精度的确定也是一个需要 trade off 的过程，并不是单级精度越高越好，一般来说，在设计中比较常用性能比较完善的是精度在 3-bit 附近，本文选取单级 3-bit 的精度进行设计。

除了单级的精度，流水线 ADC 的级数也是架构的一个关键点。首先需要考虑的是 SHA 的使用与否，前文介绍过，SHA 的使用能避免引入孔径误差，但是会大幅增加设计的功耗与面积，而且在此设计的指标以及工艺条件下，高精度的 SHA 比 MDAC 中的 RA 更难设计，因此，不管是出于设计的指标以及工艺现实或是节约面积与功耗的角度，本设计都应选取 SHA-less 架构。至于级数的选取，传统 3-bit 每级的流水线 ADC，若每级不带冗余，只需要 4 级便可达到整体 12-bit 精度的要求，但是本设计由于工艺带来的限制，级间增益并不能如传统结构做满，因此还需要额外的流水线级来辅助量化以达到精度要求。

4.1.2 时序以及时钟电路设计

时钟电路是控制流水线 ADC 各子流水线级按照预设工作模式运行的关键，如图 4-1，流水线 ADC 各流水线级在前一级进行采样时，后一级进行量化与放大，这是典型的流水线型的工作模式。此模式使得每一子流水线级同时处理的通常是不同时刻的输入信号，为此架构带来了较高的吞吐率，但是又造成了输入到输出之间较大的延迟。

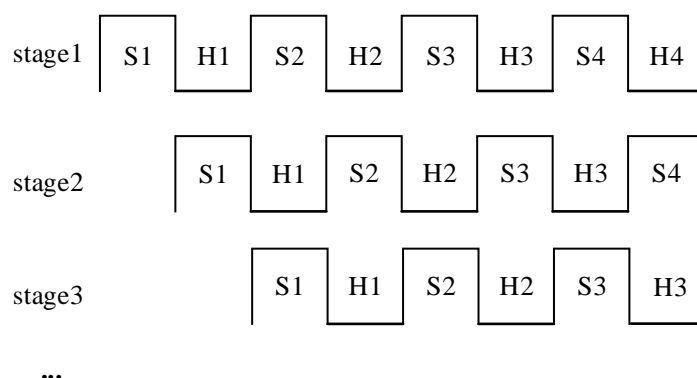


图 4-1 流水线 ADC 时序图

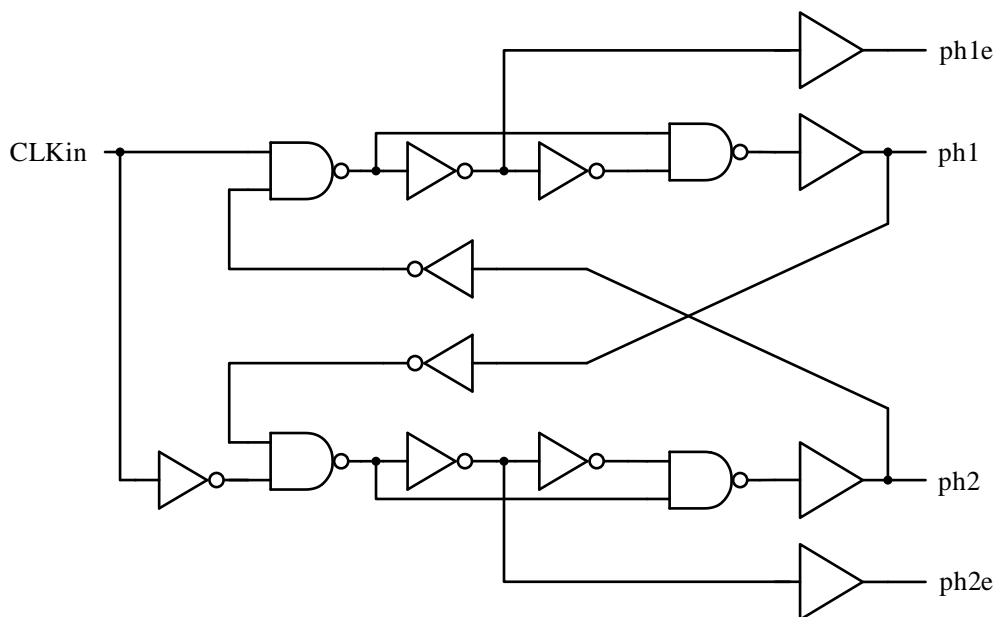


图 4-2 双向非交叠时钟电路图

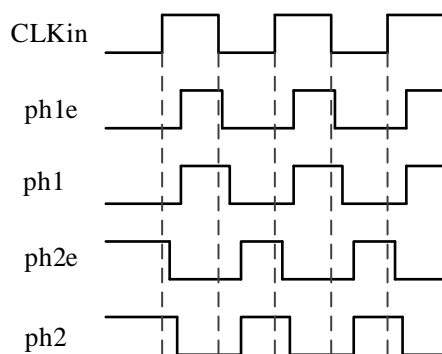


图 4-3 双向非交叠时钟波形

在具体电路上，单个流水线级主要由 Sub-ADC 以及 MDAC 组成，他们的工作模式分别为采样、量化，以及采样、放大。级与级之间的数据是经 MDAC 放大进行传递的，根据流水线 ADC 时序，在后级 MDAC 采样前级 MDAC 输出时，前级 MDAC 正在进行放大完成输出的建立，这就对时序的需求有了以下的约束：单个流水线级内采样相与放大相必须严格分开，不能有交叠；前级 MDAC 需要在给定时间内完成建立，后级 MDAC 需要在前级 MDAC 将信号建立好后在切换为采样相之前完成采样。因此通常使用图 4-2 所示的时钟产生电路产生图 4-3 中所示的双相非交叠时钟信号对流水线 ADC 进行控制，图中有 4 个时钟信号，分别是 ph1、ph1e、ph2、ph2e，以 stage1 与 stage2 为例，时钟信号 ph1、ph1e 用以控制 stage1 采样，他们高电平时 stage1 追随输入信号，ph1e 转为低电平时，连接采样开关上级板处的开关断开，stage1 采样这一点处信号，ph1、ph1e 都为低电平，ph2 为高

电平时, stage1 进行放大; 反之, 对于 stage2 来说, 时钟信号 ph2、ph2e 用以控制 stage2 采样, 他们高电平时 stage2 追随输入信号, ph2e 转为低电平时, 连接采样开关上级板处的开关断开, stage2 采样这一点处信号, ph2、ph2e 都为低电平, ph1 为高电平时, stage2 进行放大。

4.1.3 采样保持电路设计

采样保持电路是各流水线级中必备的模块, 在 Sub-ADC 进行量化以及 MDAC 进行相减并放大之前, 都需要对信号进行采样。采样电路组成相对简单, 对此电路进行设计之时主要是对开关以及电容进行设计。本设计需要采样保持电路工作在 250MSps 的采样率下仍能保持高于 12-bit 的精度。

(1) 开关的选取

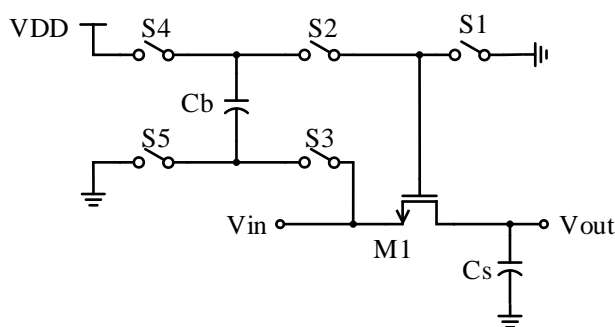


图 4-4 栅压自举开关原理图

本文为 SHA-less 架构, 因此在第一级处是直接对输入信号进行采样, 前文已介绍过, 普通 mos 开关的导通电阻值会随输入信号的幅值变化而变化, 使得采样所得信号中有很大的非线性, 极大降低 ADC 整体精度, 因此, 在第一级处的采样开关应选取导通电阻不随输入幅值变化的结构来实现, 也就是栅压自举开关。自举开关的原理图如图 4-4 所示, 此开关在原有 mos 开关的基础上又增加了 5 个开关以及一个电容, 工作之时, 在保持相时闭合开关 S1、S2、S3, 断开开关 S4 和 S5, 此时 mos 开关闭合, 电容被充满电, 两极板间电压差为 DVDD, 当采样相到来时, 断开开关 S1、S2、S3, 闭合开关 S4 和 S5, 此时有一电容在 mos 开关栅极与源极之间, 电容两端电压会保持在 DVDD 不发生变化, 也就是说, VGS 被固定在了此电位, 相应的, 此时的导通电阻也被固定住。此种架构的开关通过自举电容固定住了导通电阻从而防止了此处非线性的引入。

具体电路实现的栅压自举开关如图 4-5, 电路实现时把原理图中的各个开关都换成了由 mos 管实现的实际开关

除第一级外，后级采样的信号都为电平信号，因此可以不再使用栅压自举开关，使用最为简单的互补开关既可达到要求，可简化设计，节约面积。

（2）电容的选取

采样电容的选取主要考虑两个方面，一方面是速度，另一方面是热噪声。考虑速度之时，应结合信号带宽和开关的导通电阻，使得采样电路的 3dB 带宽远大于信号带宽。考虑热噪声之时，应综合 MDAC 采样相以及放大相总体考虑，会在后文 MDAC 设计中详细介绍。

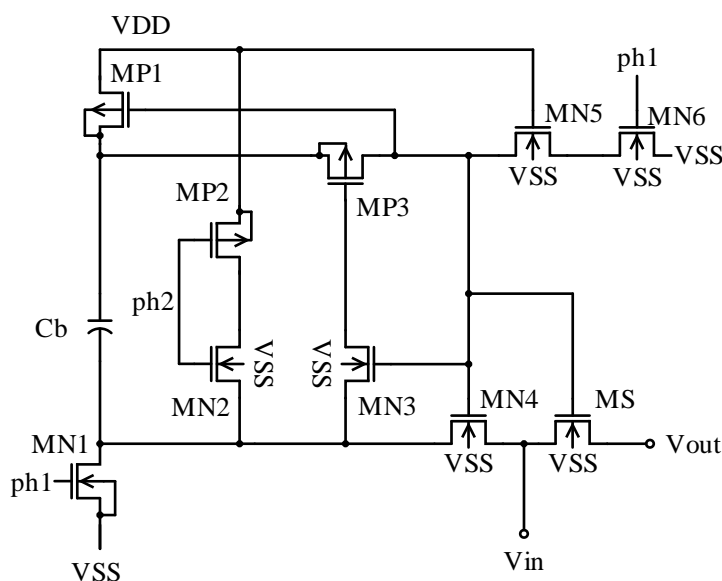


图 4-5 栅压自举开关电路图

4.1.4 Sub-ADC 设计

Sub-ADC 是子流水线级中用以粗量化的模块，流水线 ADC 设计中常使用 Flash ADC 作为流水线内部的 Sub-ADC，因本设计中使用 3-bit 的流水线级，因此本设计中 Sub-ADC 的设计可以看作是 250MSps 采样率下 3-bit 的 Flash ADC 设计。Flash ADC 的设计可以分解为采样电路的设计、Vref 产生电路的设计（电阻串）以及比较器的设计。

（1）采样电路设计

前文对采样电路的设计进行了详细的分析，采样电路的设计主要是对开关以及采样电容的设计。对采样开关进行选取时，参考前文的设计方法，第一级直接对信号进行处理，因此应选取栅压自举开关，而后级对电平进行处理，直接选用互补开关即可达到效果。选取采样电容之时，主要考虑的是热噪声以及速度，首先从热

噪声的角度进行考虑, 已知采样引入的热噪声在积分之后噪声功率值为 kT/C , 在 3-bit 的 Flash ADC 中, 输入信号的 SNR 需要远大于 $6.02 \times 3 + 1.76 \approx 20dB$, 即

$$SNR = 10 \times \lg \left(\frac{\frac{1}{2} \times \left(\frac{V_{FS}}{2} \right)^2}{\frac{kT}{C}} \right) \gg 20 \quad (4-2)$$

本设计 V_{FS} 为 1.2V, 因此可得

$$C \gg 800kT \approx 4 \times 10^{-18} F \quad (4-3)$$

因此, 选取 fF 量级的电容作为采样电容即可满足此处要求, 同时也可实现快速采样。

另外, 由于本设计采用 SHA-less 结构, 还需考虑 Sub-ADC 采样电路与 MDAC 采样电路 RC 值互相匹配的问题, 在满足以上噪声以及速度条件之后, 再对 RC 值进行综合设计以达到匹配。

(2) Vref 产生电路的设计

Vref 产生电路主要由电阻串实现, 在本设计的 3-bit Sub-ADC 中, 电阻串需要 8 个相同的电阻进行分压才能分出 3-bit 对应的各个参考电压值, 分压时电阻串两头分别连接 Vrefp 以及 Vrefn, 这两个电压值需要十分准确且不随温度以及工艺角变化, 通常需要基准电压源进行产生, 经 buffer 后再连接到电阻串上, 这样才能保证准确的参考电压以及足够的电流驱动能力。

(3) 比较器设计

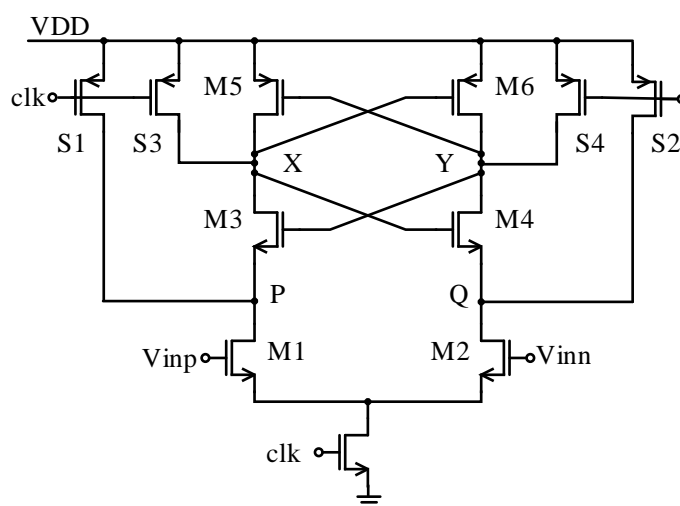


图 4-6 StrongARM-latch 架构比较器电路图

比较器是 Flash ADC 设计的核心，它的失调将对后续 MDAC 的输入输出曲线造成影响，严重的失调甚至会使得残差电压超出下一级量化范围，影响最终精度。对于 3-bit 精度的 Flash ADC，选用 StrongARM-latch 架构的比较器便可完全满足设计指标的要求，这种架构速度快、功耗低、结构简单，在较低精度设计中性能优秀。图 4-6 为此种架构比较器的电路结构，此电路由一个差分对 M1-M2，两对交叉耦合的 mos 管 M3-M4 和 M5-M6 以及四个控制预充电的开关 S1-S4 组成，这个电路能根据 V_{in1} - V_{in2} 的极性在 X 和 Y 处提供轨到轨的输出，具体工作原理如下：clk 时钟为低时，M1-M2 关闭，P、Q、X 以及 Y 都被预充电到 VDD；clk 时钟为高时，S1-S4 关闭，M1-M2 开启，此时 M3-M4 仍然关闭，差分对的电流从 P、Q 点的电容上抽取电荷，一旦 P、Q 点的电压下降使得 M5-M6 打开，X 或 Y 点中一点的电压就会被拉到高而另一点被拉到低，完成比较器的转换。

在本设计流水线 ADC 的流水线级中，由于速度指标较好达到，因此比较器的失调是更为关心的一个指标。在 StrongARM-latch 架构的比较器中，影响失调的因素主要是输入差分对 M1-M2，其余 mos 管对失调的影响都可被衰减，因此设计之时只需适当调节差分对 M1-M2 尺寸便可使得比较器失调在设计可接受范围内。

4.1.5 MDAC 设计

MDAC 设计是流水线 ADC 设计的核心，此部分电路模块是此架构 ADC 所有电路中功耗占比与面积占比最大、设计最为复杂的，它的静态误差、动态误差以及热噪声直接影响系统的精度。本设计 3-bit MDAC 须在 250MSps 的采样率下达到各级预设精度需求，对于第一级而言，MDAC 输出折合到输入端之后精度须在 12-bit 以上，随着级数的往后，此要求会递减。MDAC 设计可以拆分为 RA 的设计以及整个开关电容电路的设计。

4.1.5.1 RA 设计

传统流水线 ADC 设计中，若要实现 12-bit 250MSps 的指标，第一级流水线中 RA 应分别满足静态误差以及动态误差的条件，即静态误差动态误差之和小于 $1/2LSB$ ，不妨设计之时分别使静态误差与动态误差小于 $1/4LSB$ ，也就是

$$e_{gain} = V_{in} \times \frac{1}{A\beta} \leq \frac{1}{4} LSB \quad (4-4)$$

本设计中流水线级为 3-bit 每级，输入范围为 1V，因此此处的 V_{in} 为 $1/2^4$ ，则

$$A\beta \geq 2^{10} \quad (4-5)$$

即环路增益大于 60dB，而对于动态误差

$$e_{setup} = V_{in} \times e^{-2\pi t_0 \beta GBW} \leq \frac{1}{4} LSB \quad (4-6)$$

对于单通道 250MSps 的采样率，一个周期为 4 ns，放大相只占半个周期，也就是 2 ns，还要考虑实际时钟的上升沿下降沿以及放大器线性的 Slew rate 等因素，留够裕度后实际中可能只会有 1.5 ns 的时间用来进行线性建立。因此

$$\beta GBW \geq \frac{14 \ln^2}{2\pi t_0} \approx 1GHz \quad (4-7)$$

以上条件在 40nm 工艺下想要实现相当困难，本文选择引入数字校准算法校准级间增益，因此设计之时不必完全遵循传统设计的指标要求，可根据算法特点灵活改变电路指标。

40nm 电源电压为 1.1 V 的工艺下 mos 管本征增益较低，只有 20 左右，相对来说，此工艺要实现高速更为容易，根据本文使用的级间增益校准技术的特点，运放开环增益不够带来的静态误差是可以得到校正的，因此，在设计 RA 之时，可以适当舍弃开环增益，保证足够小的动态误差。本文选取了易于实现的全差分五管运放结构作为 RA，如图 4-7 所示，图中 M1-M2 为输入差分对，M3-M4 为有源负载，M5 为尾电流管。此结构增益被工艺条件限制，而带宽可以达到很高。前文计算过，放大器闭环带宽的指标要求为 $\beta GBW \geq 1GHz$ ，要得出 GBW 的具体范围，需要确定处反馈系数的值。

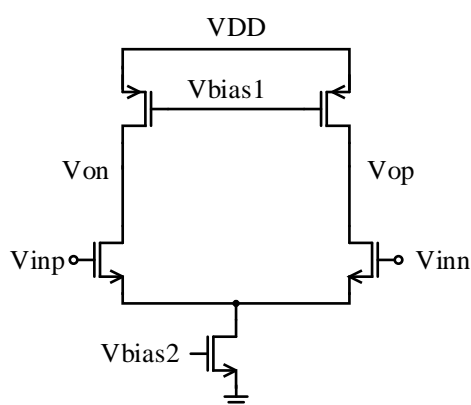


图 4-7 RA 电路图

反馈系数跟级间增益的大小以及 MDAC 电路结构的选取有关。在电路结构上，本设计采用适用范围最广使用得最为频繁的电荷转移型的电路；而在级间增益大小的选取上，按照传统结构，应当设置为 8，这样反馈系数就应该是 1/9，但是在

校准型的结构中, 由于需要 PN 码的注入用以协助算法进行计算校准, 因此增益不宜做满而使后级超量程, 也就是反馈系数不能做的过小, 本设计将增益减半, 反馈系数设置为 $1/5$, 这样的架构下即使考虑比较器的失调以及注入的 PN 码, 也不会超过后级量程, 造成额外量化误差。

因此, 本设计中 GBW 的要求最低为 5GHz , 在 40nm 的工艺下, 使用五管架构的运放并适当增加功耗能满足此要求。

4.1.5.2 开关电容电路设计

(1) 电路架构选取与输入输出曲线

在开关电容电路架构的选取上, 本设计已选取最为适用的电荷转移架构。电荷转移架构的 MDAC 如图 4-8 所示, 在采样相之时, 时钟控制采样开关闭合, 采样电容下级板连接信号, 上级板连接共模电平, 以此方式对信号进行采样, 放大器此时不进行信号放大工作; 在放大相之时, 连接信号与采样电容下级板的开关和连接共模电平与采样电容上级板的开关断开, 采样电容下级板连接到由 Sub-ADC 输出码字控制的 Vref 电压, 完成输入信号与量化后信号的做差, 提取出残余量化误差, 放大器再对此信号进行放大。

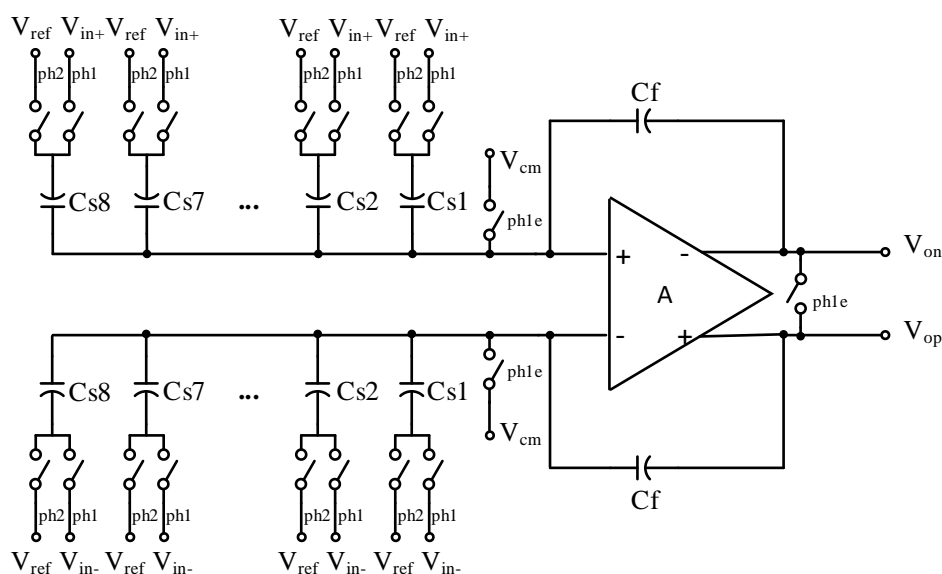


图 4-8 电荷转移型 MDAC 电路图

本设计中 DAC 将 Sub-ADC 输出码字转化为对应精度模拟电压大的工作原理如下: 将采样电容拆分为 8 个并联的子电容, 这 8 个电容上级板采样时同时连接输入信号, 而在放大时, 除了其中 1 个固定连接在共模电平上之外, 其余 7 个电容分别连接在由 Sub-ADC 输出码字控制的 DAC 输出电压 Vref 上, 具体为, 直接使

用 Sub-ADC 的输出温度计码控制相应的参考电平，当温度计码为 1 时，此处输出的参考电平为 V_{refp} ，反之温度计码为 0 时，输出参考电平为 V_{refn} 。（若 ADC 差分输入范围为 V_{FS} ，则 $V_{\text{refp}} - V_{\text{refn}} = V_{\text{FS}}/2$ ）。

DAC 部份设计好之后，已经可以得到从输入信号到残余量化误差的传递特性，只需要再分析出运放输入端到输出端的传递特性就可以得到 MDAC 的输入输出传输曲线。由 (3-11) 可知运放输入输出增益，那么 MDAC 输入输出传递特性如下

$$V_{\text{out}} = \frac{C_s}{C_f} \times \frac{A\beta}{1 + A\beta} \times (V_{\text{in}} - V_{\text{dac}}) \quad (4-8)$$

其中，反馈系数 β 为

$$\beta = \frac{C_f}{C_s + C_f} \quad (4-9)$$

(2) 电容值大小确定

采样以及反馈电容的大小主要会影响 MDAC 的热噪声，对于 MDAC 的噪声，需要将时钟的两相分开进行分析再进行合并考虑。

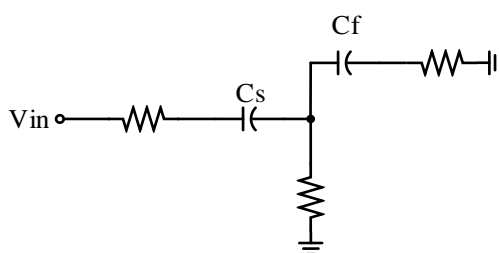


图 4-9 采样相噪声等效电路图

采样相噪声：采样相的等效电路如图 4-9，电路中噪声源主要为开关的电阻，此电路最终等效到输出端的噪声功率为

$$\overline{v_{o,1}^2} = \frac{kT}{C_f} \left(1 + \frac{C_s}{C_f}\right) \quad (4-10)$$

保持相噪声：电路中的噪声源为放大器以及电阻，因此需要分别进行分析。

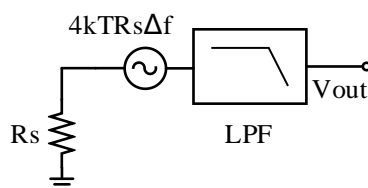


图 4-10 电阻为噪声源时的保持相噪声等效电路图

对于电阻的热噪声，通常设计中只用对采样开关的噪声进行考虑，可得出等效电路图 4-10，电阻热噪声用一个等效噪声源代替，而后的闭环放大器可以看作是一个低通滤波器，此低通滤波器的等效噪声带宽为

$$\Delta f = \frac{1}{4} \frac{\beta G_m}{C_{Leff}} \quad (4-11)$$

因此，保持相采样开关电阻在输出端产生的热噪声功率为

$$\overline{v_{o,R_s}^2} = \frac{kT}{C_{Leff}} \frac{R_s}{1/\beta G_m} \ll \frac{kT}{C_{Leff}} \quad (4-12)$$

由上式可见，电阻的热噪声功率是很小的。

对于放大器的噪声，可如图 4-11 所示在图中加入等效噪声源进行计算，等效噪声源的取值根据实际 mos 管的噪声模型取，经过积分之后，可得到保持相放大器在输出端产生的热噪声功率为

$$\overline{v_{o,2}^2} = \frac{2}{3} n_f \frac{1}{\beta} \frac{kT}{C_{Leff}} \quad (4-13)$$

综合采样相与保持相，输出端的热噪声为

$$\overline{v_{o,tot}^2} = \overline{v_{o,1}^2} + \overline{v_{o,2}^2} = \frac{kT}{C_f} \left(1 + \frac{C_s}{C_f}\right) + \frac{2}{3} n_f \frac{1}{\beta} \frac{kT}{C_{Leff}} \quad (4-14)$$

其中 C_{Leff} 为输出端的等效负载电容，由负载电容 C_L 以及反馈电容和采样电容的并联组成。反馈电容与采样电容有倍数关系，而负载电容 C_L 通常为前级采样电容的一半，因此可以把式 (4-14) 等效为

$$\overline{v_{o,tot}^2} = \left(\frac{50}{3} n_f + 20 \right) \frac{kT}{C_s} \quad (4-15)$$

此噪声经衰减等效到输入端之后要使系统 SNR 满足要求，根据此条件本设计选择第一级 MDAC 采样电容为 2.2 pF，其余各电容根据与此电容的关系进行取值。

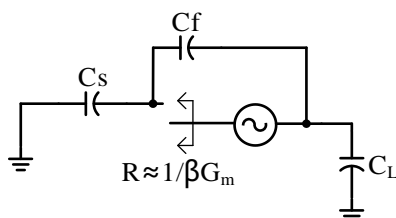


图 4-11 运放为噪声源时的保持相等效电路图

4.2 时间交织架构设计

4.2.1 时钟控制模块设计

本设计为 4 通道架构的时间交织 ADC，在单通道采样率为 250MSps 的基础上，4 通道交织后能实现 1GSps 的采样率。前文提到时间交织 ADC 需要控制相邻通道间隔时间交织后的采样周期 1ns 的时间去采样，而本身单通道采样周期为 4ns，因此需要时钟控制模块产生频率与幅值都相同但是相位差为 90 度的时钟信号，本设计采用分频器实现此处时钟的产生。

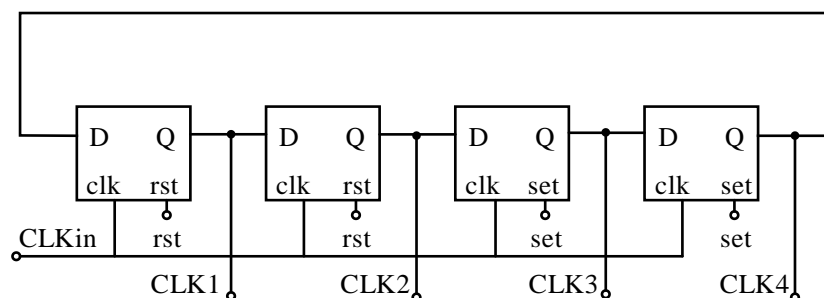


图 4-12 时钟分频器

如图 4-12，本设计分频器的结构由四个 TSPC 触发器级联组成，工作原理类似环形计数器，通过 rst 与 set 先在触发器中存入 1 或者 0，在经过 1GHz 输入时钟的上升沿触发使得预载入的 1100 这个序列环形传递，在每个触发器的 Q 处也就形成了 250MHz 的相位差 90 度的时钟信号。

4.2.2 校准算法设计

4.2.2.1 失调失配校准算法设计

失调失配校准实现起来相对较为简单，因此现有针对失调失配校准的算法不管是前台校准还是后台校准都有着很好的表现，本设计希望能在工作环境发生改变之时实时追踪出电路最准确的参数，因此选择后台校准型的失调失配校准算法。现有失调失配校准算法都是基于累加平均这一方法进行实现的^[34,35]，此方式不管是原理上还是实现上都较为简便。本设计为 4 通道的时间交织 ADC，选取的校准方法如图 4-13，先将 4 个通道分别编号为通道 1、通道 2、通道 3 和通道 4，校准之时通过累加平均的方式分别计算出各个通道的失调值（此失调值可能包含信号直流分量），再选取通道 1 作为参考通道，将其余通道的失调值与通道 1 的相减便提取出了其余通道相对于参考通道的失调失配，在数字域通过加减的方式补偿回来，便完成了校准。

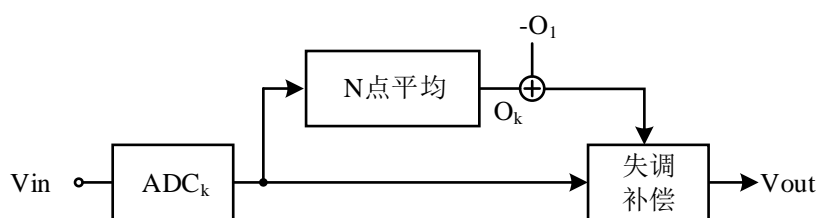


图 4-13 后台失调失配校准方法

4.2.2.2 增益失配校准算法设计

本设计希望能在工作环境发生改变之时实时追踪出电路最准确的参数，因此选择后台校准型的增益失配校准算法。针对增益失配的校准算法基本也是基于累加平均来计算^[36-38]，如图 4-14，同上述针对失调失配校准的方法一样，也先对 4 个通道分别编号为通道 1、通道 2、通道 3 和通道 4，计算方式为用各个通道输出信号的方差来代表各个通道的增益，再选取通道 1 为参考通道，令其余通道与参考通道对齐。在提取与补偿增益失配的过程中，不能再只依靠加减运算，还引入了乘法，因此针对此类失配需要消耗乘法器，硬件消耗与功耗相比于失调失配有增加。

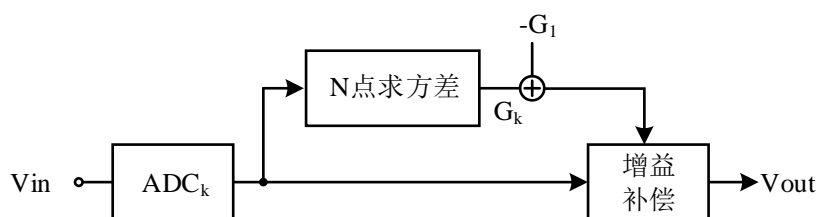


图 4-14 后台增益失配校准方法

4.2.2.3 采样时刻失配校准算法设计

现有针对采样时刻失配的校准算法有两种流行的实现方式，一类是在数字域提取出采样时刻失配并在模拟域进行补偿的算法，另一类是提取与校准都在数字域上完成的算法^[39-41]。这两类方法的区别主要体现在失配的补偿上，模拟域补偿需要用到可变延时线（VDL），通过数字码控制 VDL 延时的大小来调节各子通道的采样时刻从而消除失配，这种方法硬件开销和功耗都较小，但是需要在模拟域和数字域进行的交互，以及模拟域补偿电路的精度；数字域的补偿需要用到数字滤波器来对信号进行还原，能直接在输出上对信号进行处理，但是这种方法的算法复杂度很高，会带来巨大的硬件开销以及功耗。

本设计基于复杂度、硬件消耗以及功耗的角度，选择数字域提取出采样时刻失配并在模拟域进行补偿的方法进行校准，具体实现方法为：

（1）采样时刻失配提取方法

现有数字域提取模拟域补偿类算法的提取方式都是基于自相关方法对时间失配进行提取。如式(4-16)所示, 自变量为时刻的信号 $x(t)$ 可被转化为自变量是时间间隔的自相关函数 $R(\tau)$

$$R(\tau) = E\left(x(k\tau) \times x((k+1)\tau)\right) = \frac{1}{n} \times \sum_{k=1}^n x(k\tau) \times x((k+1)\tau) \quad (4-16)$$

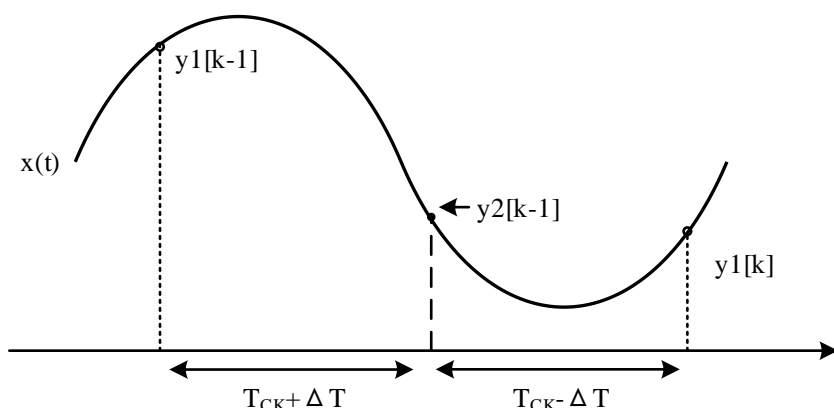


图 4-15 2 通道时间交织 ADC 采样示意图

时间交织 ADC 的采样时刻失配就可以通过这样的方法来进行提取。图 4-15 显示了采样时刻误差对一通道数为 2 的时间交织 ADC 的影响。利用式 (4-16) 分别求各输出点处对应的自相关函数 R 。

$$\begin{cases} R_{1,2} = R(T_{CK} + \Delta T) = \frac{1}{n} \sum_{k=1}^n y_1[k-1] \times y_2[k-1] \\ R_{2,1} = R(T_{CK} - \Delta T) = \frac{1}{n} \sum_{k=1}^n y_2[k-1] \times y_1[k] \end{cases} \quad (4-17)$$

对式 (4-17) 进行展开可得

$$\begin{cases} R_{1,2} = R(T_{CK} + \Delta T) = R(T_{CK}) + R'(T_{CK})\Delta T \\ R_{2,1} = R(T_{CK} - \Delta T) = R(T_{CK}) - R'(T_{CK})\Delta T \end{cases} \quad (4-18)$$

对式 (4-18) 进行求解可得 $D_{cor} = R_{1,2} - R_{2,1} = 2R'(T_{CK})\Delta T$, 也就是说, 提取 ADC 输出值计算出的值 D_{cor} 与采样时刻失配值呈正比例关系, 可通过此值来反映采样时刻失配值。

以上介绍的是针对采样时刻失配提取最为传统的方法在双通道时间交织 ADC 中的应用, 对于本设计 4 通道时间交织 ADC 的情况, 传统的提取方法需要进行一些改进才能适应。上述针对 2 通道的采样时刻失配提取方法一次提取中只能提取出两个通道间的采样时刻失配值, 对于 4 通道的情况, 在选取一个通道为参考通

道之后还需要提取出其余 3 个通道的采样时刻失配值，目前最为流行的方式是分两次进行提取，这种方式利用 2 通道时的提取方法，将 4 通道模型看作两个 2 通道 ADC，具体方法为：首先将 4 个通道进行编号，分别为通道 1、2、3、4，第一轮提取时提取通道 1 与通道 3 间的采样时刻失配，第二轮提取时提取通道 1 与通道 2 间，通道 3 与通道 4 间的采样时刻失配，两轮提取之后，再都参考到通道 1，便完成了 4 通道架构的时间交织 ADC 的采样时刻失配提取。

根据以上方法，本设计在对提取方式做了适当的优化，只用一轮便可提取出各通道的采样时刻失配值，具体实现方法如下：

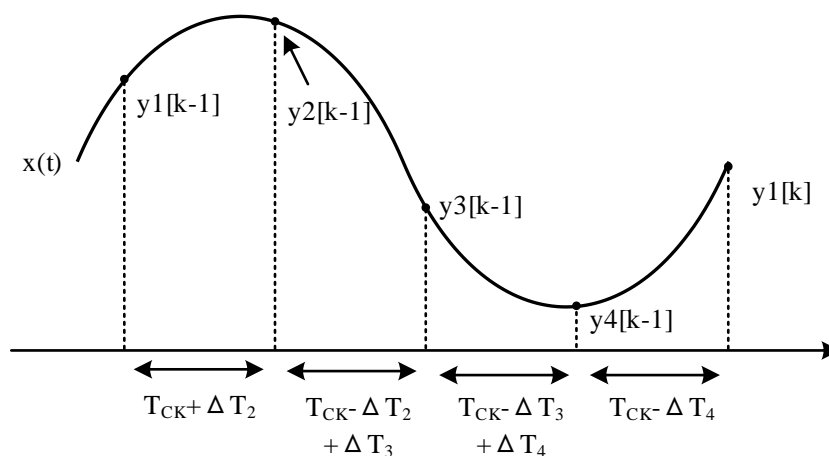


图 4-16 4 通道时间交织 ADC 采样示意图

4 通道时间交织 ADC 各通道采样一个正弦输入信号的示意图如图 4-16 所示，将他们编号为通道 1、通道 2、通道 3、通道 4，以通道 1 为参考通道，其余通道的采样时刻失配值为 ΔT_k ，此处的 k 可以为 2、3 和 4，代表这几个通道。由前文的方法，在此处可以得到

$$\begin{cases} R_{1,2} = R_x(T_{CK} + \Delta T_2) = R_x(T_{CK}) + \frac{dR_x}{dT_{CK}} \Delta T_2 \\ R_{2,3} = R_x(T_{CK} + \Delta T_3 - \Delta T_2) = R_x(T_{CK}) + \frac{dR_x}{dT_{CK}} (\Delta T_3 - \Delta T_2) \\ R_{3,4} = R_x(T_{CK} + \Delta T_4 - \Delta T_3) = R_x(T_{CK}) + \frac{dR_x}{dT_{CK}} (\Delta T_4 - \Delta T_3) \\ R_{4,1} = R_x(T_{CK} - \Delta T_4) = R_x(T_{CK}) - \frac{dR_x}{dT_{CK}} \Delta T_4 \end{cases} \quad (4-19)$$

对方程组 (4-19) 进行联立求解，可得到各通道的失配值如下

$$\begin{cases} 4R_x(T_{CK}) = R_{1,2} + R_{2,3} + R_{3,4} + R_{4,1} \\ 4\frac{dR_x}{dT_{CK}}\Delta T_2 = 3R_{1,2} - R_{2,3} - R_{3,4} - R_{4,1} \\ 4\frac{dR_x}{dT_{CK}}\Delta T_3 = 2R_{1,2} + 2R_{2,3} - 2R_{3,4} - 2R_{4,1} \\ 4\frac{dR_x}{dT_{CK}}\Delta T_4 = R_{1,2} + R_{2,3} + R_{3,4} - 3R_{4,1} \end{cases} \quad (4-20)$$

由式(4-19)与式(4-20)的方法,便可在一轮之内直接从输出数据中得到与各通道采样时刻失配呈正比例关系的数据值。

(2) 采样时刻失配补偿方法

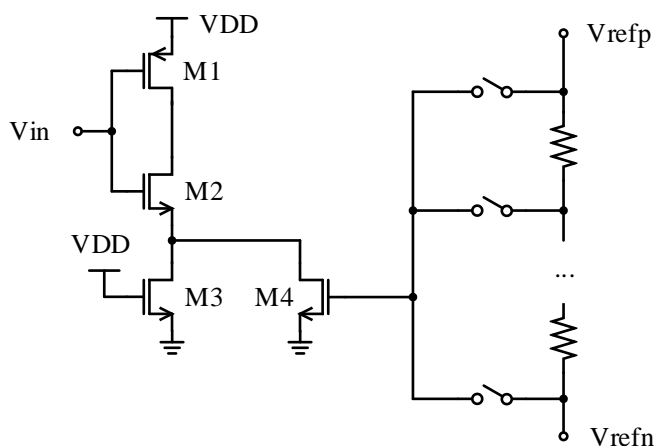


图 4-17 电阻串分压式 VDL

本设计基于复杂度、硬件消耗以及功耗的角度,选择在模拟域进行补偿的方法进行校准。对采样时刻失配进行模拟域的补偿需要对各通道的采样时刻进行向前或者向后延时,这就需要模拟上的延时模块的设计,因此这个延时模块要求能根据数字码来实现不同的向前或向后的延时而且具有较高的精度,通常把这个延时模块叫做 VDL。实现 VDL 的方式也有多种,一种方式如图 4-17 所示,这种 VDL 的实现方式是通过电阻串进行分压,然后通过数字码选取不同的电压值作为 M4 的栅极电压,不同的电压将会使得 M4 管有不同的导通电阻,导通电阻的变化将会使得模块延时发生改变,由此便实现了功能。这种结构虽然能实现功能,但是通过电阻串分压改变导通电阻的方式精度会有所欠缺,因此这种方式实现的可变延时线并不常见。更为常见的结构为反相器加晶体管电容的结构。图 4-18 所示为反相器加晶体管电容方式实现 VDL 的结构^[34],这一类利用晶体管电容的方法实现方式都比较类似,当控制晶体管电容的控制码改变时,晶体管电容也会相应改变,电容的

变化将带来延时的变化。由于晶体管电容变化较小，在电路中带来的延时也会相对较小，因此这种结构能实现相对较高的精度。现有此类型电路补偿精度在几百飞秒到几十飞秒之间不等，已有研究能在 65nm 的 cmos 工艺下实现 10fs 的校准精度^[6]。

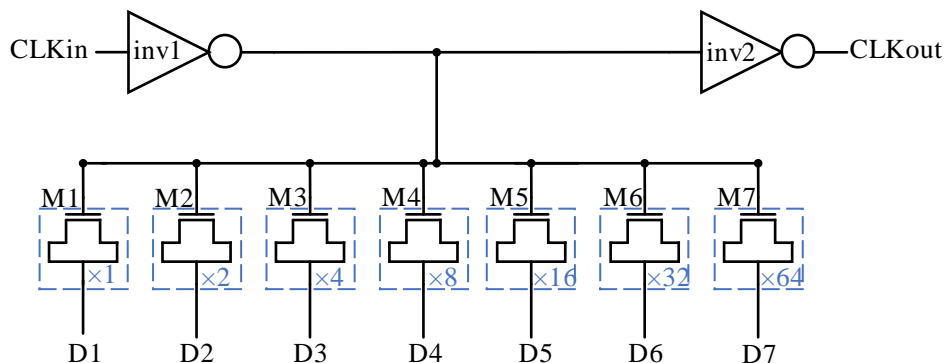


图 4-18 晶体管电容式 VDL

由于自相关函数会随输入信号的变化而变化，采样时刻失配与自相关函数间的线性关系的斜率也会发生改变，因此在信号输入频率未知的情况下是不能准确算出各通道采样时刻失配值的，而实际工作中针对采样时刻失配的校准通常对于输入信号的频率是未知的。因此，前文所述的提取方法并不能精确提取出采样时刻失配的具体值，进行补偿是也只能根据时刻失配对应的线性关系去进行补偿，因此并不能一轮一次性补偿完毕，需要数字域多次控制模拟补偿电路进行调节来实现。现有的补偿方法都是根据采样时刻失配对应的线性关系来进行逐次逼近实现^[31]，具体实现方式如图 4-19，数字校准电路利用失配的线性关系判断需要补偿的方向，然后再生成相应的数字控制码反馈到时钟产生模块中的模拟域补偿电路的对应补偿位（如图 4-20 中 D9）来调节采样时刻偏差，通过逐次逼近的方法来补偿各通道失配。这种补偿过程类似对失配值的逐次逼近过程，先通过提取，判断失配是正值还是负值，利用 VDL 补偿，然后再进行判断后补偿，补偿时 VDL 延时值调为上一步补偿的 1/2，这样以此类推，时间失配最终将被逼近到 VDL 的最小精度内。

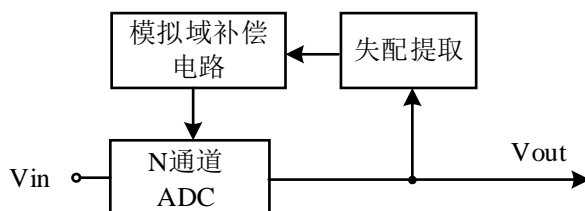


图 4-19 采样时刻失配校准实现方法示意图

本设计所用的模拟域补偿电路如图 4-20 所示，由反相器与晶体管电容组成，一共有 10 位，相邻两位晶体管电容之间电容值相差为 2 倍。需要注意的是，由于

电容失配的原因，相邻两位晶体管电容之间不再严格保持 2 倍关系，这将在补偿之时带来误差，使得最终不能收敛到预设的最小精度，针对此非理想效应，本设计在补偿的晶体管电容阵列中插入了冗余位，能校正电容失配带来的误差值，使得补偿结果最终能过准确收敛。

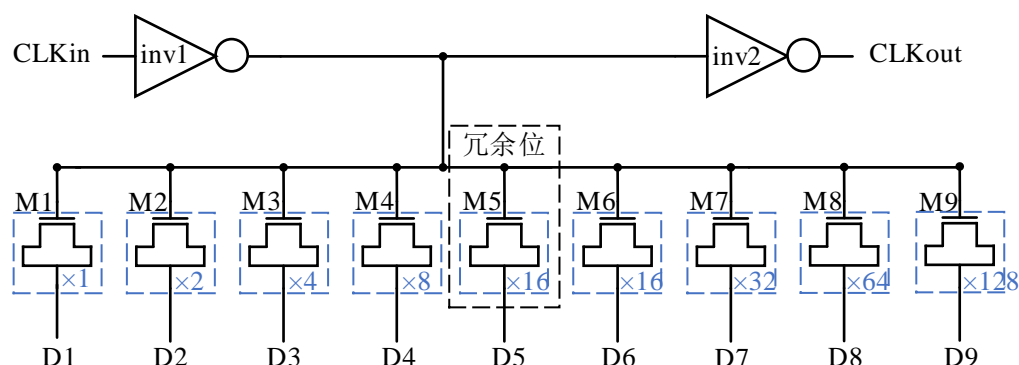


图 4-20 带冗余位模拟域补偿电路示意图

4.3 本章小结

本章首先对子通道的流水线 ADC 进行了设计，设计时首先确定了 3-bit 每级带级间增益校准技术的架构，然后根据此架构确定的各级间以及单级内各个模块的时序和时钟产生模块，相对顶层的架构以及控制模块都设计完成之后，便分别对子电路进行设计，这些子电路包括采样电路、Sub-ADC 电路以及 MDAC 电路，其中 MDAC 电路的设计最为关键，设计之时不仅考虑了运放的动态误差、静态误差，还考虑了采样以及保持阶段的热噪声。电路子模块都设计完成之后，子通道的流水线 ADC 的电路设计便完成了，随后本章设计了以此为基础的 4 通道时间交织 ADC。设计了控制 4 个通道完成交错采样的时钟分频器电路；分别针对通道间失调失配、增益失配以及采样时刻失配设计了相关的校准算法，其中针对采样时刻失配的校准算法以及补偿电路都在现有技术进行了优化，分别为：优化了采样时刻失配的提取方式，能在一轮内提取所有通道的采样时刻失配；在补偿电路中引入了冗余位用以消除电容阵列失配带来的补偿精度不足的问题。至此，以流水线 ADC 为子通道的 4 通道时间交织 ADC 便设计完成了。

第五章 仿真结果

5.1 单通道流水线 ADC 仿真结果

对单通道流水线 ADC 进行电路仿真时采用的思路与电路设计时的思路相反, 仿真顺序为由小模块到整体, 各小模块都满足设计需求后再对整体进行验证, 具体体现为先仿真子流水线级内的电路, 再仿真子流水线级, 最后仿真流水线 ADC 整体。电路的仿真分为原理图的前仿真与提取了寄生参数之后的后仿真, 都采用由局部到整体的思路进行仿真。

5.1.1 前仿结果

5.1.1.1 采样开关仿真

本设计单通道流水线 ADC 使用的是 SHA-less 架构, 第一级的采样开关直接对输入信号进行采样, 因此第一级采样开关处的非线性对 ADC 整体的性能至关重要。尽管使用了线性度较高的栅压自举结构作为第一级处的采样开关, 还是需要仿真验证此处的非线性是否符合系统要求, 仿真时, 输入 V_{pp} 为满幅值 (1 个 V_{FS}) 频率为 26.4MHz 的正弦波信号, 取此开关采样得到的输出信号做 FFT 以进行频谱分析如图 5-1, 从频谱图中可得到 SFDR 为 125 dB, 开关线性度很好。

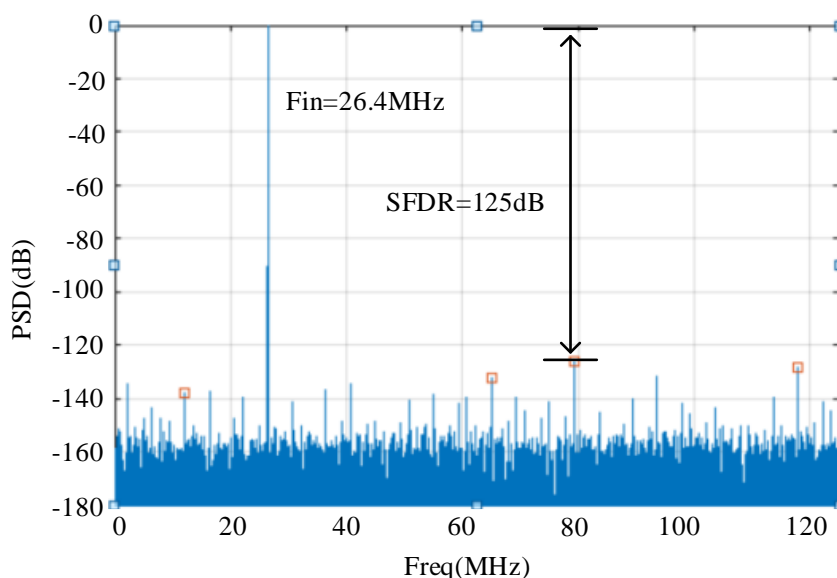


图 5-1 采样开关 FFT 仿真频谱图

5.1.1.2 Sub-ADC 仿真

本设计中 3-bit 流水线级使用 3-bit Flash ADC 作为 Sub-ADC，由于量化位数较低，3-bit 量化精度的要求很容易达到，并不是 Sub-ADC 设计与仿真的重点。Pipelined ADC 架构中对 Sub-ADC 更为关心的是比较器的失调电压，此失调电压会改变 MDAC 的输入输出曲线，严重时会导致下一级超量程，恶化 ADC 精度。比较器的失调来源于器件间的随机失配，因此失调值并不是固定的，仿真之时需要用蒙特卡洛的方法，使用多个样本得到失调的分布特性。500 个点数的比较器失调蒙特卡洛仿真的结果如图 5-2 所示，其一个 σ 的值约为 7 mV，在正态分布中，值分布在 3 个 σ 内的概率为 99.7%，也就是说，根据此仿真结果，比较器失调的范围为 (-21 mV, 21 mV)，此范围内的失调是完全满足设计要求的，不会使得下级超量程而恶化系统精度。

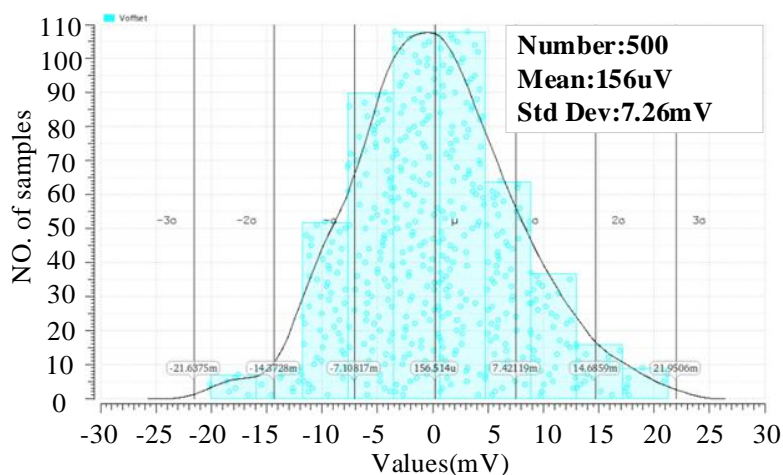


图 5-2 比较器蒙特卡洛仿真

5.1.1.3 MDAC 仿真

流水线 ADC 中随着级数的往后，电容会依次减半，因此后级电路也只需要根据第一级设计的结构依次削减电路尺寸则可，仿真之时也可先对第一级进行详尽的仿真再考虑后级。MDAC 由带运放的开关电容电路组成，因此仿真之时需先保证放大器的设计符合要求，再对 MDAC 整体性能进行验证。

(1) 放大器仿真

对于放大器的参数与性能，通常最为关心的就是 DC 性能与 AC 性能。DC 性能主要是静态工作点是否正确，放大器中各 mos 管是否在正确的偏置上；AC 性能则是放大器的增益、带宽以及相位裕度，本设计中的放大器是单极点系统，因此相位裕度这一参数不必考虑，只需考虑运放的增益与带宽，这两项参数会直接影响到

MDAC 的静态误差与动态误差，最终体现在 ADC 的精度上。图 5-3 为 tt 工艺角下运放增益以及带宽的波特图，在此工艺角下，功耗为 40mW 时，运放增益为 21.7 dB，增益带宽积为 11.2 GHz，满足设计要求并留够了裕度，表 5-1 为各个工艺角下的增益与增益带宽积，它们都满足设计要求。

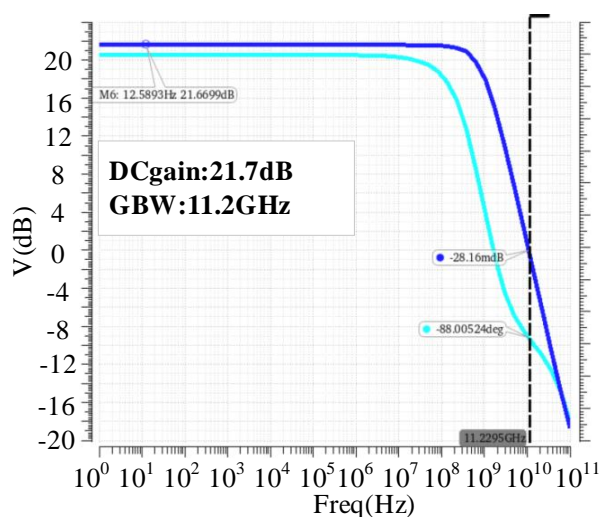


图 5-3 放大器波特图

表 5-1 放大器在各工艺角下的 AC 参数

工艺角	tt	ss	ff	sf	fs
增益	21.7 dB	22.2 dB	21.2 dB	21.1 dB	22.1 dB
增益带宽积	11.2 GHz	10.7 GHz	11.5 GHz	11.2 GHz	11.2 GHz

(2) MDAC 整体仿真

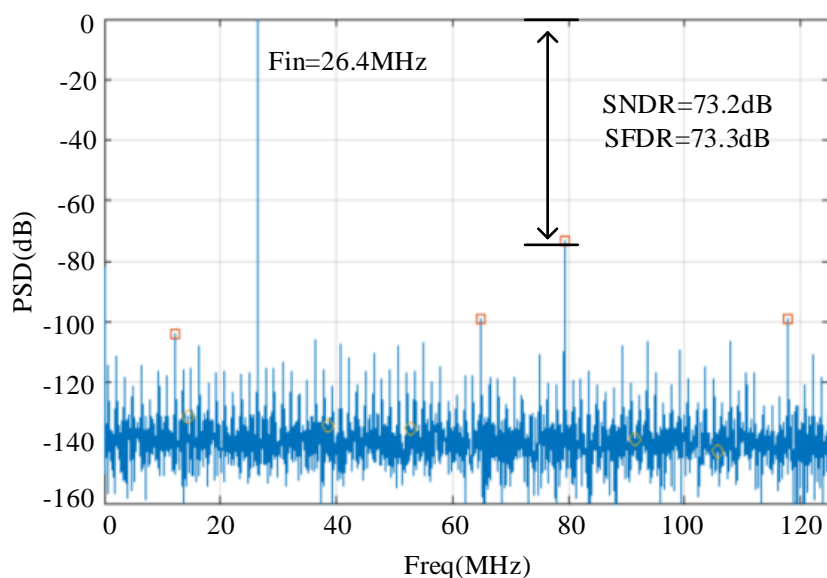


图 5-4 MDAC FFT 仿真频谱图

对 MDAC 动态性能进行仿真时, 将 MDAC 中各参考电压都设置在共模电压处, 不进行做差, 只考查 MDAC 的放大功能, 因此输入信号选择 V_{pp} 为 $1/8V_{FS}$ 频率为 26.4MHz 的正弦波信号, 图 5-4 为 tt 工艺角下 MDAC 的 FFT 仿真结果, 在此输入幅值下 SNDR 为 73.2 dB, SFDR 为 73.3 dB, 若换算为 dBFS, 前面两值都会增加 18 dB, 满足设计要求, 此部分的功耗主要来源于放大器。表 5-2 为各个工艺角下的 FFT 性能, 可看出本设计各工艺角下 MDAC 都能保持良好的性能。

表 5-2 MDAC 在各工艺角下的 FFT 仿真结果

工艺角	tt	ss	ff	sf	fs
SNDR	73.2 dB	72.9 dB	74.4 dB	71.0 dB	74.4 dB
SFDR	73.3 dB	73.1 dB	74.4 dB	71.2 dB	74.4 dB

5.1.1.4 单个流水线级仿真

完成单个流水线级各子模块仿真之后, 便可将各子模块按照连接关系级联起来进行整个流水线级的仿真。仿真时用正弦信号作为输入信号, 将 Sub-ADC 的输出码字转化为模拟量, 再用 MDAC 的输出信号除此级的增益后加上 Sub-ADC 的输出码字转化成的模拟量, 还原出对应输入正弦波的输出值, 用此输出值做 FFT 分析, 便可得到单级的动态性能, 此部分的功耗也主要来源于放大器。

输入 V_{pp} 为满幅值, 频率为 26.4MHz 的正弦波信号, 在 tt 工艺角下 FFT 分析后的频谱图如图 5-5 所示, 此流水线级的 SNDR 为 86.3 dB, SFDR 为 96.5 dB, 满足设计要求。表 5-3 为各个工艺角下的仿真结果, 都满足设计要求。

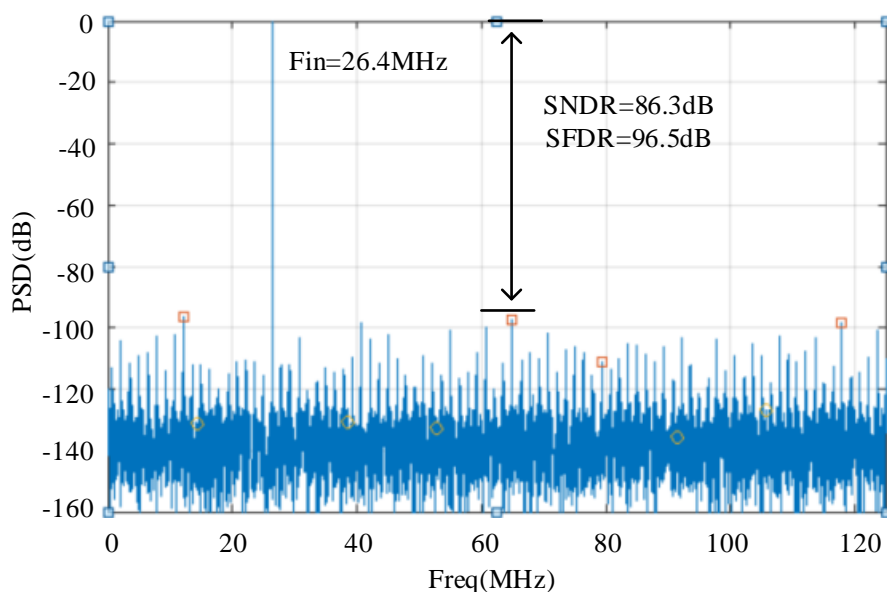


图 5-5 单级 FFT 仿真频谱图

表 5-3 单个流水线级在各工艺角下的 FFT 仿真结果

工艺角	tt	ss	ff	sf	fs
SNDR	86.3 dB	86.2 dB	88.3 dB	86.3 dB	84.3 dB
SFDR	96.5 dB	93.5 dB	95.8 dB	95.8 dB	93.3 dB

5.1.1.5 单通道仿真

单个流水线级仿真完毕之后，连接好整个单通道，用正弦信号作为输入信号，采集所有流水线级输出码字，按时序以及各级增益对输出码字进行整合，然后再将 12 位输出数字码转化为模拟量，用此模拟量做 FFT 分析。输入 V_{pp} 为满幅值，频率为 26.4MHz 的正弦波信号，在 tt 工艺角下 FFT 分析后的频谱图如图 5-6 所示，ADC 的 SNDR 为 81.8 dB，SFDR 为 91.8 dB，满足设计要求。表 5-4 为各个工艺角下的仿真结果，都满足设计要求。另外，经电流仿真，单通道功耗在 140mW 以内。

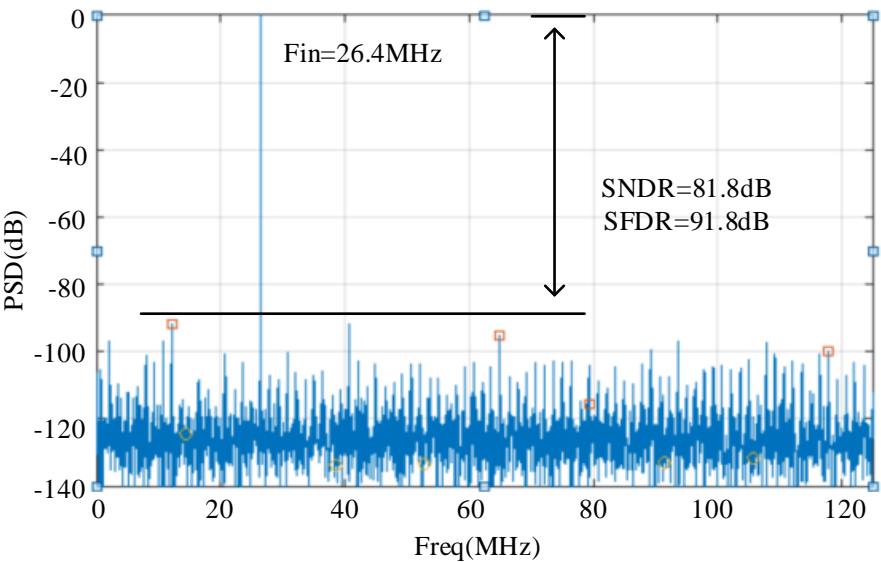


图 5-6 单通道 FFT 仿真频谱图

表 5-4 单通道流水线 ADC 在各工艺角下仿真结果

工艺角	tt	ss	ff	sf	fs
SNDR	86.3 dB	80.8 dB	80.5 dB	75.5 dB	82.5 dB
SFDR	96.5 dB	90.8 dB	91.7 dB	87.8 dB	90.6 dB

5.1.2 版图及后仿结果

5.1.2.1 Sub-ADC 版图及后仿真

Sub-ADC 的版图如图 5-7 所示，版图面积为 $75\mu\text{m} \times 35\mu\text{m}$ ，在版图中七个比较器以及相应的电容等清晰可见。

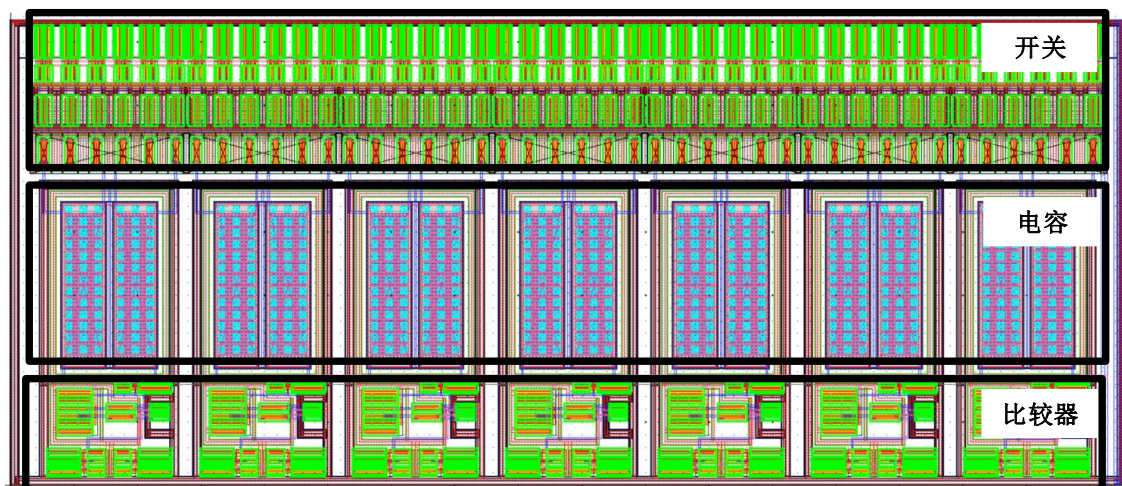


图 5-7 Sub-ADC 版图

针对此模块后仿时，与前仿使用的方法一样，只是将版图中的寄生参数提取到电路中进行仿真。因此对于 Sub-ADC 来说需要关注的性能也是比较器的失调，加入版图寄生参数后 500 个点数的比较器失调蒙特卡洛仿真的结果如图 5-8 所示，其一个 σ 的值约为 7 mV，不会使得下一级超量程。

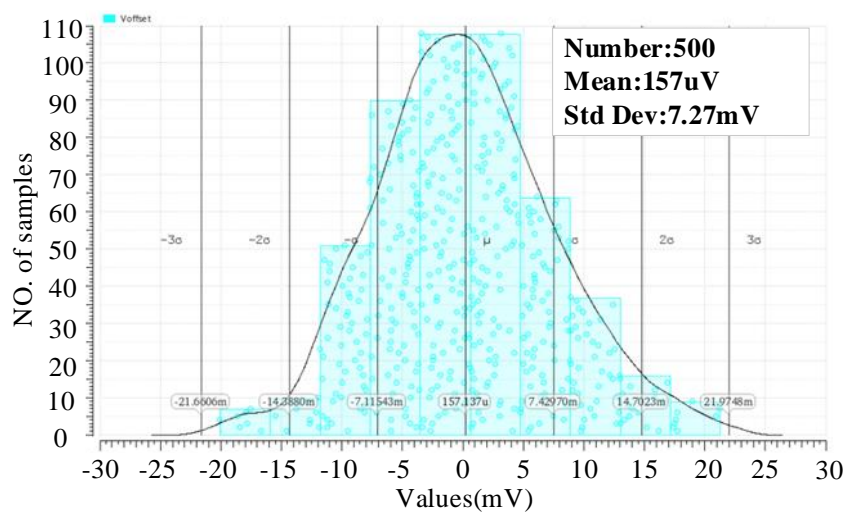


图 5-8 比较器失调蒙特卡洛后仿真

5.1.2.2 MDAC 版图及后仿真

(1) 运放版图及后仿

运放版图为图 5-9，其面积为 $160\mu\text{m} \times 115\mu\text{m}$ ，从图中可见此全差分运放对称性很好，各部分都做了严格的匹配。

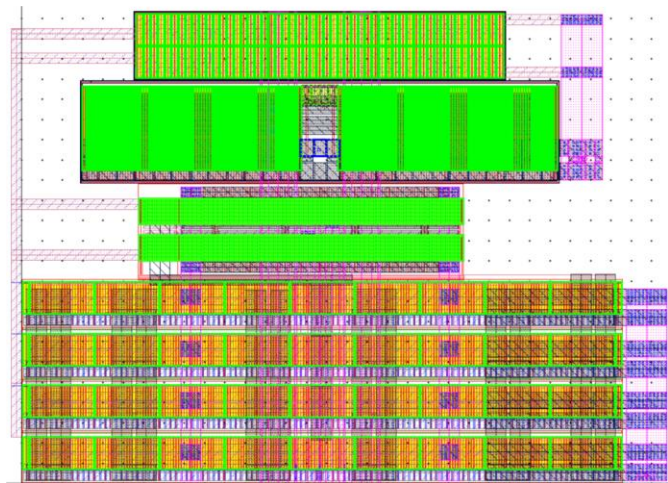


图 5-9 运放版图

在 tt 工艺角下带版图寄生参数后的运放 AC 仿真结果如图 5-9，运放后仿增益为 21.5 dB，增益带宽积为 8.8 GHz，满足预先设计要求。表 5-5 为各工艺角下的运放后仿结果，都满足设计要求。

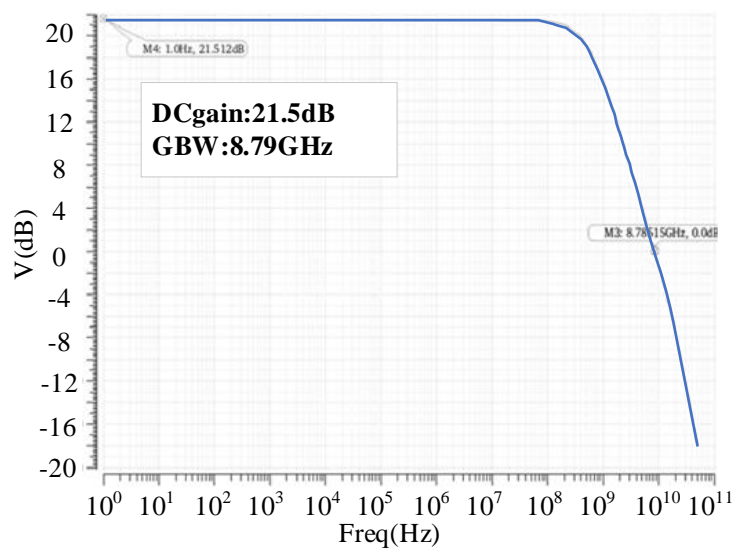


图 5-10 运放后仿波特图

表 5-5 运放在各个工艺角下的后仿 AC 参数

工艺角	tt	ss	ff	sf	fs
增益	21.5 dB	22.0 dB	21.0 dB	21.9 dB	20.9 dB
增益带宽积	8.8 GHz	8.1 GHz	8.8 GHz	8.5 GHz	8.6 GHz

(2) 整体版图及后仿

MDAC 整体版图为图 5-11，其面积为 $190\mu\text{m} \times 315\mu\text{m}$ ，此版图在运放的基础上加入了开关电容阵列。

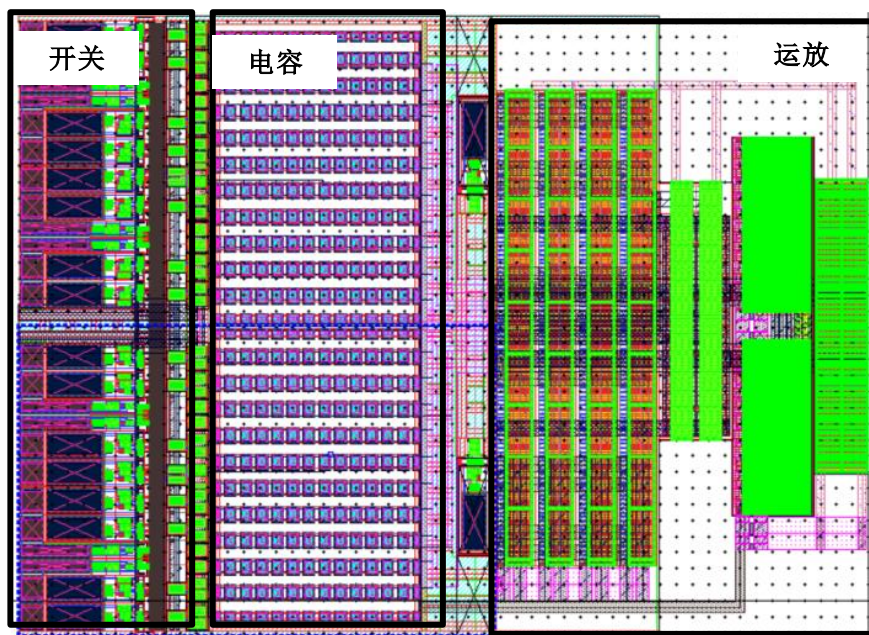


图 5-11 MDAC 版图

此处对 MDAC 进行后仿时，仿真方法为：对整个流水线级及进行仿真而不只是对 MDAC 模块，其中 Sub-ADC 电路采用前仿参数，而 MDAC 电路则加入版图带来的寄生参数，输入 V_{pp} 为满幅值，频率为 40.4MHz 的正弦波信号，进行 trans 仿真后分析输出信号。在 tt 工艺角下 FFT 分析后的频谱图如图 5-12 所示，此流水线级的 SNDR 为 75.3 dB，SFDR 为 79.7 dB，满足设计要求。

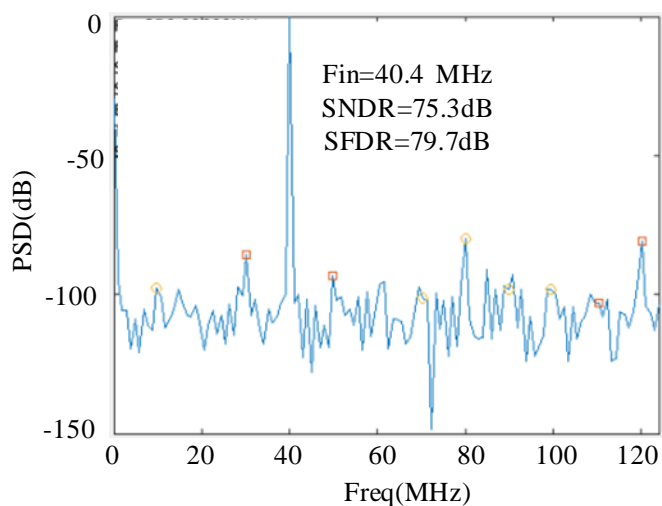


图 5-12 MDAC 后仿真 FFT 频谱图

5.1.2.3 单个流水线级版图及仿真

整个流水线级版图为图 5-13，各模块都有标注，其面积为 $190\ \mu\text{m} \times 115\ \mu\text{m}$ 。

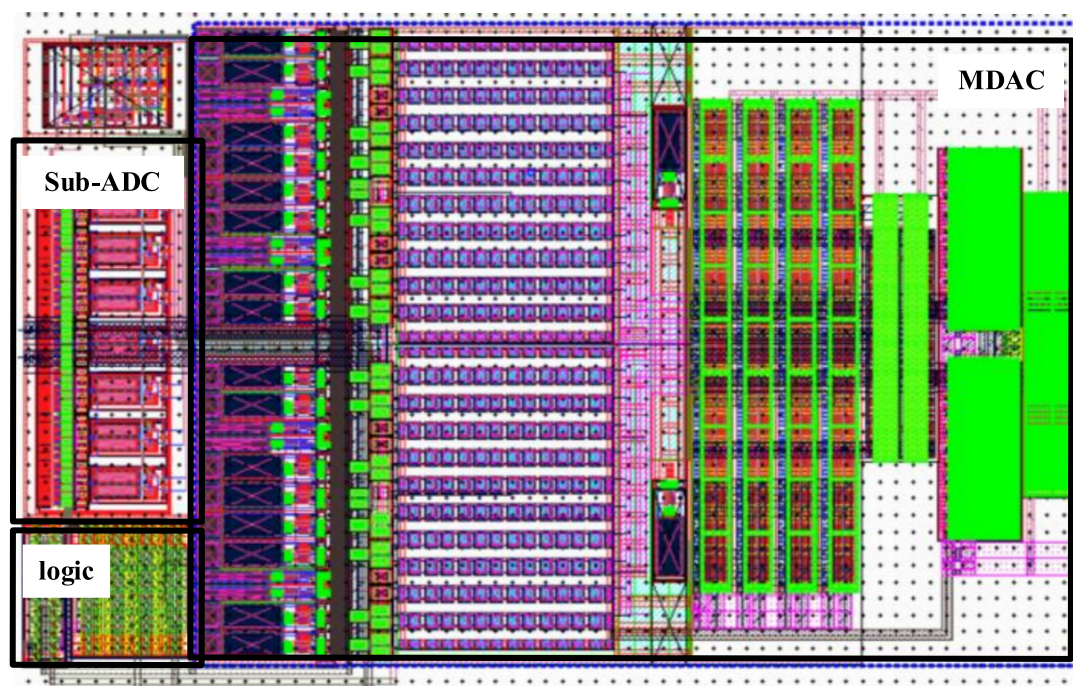


图 5-13 整流水线级版图

提取整个流水线级的版图寄生，再采取与前仿一样的方法进行仿真，输入 V_{pp} 为满幅值，频率为 40.4MHz 的正弦波信号，进行 trans 仿真后分析输出信号。在 tt 工艺角下 FFT 分析后的频谱图如图 5-14 所示，此流水线级的 SNDR 为 75.1 dB，SFDR 为 77.4 dB，满足设计要求。

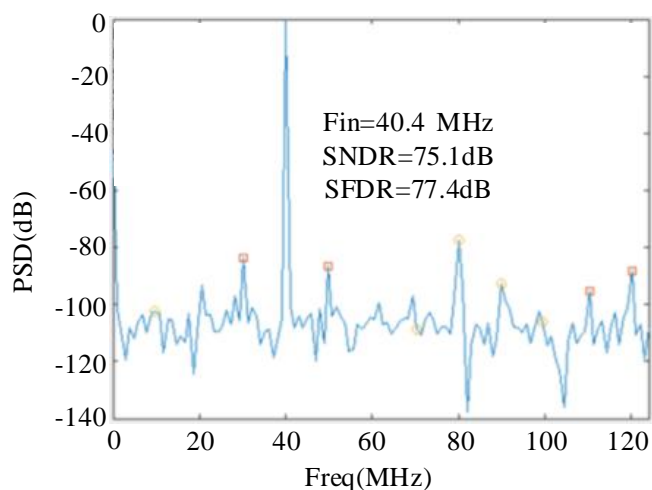


图 5-14 整流水线级后仿真 FFT 频谱图

5.1.2.4 单通道仿真

整个单通道的版图为图 5-15，其面积为 $1040\mu\text{m} \times 550\mu\text{m}$ ，整个通道的寄生参数过于庞大，现有资源下无法完成仿真，但对流水线 ADC 性能影响最大的是前几级，在对第一级仿真满足设计要求的情况下，整体性能基本不会出现问题。

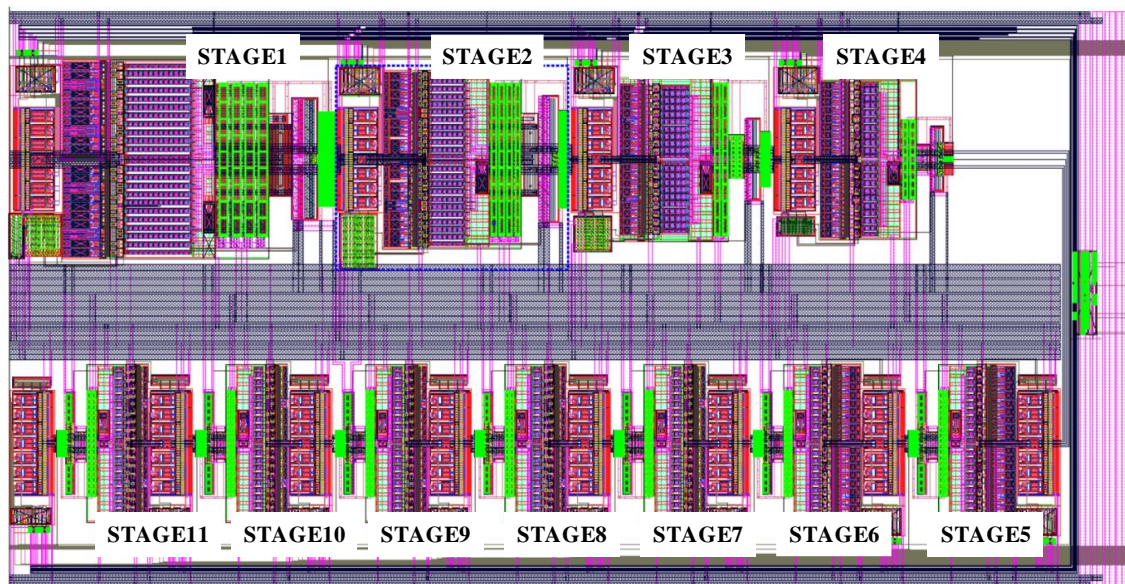


图 5-15 单通道流水线 ADC 版图

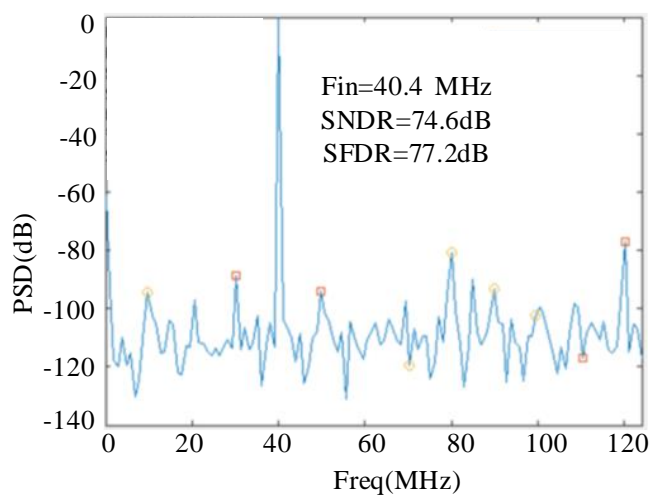


图 5-16 前四级后仿 FFT 频谱图

尽管仿真环境有限，本设计还是提取了前四级的版图后仿参数进行仿真，输入 V_{pp} 为满幅值，频率为 40.4MHz 的正弦波信号，进行 trans 仿真后分析输出信号。在 tt 工艺角下 FFT 分析后的频谱图如图 5-16 所示，此流水线级的 SNDR 为 74.6 dB，SFDR 为 77.2 dB，满足设计要求。

5.2 时间交织 ADC 仿真结果

5.2.1 时间交织 ADC 电路仿真及版图

5.2.1.1 时钟控制模块仿真

本设计采用分频器实现 4 个相位差为 90 度的时钟从而控制 4 个通道的 ADC 进行交替采样，此模块的前仿结果如图 5-17，频率为 1GHz 的输入时钟信号经分频器后产生了 4 个相位差为 90 度的时钟信号分别用以控制 4 个通道。

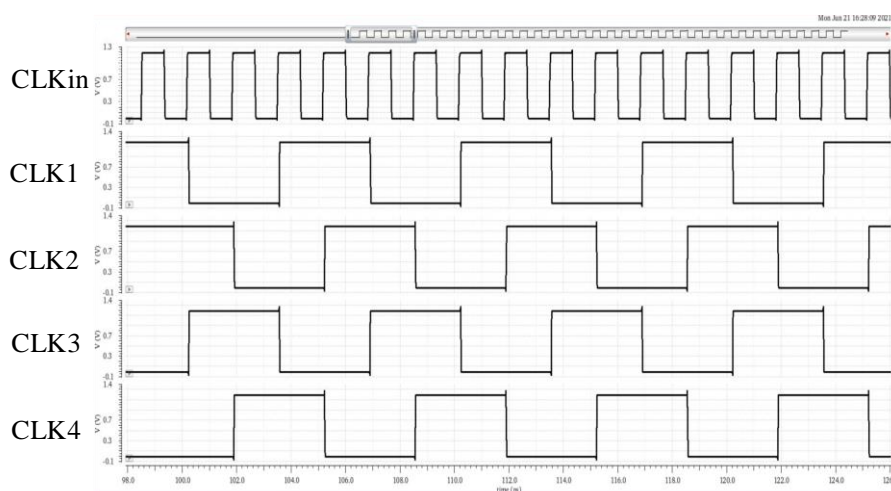


图 5-17 时钟分频器前仿真

此模块版图完成后，提取此模块版图寄生的后仿结果如图 5-18，此模块准确输出了 4 个相位差为 90 度（1/4 周期）的时钟信号。

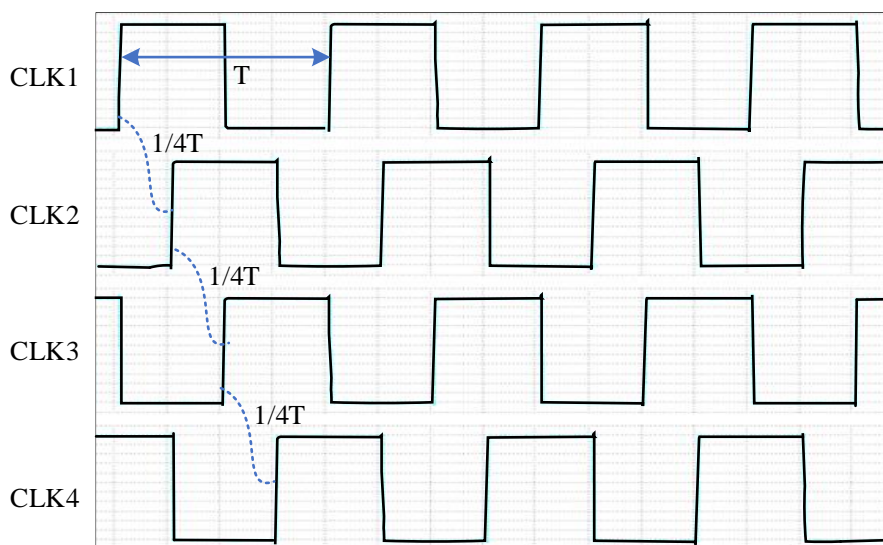


图 5-18 时钟分频器后仿真

5.2.1.2 4 通道时间交织流水线 ADC 版图及仿真

单通道流水线 ADC 仿真完成后,完成 4 通道时间交织流水线 ADC 的连接,使用分频器产生的 4 个相位差为 90 度的信号分别控制 4 个通道对输入信号进行采样并量化,并对这 4 个通道的输出进行整合。仿真时,输入 V_{pp} 为满幅值,频率为 105.7MHz 的正弦波信号,在时钟分频器处输入 1GHz 的信号控制时间交织 ADC 的采样率为 1GSps,经过 trans 仿真后整合各个通道的输出并采集出来进行分析,在 tt 工艺角下的 FFT 结果为图 5-19,此时间交织流水线 ADC 的 SNR 为 81.9 dB, SNDR 为 81.2 dB, SFDR 为 91.2 dB,满足设计要求。

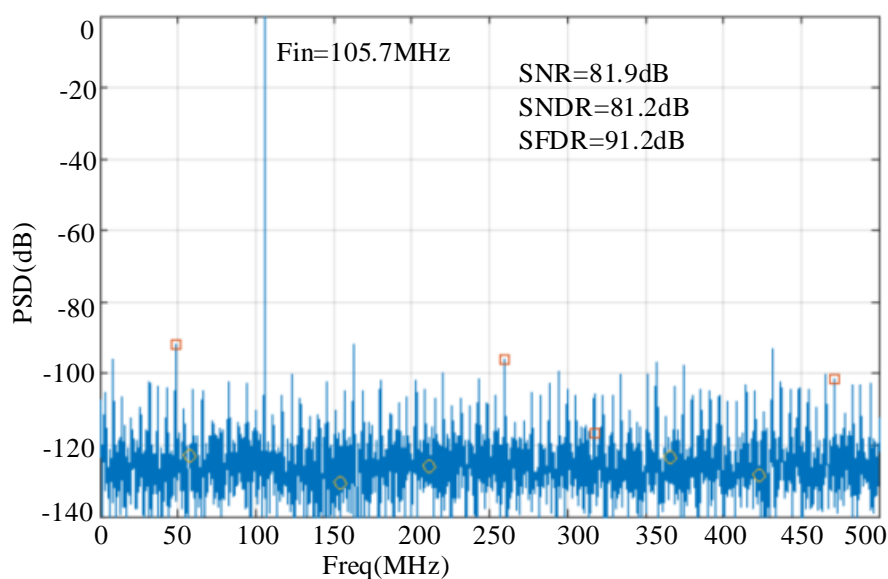


图 5-19 4 通道时间交织流水线 ADC 前仿真

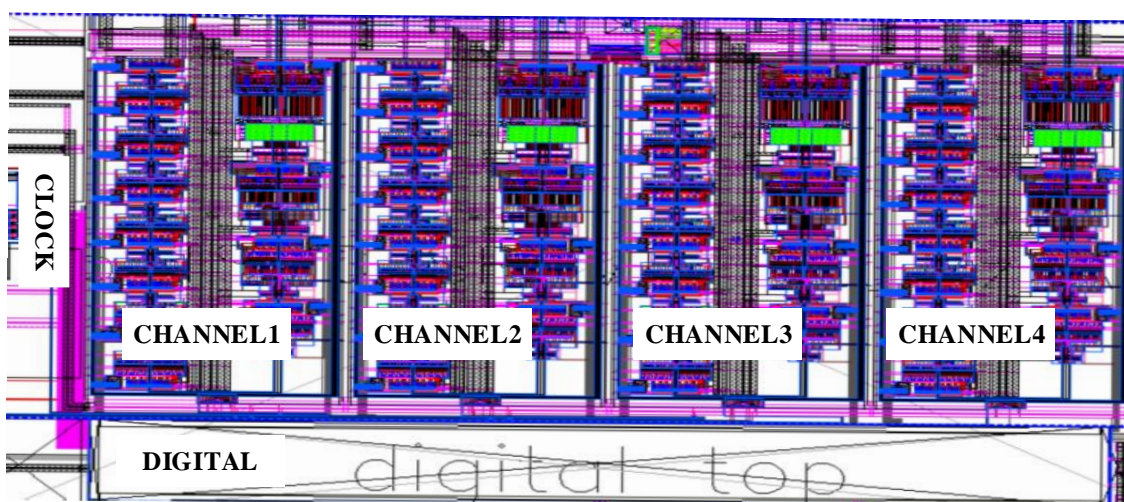


图 5-20 4 通道时间交织流水线 ADC 版图

4 通道时间交织 pipelined ADC 的版图如图 5-20 所示, 面积为 $1500\text{ }\mu\text{m}\times 2500\text{ }\mu\text{m}$, 图中对 4 个通道, 时钟产生模块以及数字校准模块都进行了标注。

由于服务器资源有限以及 ADC 整体的版图过大, 无法对此时间交织 ADC 模拟电路部份进行整体后仿, 模拟与数字联合仿真更是难以完成。

5.2.1.3 采样时刻失配模拟域补偿电路仿真

本设计针对采样时刻失配的模拟域补偿电路主要由 mos 电容阵列来实现, 利用 mos 电容在不同控制信号下会产生不同电容值从而实现延时的调节的特点, 对各个通道的采样时钟进行调节从而消除采样时刻失配。前文分析此电路工作原理时已经提到过, 此电容阵列中相邻两补偿位在电容值上需要保持 2 倍关系以保证精确收敛, 虽然本设计使用了冗余补偿位的级数来降低各 mos 电容不匹配造成的收敛误差, 在版图实现上仍应该做到匹配。

提取此版图寄生后在 tt 工艺角下的后仿结果如表 5-6 所示, 观察此表可知, 低位 (D1-D5) 的匹配效果较好, 基本保持了相邻两位间的两倍关系, 但是高位 (D6-D9) 匹配效果相对较差, 会产生较大的收敛误差。本设计中 D5 位为冗余补偿位, 此位的存在能完全补偿掉 D6-D9 位产生的收敛误差, 再经 D4-D1 位进行精确补偿后, 可使采样时刻失配收敛到最低步长 36fs 内。

实际情况中由于工艺角的差异以及温度梯度的差异, 每一步的步长都将不可避免地产生偏离, 但是始终会遵循高位偏离大低位偏离低的规律, 因此只要有本设计冗余位的存在, 高位的偏离都是能被补偿回来的。

表 5-6 VDL 后仿延时

位数	D1	D2	D3	D4	D5	D6	D7	D8	D9
延时	36fs	71fs	144fs	288fs	574fs	566fs	1298fs	2039fs	4480fs

5.2.2 时间交织 ADC 失配校准仿真

本设计针对各类失配分别设计了相应的校准算法, 在具体芯片上需要将这些校准算法转化为数字电路进行实现。仿真之时, 最为完备的方法应该为模拟域的 4 通道时间交织流水线 ADC 电路与数字电路实现的校准算法联合起来进行仿真, 但是此类仿真效率低再加上实验室资源有限, 因此本设计的仿真只能针对模型对本设计的各类校准算法进行验证。模型使用满幅值的正弦波信号作为输入, 并在此理想输入信号中加入了一定量的热噪声使得信号 SNR 为 75 dB, 同时, 还在采样时钟中加入了 rms 值为 200 fs 的 jitter。

5.2.2.1 失调失配校准仿真

图 5-21 为失调失配校准前后的 FFT 仿真结果, 仿真时失调失配的范围设置在 ADC 满幅值输入 V_{pp} 的 5% 以内, 观察可得, 在校准前, 失调失配带来的杂散位置在 $f_s/4$ 处(因 FFT 时对频率的范围只考查到 $f_s/2$ 处, 所以其余位置杂散不显示), 符合本文推导的失调失配在频域中的性质, 此时的 SFDR 为 43.0 dB, SNDR 为 42.9 dB, SNR 为 42.9 dB, 经过校准后可发现杂散得到了明显的抑制, 校准后的 SFDR 为 97.2 dB, SNDR 为 73.3 dB, SNR 为 73.3 dB, 性能上升了 31.4 dB, 效果良好。

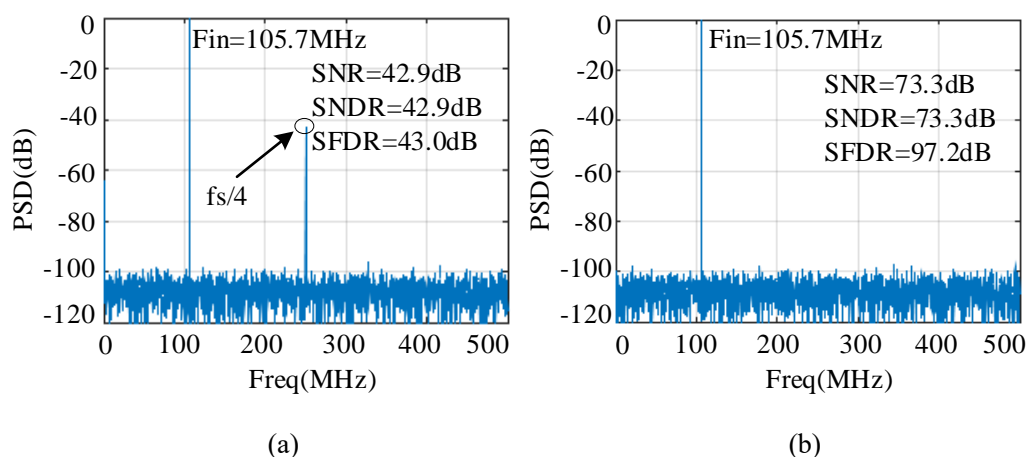


图 5-21 失调失配校准 FFT 仿真。(a)校准前; (b)校准后

前文分析过, 失调失配在输出频谱中带来的影响不会随输入变化的变化而变化, 因此对于此类失配, 只要在一个信号输入频率下得到了验证, 就不必再对其余频率进行仿真。本设计仍额外选取了几个频点进行仿真, 结果如表格 5-7 所示, 这几个从低到高的频点 SNR 和 SNDR 虽一直在下降, 但下降的原因其实是 jitter 导致的 (jitter 在高输入频率时表现更明显), 而 SFDR 一直在 90 dB 左右, 意味着校准算法对杂散的抑制效果良好。

表 5-7 失调失配校准算法在额外频点处表现

输入频率(MHz)	229.7	359.1	471.4
SNR(dB)	69.7	66.3	64.3
SNDR(dB)	69.6	66.3	64.3
SFDR(dB)	93.8	91.1	89.1

5.2.2.2 增益失配校准仿真

图 5-22 为增益失配校准前后的 FFT 仿真结果, 在无增益失配时, 单通道 ADC 的增益为 1, 仿真时增益失配的范围设置在理想增益值的 10% 以内, 观察可得, 在

校准前，增益失配带来的杂散位置在 $f_s/4 \pm f_{in}$ 以及 $f_s/2 - f_{in}$ 处（因 FFT 时对频率的范围只考查到 $f_s/2$ 处，所以其余位置杂散不显示），符合本文推导的失调失配在频域中的性质，此时的 SFDR 为 43.1 dB，SNDR 为 39.1 dB，SNR 为 39.1 dB，经过校准后可发现杂散得到了明显的抑制，校准后的 SFDR 为 97.0 dB，SNDR 为 73.5 dB，SNR 为 73.5 dB，性能上升了 34.4 dB，效果良好。

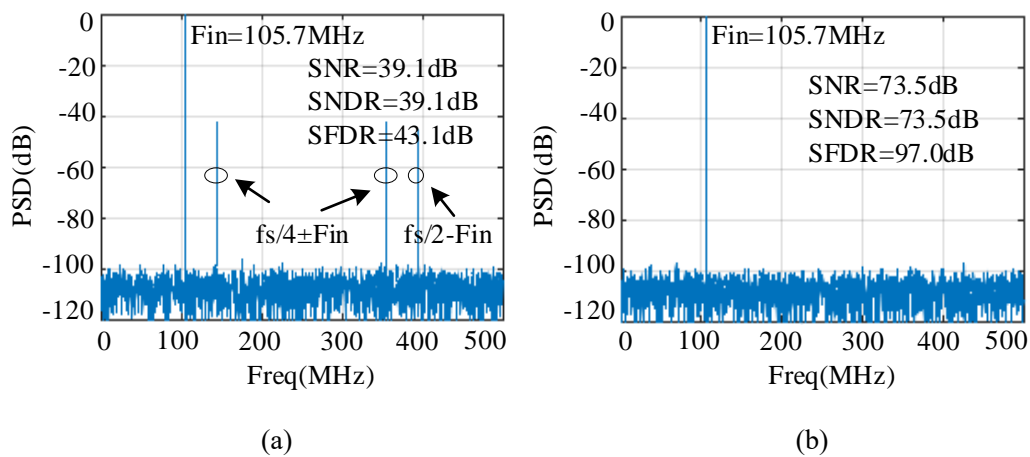


图 5-22 增益失配校准 FFT 仿真。(a)校准前；(b)校准后

同失调失配一样，增益在输出频谱中带来的影响不会随输入变化的变化而变化。本设计仍额外选取了几个频点进行仿真，结果如表格 5-8 所示，同样的，SNR 和 SNDR 虽一直在下降，但其实是 jitter 导致的，而 SFDR 一直在 90 dB 左右，意味着校准算法对杂散的抑制效果良好。

表 5-8 增益失配校准算法在额外频点处表现

输入频率(MHz)	229.7	359.1	471.4
SNR(dB)	69.6	66.2	64.4
SNDR(dB)	69.5	66.2	64.4
SFDR(dB)	93.9	89.7	88.9

5.2.2.3 采样时刻失配校准仿真

本设计采样时刻失配的校准算法需要数字电路与模拟电路之间交互进行，仿真中要实现这样的交互就需要模拟电路与数字电路的联合仿真，这在本设计的开发环境中难以实现，因此本设计仿真之时先仿真提取出模拟域补偿电路各位的实际补偿精度，再建模并将仿真得到的补偿电路的数据带入模型中来实现模拟域补偿电路。图 5-23 为采样时刻失配校准前后的 FFT 仿真结果，仿真时采样时刻失配的范围设置在采样时钟周期的 1%以内，观察可得，在校准前，采样时刻失配带来的杂散位置在 $f_s/4 \pm f_{in}$ 以及 $f_s/2 - f_{in}$ 处（因 FFT 时对频率的范围只考查到 $f_s/2$ 处，

所以其余位置杂散不显示), 符合本文推导的失调失配在频域中的性质, 此时的 SFDR 为 56.5 dB, SNDR 为 51.8 dB, SNR 为 51.8 dB, 经过校准后可发现杂散虽然还是存在, 但是得到了明显的抑制, 校准后的 SFDR 为 92.3 dB, SNDR 为 72.0 dB, SNR 为 72.1 dB, 性能上升了 20.3 dB, 效果良好。

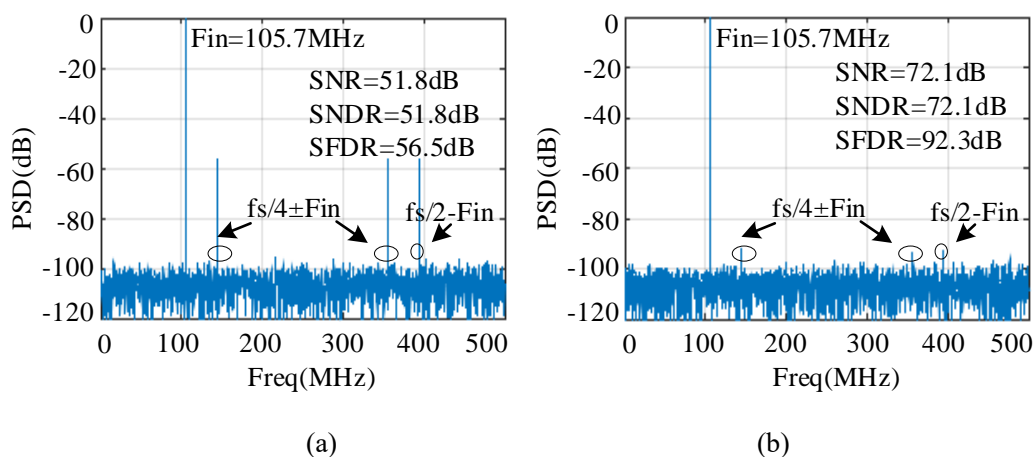


图 5-23 采样时刻失配校准 FFT 仿真。(a)校准前; (b)校准后

与其余两失配的性质相反, 采样时刻失配在输出频谱中带来的影响会随输入信号频率的上升而变大。在对各频率点的校准结果进行仿真时, 相对前两个失配也选取了更多的点, 结果如表格 5-9 所示, 同样的, SNR 和 SNDR 虽一直在下降, 但其实是 jitter 导致的, 与之前不同的是, SFDR 值也一直在下降, 频率很高时下降到了 80dB, 这表明校准算法虽起到了抑制效果, 但在高频时的表现不如低频, 残余的未被抑制的失配带来的杂散的功率随输入频率的增大而增大。

表 5-9 采样时刻失配校准算法在各频点处表现

输入频率 (MHz)	97.9	180.4	229.7	307.4	359.1	433.8	471.4
SNR(dB)	73.6	70.8	69.5	67.4	66.4	64.7	64.1
SNDR(dB)	73.6	70.8	69.5	67.4	66.3	64.7	64.1
SFDR(dB)	95.7	87.5	85.7	83.0	82.4	80.1	80.0

5.2.2.4 本采样时刻失配算法优势

(1) 收敛速度相对传统方式更快

本文介绍过传统模拟域补偿的校准算法对 4 通道时间交织 ADC 进行校准时需要分为两个步骤进行, 将 4 通道 ADC 看作两个 2 通道 ADC, 具体方法为: 首先将 4 个通道进行编号, 分别为通道 1、2、3、4, 第一轮提取时提取通道 1 与通道 3 间的采样时刻失配并进行补偿, 第二轮提取时提取通道 1 与通道 2 间和通道 3 与

通道 4 间的采样时刻失配并进行补偿，两轮提取与补偿之后，才算完成了 4 通道架构的时间交织 ADC 的采样时刻失配补偿。这种方式无疑会拖慢算法的收敛速度，本设计对提取方法做了适当优化，以联立方程组的方式一次性提取出 4 个通道的失配值进行补偿，只需要传统方式一轮的时间就能将 4 个通道补偿完毕，本设计将算法收敛速度提升了一倍。

(2) 算法搭配模拟域补偿电路使收敛更精准

本设计选择数字域提取模拟域补偿的算法对采样时刻失配进行校准，因此模拟域补偿电路部份也是影响校准性能的关键。模拟域补偿电路通常由 mos 电容阵列组成，传统补偿阵列中各相邻电容的容值保持 2 倍关系从而保证补偿时使用二分法寻值的方法能将采样时刻失配值收敛到电容阵列的最小步长内，然而实际实现时，由于器件失配以及环境因素等的影响，容值间的 2 倍关系难以得到保持，从而影响最终收敛的精度，本设计在补偿电容阵列中引入了冗余位，对各类非理想效应造成的误差进行了补偿，能有效提升补偿精度。

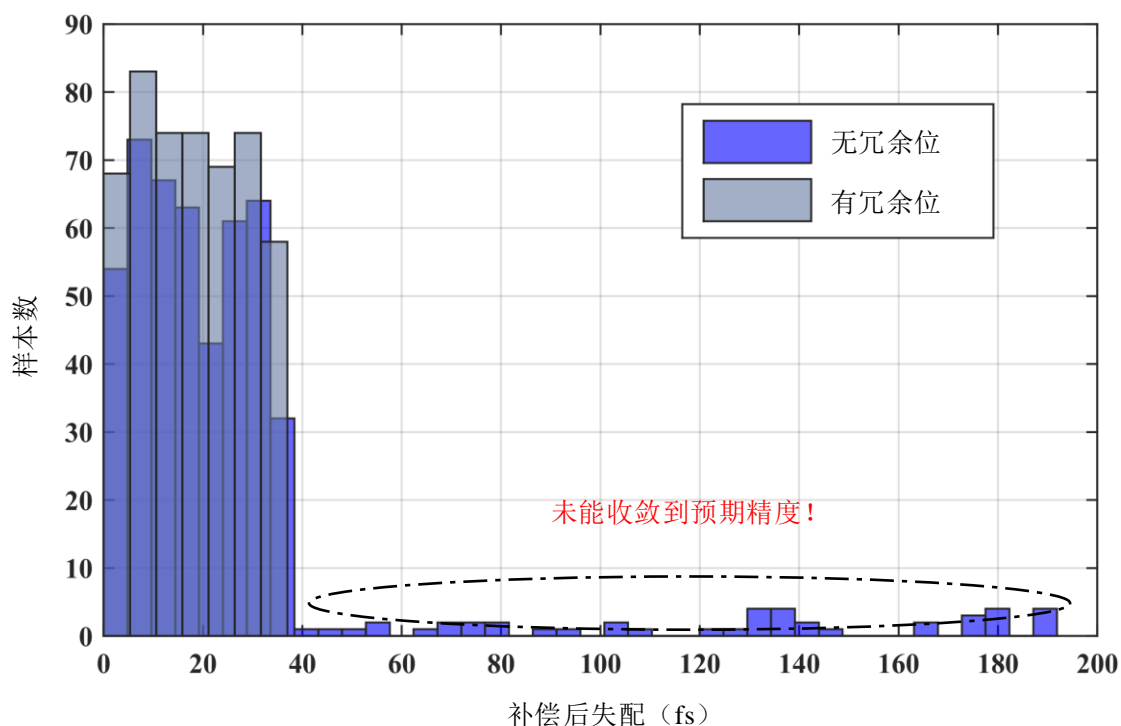


图 5-24 无冗余位与带冗余位补偿精度对比

图 5-24 比较了传统无冗余位补偿方法与本文带冗余位补偿方法的收敛精度，仿真之时在补偿范围内均匀生成了 500 个点作为采样时刻失配值，分别使用无冗余位补偿算法与本文补偿算法对这个失配进行校准，将校准完成后的剩余失配值记录下来并绘制成柱状图。图中可看出，传统的无冗余位的补偿算法会在一些情况

下无法收敛到预期精度，损害系统性能，而带冗余位的补偿算法在所有情况下都能使采样时刻失配精确收敛，从而提高了收敛精度，优化了系统性能。

5.3 本章小结

本章首先对单通道的流水线 ADC 进行了前仿以及版图后仿真，根据仿真结果，电路性能良好，满足设计指标；随后对 4 通道时间交织流水线 ADC 进行了前仿以及完成了版图，前仿的 SNDR 能达到 81 dB，性能良好；对时间交织 ADC 的时钟分频器进行了前仿以及后仿，性能正常；对针对采样时刻失配的模拟域补偿电路进行了后仿，提取出了各补偿位的延时；然后分别针对失调失配的校准、增益失配的校准以及采样时刻失配的校准进行了建模与仿真，校准前后杂散抑制明显，符合设计要求；最后比较了本文使用的针对采样时刻失配的校准算法相较于传统方法的优势，本文方法收敛更快、精度更高。综上，虽本设计各仿真未能完全完备，但是根据已有仿真结果，本设计预设目标基本得到实现。

第六章 全文总结与展望

6.1 全文总结

为满足通信系统对 ADC 精度以及速度日益增加的需求, 本文设计了一款 1GSps 12-bit 时间交织流水线 ADC, 围绕此设计的主要工作如下:

1、了解了 ADC 的发展历史与背景, 对国内外学术界与工艺界的高速高精度 ADC 研究与产品进行了调研。

2、研究了 ADC 的基本原理, 了解了 ADC 的各类参数, 并对各类结构的 ADC 的工作原理进行了分析与介绍。

3、确定了以流水线 ADC 为子通道的时间交织 ADC 架构, 分别对流水线 ADC 的关键技术如以及时时间交织架构的关键技术进行了研究。

4、针对单通道流水线 ADC 进行了设计, 首先选取了 3-bit 每级带级间增益校准的 SHA-less 架构, 再分别设计了流水线的时序、时钟电路以及各子电路如采样电路、Sub-ADC 和 MDAC。

5、以单通道为基础, 设计了 4 通道时间交织 pipelined ADC, 首先设计了时钟控制模块以使各个通道以正确的方式交错采样, 再分别设计了针对三类失配的校准算法, 设计针对采样时刻失配的校准算法之时, 优化了失配的提取方式使得提取变快, 在模拟域补偿电路中增加了冗余位提高了补偿精度。

6、分别完成了单通道流水线 ADC 以及 4 通道时间交织流水线 ADC 的仿真与版图, 单通道前仿真在各个工艺角下 SNDR 都在 74 dB 以上, 单通道后仿真 SNDR 也都达到了 74.6 dB, 都满足 12-bit 设计要求, 将 4 个通道的交织后, 对交织后的电路进行了前仿真, SNDR 满足设计要求; 完成了针对时间交织架构各失配的校准算法的仿真, 各类失配的校准算法都很好的提升了系统的性能, 通过对比可发现本设计的新型校准算法结合模拟域补偿电路有效提升了算法的收敛精度与收敛速度。

6.2 后续工作与展望

由于本人科研能力与经验有限, 在进行本设计的工作之时难免会有局限, 而又由于本设计系统庞大、结构复杂工作量也较大, 因此设计中存在着许多不足之处有待改进, 具体为:

1、由于本设计系统过于庞大而硬件环境又有限, 因此许多仿真不能做完备, 如: 整个 pipelined ADC 的后仿真、4 通道 pipelined ADC 的后仿真以及模拟电路部

份和数字校准模块部份的联合仿真。而已做完的仿真之中也未能完全覆盖住各个温度以及工艺角，条件允许的条件下应该做到仿真的完美覆盖。

2、单通道 pipelined ADC 设计之时，放大器的设计过于简化，因此系统非线性会因此增大，在设计迭代之时，即使有级间增益校准算法，也需尽量使得放大器达到高速高增益。

3、时间交织架构的时钟产生模块应继续优化，分频器结构太过于依赖片外高精度时钟源。

4、针对采样时刻失配的模拟域补偿电路应得到更多优化，主要是在版图布局时增加匹配性，使采样时刻失配的收敛更为精确。

5、针对时间交织架构失配的校准算法可以有更多尝试，本设计使用的方法需要数字域与模拟域的交互，实际实现中会存在许多问题，可尝试研究并实现纯数字域校准的方式。

6、由于时间有限，本设计还未进行测试，无测试结果。

由于本作者能力与认知有限，文中难免会有描述不准确或者错误的地方，希望批评指正，本作者在今后的学习与工作中也会更加关注这些问题。

致 谢

三年来，在我从一个生涩的科研新人变为对自己的工作与研究逐渐熟悉的准毕业生的道路上，老师、同学以及家人们都对我提供了许许多多的帮助，在此，我想对他们一一表示感谢。

感谢我的导师唐鹤教授，您不仅传授我知识与方法，还教导我不管是学习还是工作时都应一丝不苟、兢兢业业、不言放弃，这些都将使我受益终身。感谢彭析竹副教授在科研项目中对我的帮助与指导。

感谢郭金锋、曹启富、吴娜等师兄师姐们，总是积极的为我提供帮助。

感谢卢知非、李兆江、芦宇航、刘汉鹏、谢玉龙、肖学超、刘宇科、赵瑞扬、华若谷、张曼钰这几位同级的小伙伴，在三年的研究生生涯中我们一起学习、科研、成长，祝你们前程似锦。

感谢周绍虎、陈海山、雷东霖等师弟师妹们，感谢你们在学习与生活中为我带来的快乐。

感谢我的室友刘一礼，三年的寝室生活中一直有你的陪伴，祝你一切顺利。

最后感谢我的父母、家人，在接近 20 年的学习生涯中一直作为我最坚实的后盾，一直给予我支持。

参考文献

- [1] Black W C, Hodges D A. Time interleaved converter arrays[J]. IEEE Journal of Solid-State Circuits, 1980, 15(6): 1022-1029.
- [2] Devarajan S, Singer L, Kelly D, 等. 16.7 A 12b 10GS/s interleaved pipeline ADC in 28nm CMOS technology[C].2017 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA, 2017: 288-289.
- [3] Razavi B. Design Considerations for Interleaved ADCs[J]. IEEE Journal of Solid-State Circuits, 2013, 48(8): 1806-1817.
- [4] Jamal S M, Daihong FU, Chang N C J, 等. A 10-b 120-Msample/s time-interleaved analog-to-digital converter with digital background calibration[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1618-1627.
- [5] El-chammas M, Murmann B. A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration[J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 838-847.
- [6] Straayer M, Bales J, Birdsall D, 等. 27.5 A 4GS/s time-interleaved RF ADC in 65nm CMOS with 4GHz input bandwidth[C].2016 IEEE International Solid-State Circuits Conference (ISSCC). San Francisco, CA, USA, 2016: 464-465.
- [7] Devarajan S, Singer L, Kelly D, 等. ISSCC 2017 / SESSION 16 / GIGAHERTZ DATA CONVERTERS / 16.7[J]. 3.
- [8] Salib A, Flanagan M F, Cardiff B. A High-Precision Time Skew Estimation and Correction Technique for Time-Interleaved ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(10): 3747-3760.
- [9] Lin C Y, Wei Y H, Lee T C. A 10-bit 2.6-GS/s Time-Interleaved SAR ADC With a Digital-Mixing Timing-Skew Calibration Technique[J]. IEEE Journal of Solid-State Circuits, 2018, 53(5): 1508-1517.
- [10] Chen S, Wang L, Zhang H, 等. All-Digital Calibration of Timing Mismatch Error in Time-Interleaved Analog-to-Digital Converters[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(9): 2552-2560.
- [11] Le DUC H, Nguyen D M, JABBOUR C, 等. Fully Digital Feedforward Background Calibration of Clock Skews for Sub-Sampling TIADCs Using the Polyphase Decomposition[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(6): 1515-1528.

- [12] Matsuno J, Yamaji T, Furuta M, 等. All-Digital Background Calibration Technique for Time-Interleaved ADC Using Pseudo Aliasing Signal[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(5): 1113-1121.
- [13] Le dortz N, Blanc J P, Simon T, 等. 22.5 A 1.62GS/s time-interleaved SAR ADC with digital background mismatch calibration achieving interleaving spurs below 70dBFS[C].2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). San Francisco, CA, USA, 2014: 386-388.
- [14] Yin M, Ye Z. First Order Statistic Based Fast Blind Calibration of Time Skews for Time-Interleaved ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(1): 162-166.
- [15] Tavares Y A, Lee K Y, Lee M. All-Digital Bandwidth Mismatch Calibration of TI-ADCs Based on Optimally Induced Minimization[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2020, 28(5): 1175-1184.
- [16] Satarzadeh P, Levy B C, Hurst P J. A parametric polyphase domain approach to blind calibration of timing mismatches for M-channel time-interleaved ADCs[C].Proceedings of 2010 IEEE International Symposium on Circuits and Systems. Paris, France, 2010: 4053-4056.
- [17] Ali A M A, Dinc H, Bhoraskar P, 等. 16.1 A 12b 18GS/s RF Sampling ADC with an Integrated Wideband Track-and-Hold Amplifier and Background Calibration[J]. 3.
- [18] Wang X, Li F, Jia W, 等. A 14-Bit 500-MS/s Time-Interleaved ADC With Autocorrelation-Based Time Skew Calibration[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(3): 322-326. DOI:10.1109/TCSII.2018.2849691.
- [19] Pan H, Abidi A A. Spectral Spurs due to Quantization in Nyquist ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(8): 1422-1439.
- [20] Kim J K R, Murmann B. A 12-b, 30-MS/s, 2.95-mW Pipelined ADC Using Single-Stage Class-AB Amplifiers and Deterministic Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2141-2151.
- [21] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter[J]. IEEE Journal of Solid-State Circuits, 1999, 34(5): 599-606.
- [22] Jung Y M, Zhe J, Kwon C K, 等. A SHA-less 10-bit 80-MS/s CMOS pipelined ADC[C].2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology. Xian, China, 2012: 1-3.
- [23] Ali A M A, Morgan A, Dillon C, 等. A 16-bit 250-MS/s IF Sampling Pipelined ADC With Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2602-2612.

- [24] Chang D Y. Design Techniques for a Pipelined ADC Without Using a Front-End Sample-and-Hold Amplifier[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(11): 2123-2132.
- [25] Dessouky M, Kaiser A. Very low-voltage digital-audio $\Delta\Sigma$ modulator with 88-dB dynamic range using local switch bootstrapping[J]. IEEE Journal of Solid-State Circuits, 2001, 36(3): 349-355.
- [26] Devarajan S, Singer L, Kelly D, 等. A 16b 125MS/s 385mW 78.7dB SNR CMOS pipeline ADC[C].2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers. San Francisco, CA, 2009: 86-87,87a.
- [27] Ali A M A, Dillon C, Sneed R, 等. A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC With 100 dB SFDR and 50 fs Jitter[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1846-1855.
- [28] Verma A, Razavi B. A 10b 500MHz 55mW CMOS ADC[C].2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers. San Francisco, CA, 2009: 84-85,85a.
- [29] Sahoo B D, Razavi B. A 10-b 1-GHz 33-mW CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1442-1452.
- [30] Chiang S H W, Sun H, Razavi B. A 10-Bit 800-MHz 19-mW CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2014, 49(4): 935-949.
- [31] Wei H, Zhang P, Sahoo B D, 等. An 8 Bit 4 GS/s 120 mW CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1751-1761.
- [32] Ali A M A, Dinc H, Bhoraskar P, 等. A 14 Bit 1 GS/s RF Sampling Pipelined ADC With Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857-2867.
- [33] Elbornsson J, Gustafsson F, Eklund J E. Blind Adaptive Equalization of Mismatch Errors in a Time-Interleaved A/D Converter System[J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2004, 51(1): 151-158.
- [34] Stepanovic D, Nikolic B. A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 971-982.
- [35] Duan Y, Alon E. A 12.8 GS/s Time-Interleaved ADC With 25 GHz Effective Resolution Bandwidth and 4.6 ENOB[J]. IEEE Journal of Solid-State Circuits, 2014, 49(8): 1725-1738.
- [36] Nam J W, Hassanpourghadi M, Zhang A, 等. A 12-Bit 1.6, 3.2, and 6.4 GS/s 4-b/Cycle Time-Interleaved SAR ADC With Dual Reference Shifting and Interpolation[J]. IEEE Journal of Solid-State Circuits, 2018, 53(6): 1765-1779.

-
- [37] Huang C C, Wang C Y, JIEH-TSORNG WU. A CMOS 6-Bit 16-GS/s Time-Interleaved ADC Using Digital Background Calibration Techniques[J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 848-858.
- [38] Qiu Y, Liu Y J, Zhou J, 等. All-Digital Blind Background Calibration Technique for Any Channel Time-Interleaved ADC[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(8): 2503-2514.
- [39] Dyer K C, Daihong FU, Lewis S H, 等. An analog background calibration technique for time-interleaved analog-to-digital converters[J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 1912-1919.
- [40] Jamal S M, Fu D, Singh M P, 等. Calibration of Sample-Time Error in a Two-Channel Time-Interleaved Analog-to-Digital Converter[J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2004, 51(1): 130-139.
- [41] Vernhes J A, Chabert M, Lacaze B, 等. Blind estimation of unknown time delay in periodic non-uniform sampling: Application to desynchronized time interleaved-ADCs[C]. 2016 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). Shanghai, 2016: 4478-4482.

攻读硕士学位期间取得的成果

- [1] 唐鹤, 任钊锋.一种用于时间交织 ADC 的模拟域补偿电路[P].中国, 发明专利, 202111603207.4, 2021 年 12 月 24 日