

## 产品特点

- 支持输入带宽高达 2.5GHz
- 最高采样率可达 2Gsp/s
- 输入满量程：（差分）1200mV
- 输出接口：JESD204B

## 应用范围

- 宽带通信系统
- 高速数据采集
- 仪器仪表
- 4G/5G 移动基站

## 产品描述

AAD12D2000 是采用 CMOS 工艺制造的双通道高速模数转换芯片，包含了两颗 2Gsp/s 12bit ADC。该芯片可将宽带输入模拟信号转换为数字信号，并通过符合 JESD204B 的高速串行接口输出。输入信号共模约为 1.5V，差模满量程峰峰值为 1200mV，输出串行接口数据率为  $5 \cdot F_s$  Gbps/lane（ $F_s$  为采样率），全速率下支持 8 路串行数据输出。芯片采用 +1.8V/+1.2V/+0.9V 多电源供电，总功耗约为 2.3W，采用 pitch 为 0.4mm 的 QFN-68 封装。

## 主要性能指标

- 分辨率：12Bits
- 最高转换速率：2Gsp/s
- ENOB：9.5@100MHz（typ）  
9.1@500MHz（typ）  
8.3@1000MHz（typ）
- SFDR：70@100MHz（typ）  
65@500MHz（typ）  
55@1000MHz（typ）
- 功耗：~2.3W

## 结构框图

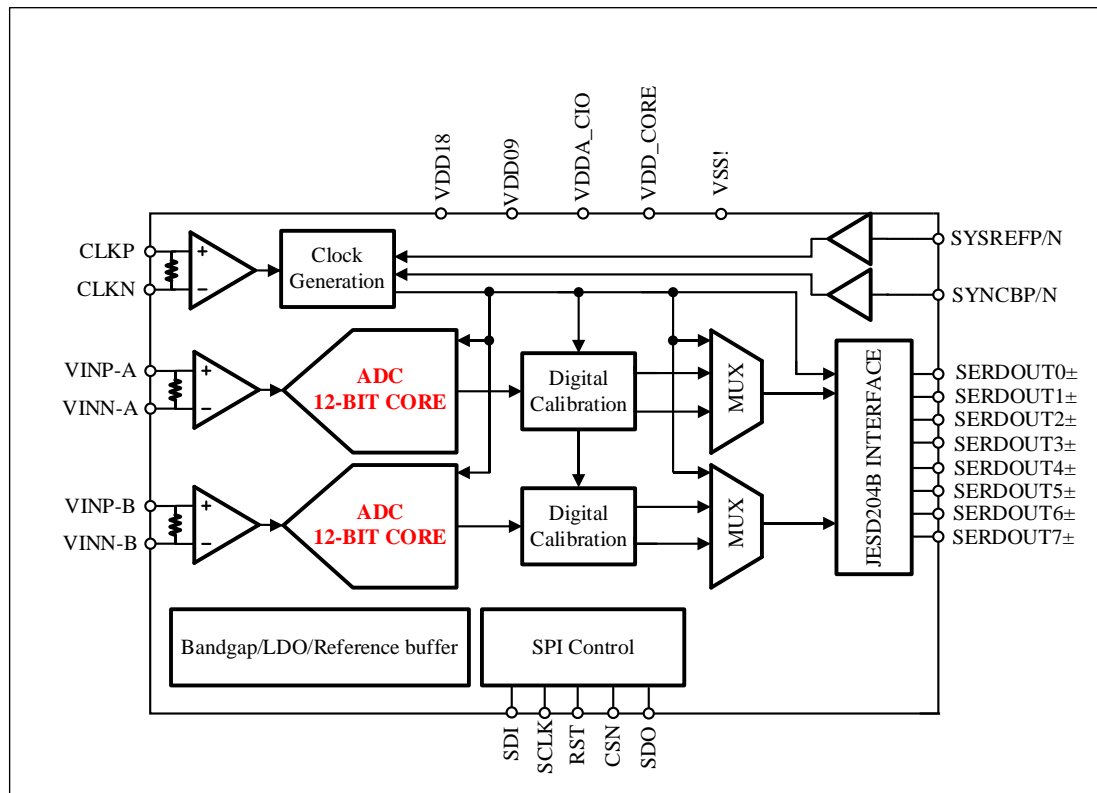


图 1：AAD12D2000 结构框图



## 目录

产品特点.....	1
产品描述.....	1
应用范围.....	1
主要性能指标.....	1
结构框图.....	1
目录 .....	2
芯片外形尺寸: .....	3
引脚说明: .....	4
最大有效值范围: .....	5
工作条件: .....	5
封装热阻: .....	5
转换器电性特征: .....	5
转换器误差特性 : .....	6
规格定义: .....	7
转换特性: .....	8
典型测试结果: .....	9
功能描述: .....	11
订购信息: .....	45
版本记录: .....	46
声明 .....	47

芯片外形尺寸:

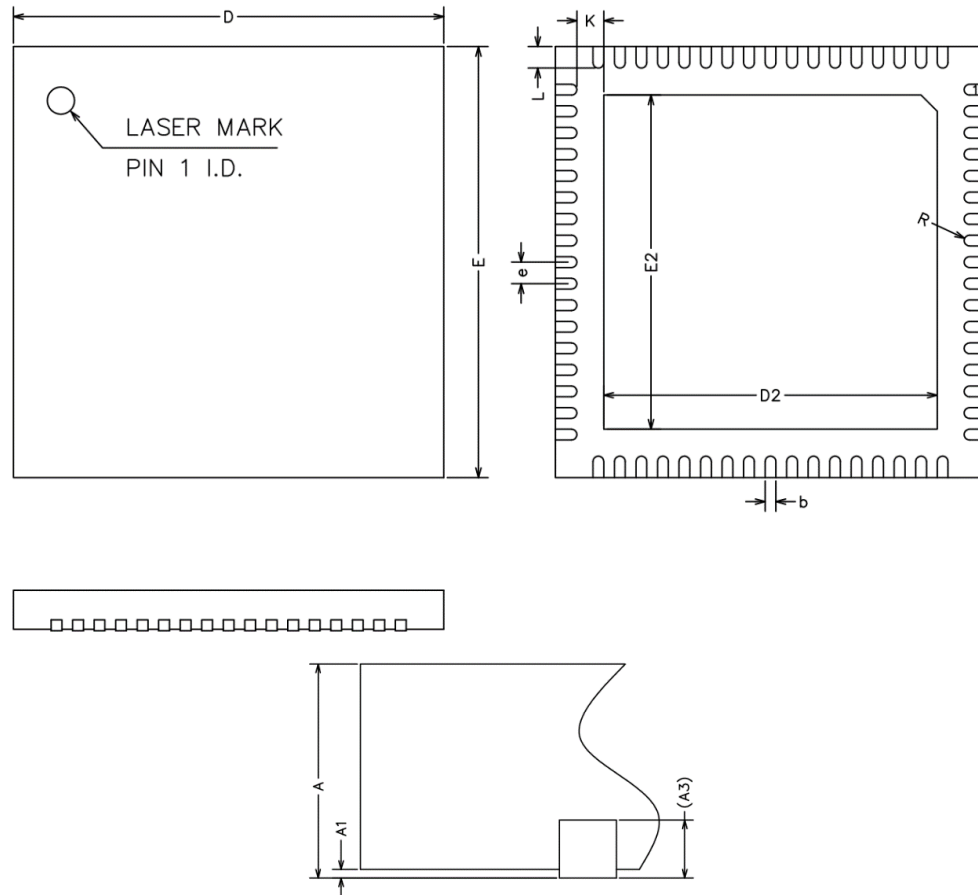


图 2: AAD12D2000 芯片封装图 (示例)

SYMBOL	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
A3	0.20REF		
b	0.15	0.20	0.25
D	7.90	8.00	8.10
E	7.90	8.00	8.10
D2	6.10	6.20	6.30
E2	6.10	6.20	6.30
e	0.30	0.40	0.50
K	0.20	-	-
L	0.35	0.40	0.45
R	0.09	-	-

注:

- (1) 所有单位均为 mm。
- (2) 芯片底部的裸焊盘必须在焊接时接地以保证芯片的性能可靠。

## 引脚说明:

编号	引脚名称	功能	备注
41/44	GND	地	0V
24/29/30/33/34/36/37/ 40/45/46/47/48/49/50/ 52/53/56/57/61	VD18	模拟电源	+1.8V
28/35/51/58	VD09	数字电源	+0.9V
20/21/62/63/64/65	VDD	数字电源	+0.9V
19/66	VDDA_CORE	模拟电源	+0.9V
9/18/67/68	VDDA_CIO	接口电源	+1.2V
32/54	VIN-A/VIN-B	模拟输入负端	直流偏压+1.5V, 可 交流耦合, 输入阻抗 单端 50 欧姆/差分 100 欧姆
31/55	VIN+A/VIN+B	模拟输入正端	
43	CKN	时钟输入负端	2GHz 时钟输入, 交 流耦合, 输入阻抗差 分 100 欧姆
42	CKP	时钟输入正端	
38	SYSREFN	SYSREF 负端	JESD204B SYSREF 信号输入, LVDS 电 平
39	SYSREFP	SYSREF 正端	
60	SYNCB_N	SYNCB 负端	JESD204B SYNCB 信号输入, LVDS 电 平
59	SYNCB_P	SYNCB 正端	
22	RST	SPI 复位	SPI 控制接口, 1.8V CMOS 电平
23	CSN	SPI 片选信号	
25	SCLK	SPI 时钟	
26	SDI	SPI 数据输入	
27	SDO	SPI 数据输出	
1/2	TXN0/TXP0	输出负端 0/输出正端 0	交流耦合至 FPGA 串行接口, 端接差分 100 欧姆负载
3/4	TXN1/TXP1	输出负端 1/输出正端 1	
5/6	TXN2/TXP2	输出负端 2/输出正端 2	
7/8	TXN3/TXP3	输出负端 3/输出正端 3	
11/10	TXN4/TXP4	输出负端 4/输出正端 4	
13/12	TXN5/TXP5	输出负端 5/输出正端 5	

编号	引脚名称	功能	备注
15/14	TXN6/TXP6	输出负端 6/输出正端 6	
17/16	TXN7/TXP7	输出负端 7/输出正端 7	



本产品内置防静电保护装置有限，为了防止静电损坏门电路，在储存或处理过程中应使引脚短接在一起或将产品放置在导电泡沫材料中。

### 最大有效值范围:

产品的最大有效值范围适用于工作温度范围，虽然超出该最大有效值范围，芯片仍然可以工作，但是长期工作在此条件，可能会对产品的寿命造成不可逆转的影响。

模拟电源电压 VD18	1.9V
数字电源电压 VDD	1V
数字电源电压 VD09	1V
接口电源 VDDA_CIO	1.25V
模拟电源 VDDA_CORE	1V
工作温度	TBD
储藏温度	TBD

### 工作条件:

参数	最小值	标准值	最大值	单位
时钟频率	-	2	-	GHz
VD18	-	1.8	-	V
VDD	-	0.9	-	V
VD09	-	0.9	-	V
VDDA_CIO	-	1.2	-	V
VDDA_CORE	-	0.9	-	V
I-VD18	-	960	-	mA
I-VDD	-	100	-	mA
I-VD09	-	10	-	mA
I-VDDA_CIO	-	55	-	mA
I-VDDA_CORE	-	50	-	mA

### 封装热阻:

以下规格基于空气自然对流环境，JEDEC 标准 4 层 PCB 板。

封装类型	$\theta_{JA}$ Ambient(°C/W)	$\theta_{JC}$ Top of Package(°C/W)	$\theta_{JC}$ Thermal Pad(°C/W)
QFN-68	32	TBD	TBD

### 转换器电性特征:

以下规格适用于  $T_A = +25^\circ\text{C}$ , VD18: +1.8V, VDD=VD09=VDDA\_CORE=0.9V, VDDA\_CIO=1.2V; 模拟信号源阻抗 = 100Ω 差分; 1:2 解复用模式; 占空比稳定。黑体界限适用于温度  $T_A = T_{\text{MIN}}$  to  $T_{\text{MAX}}$ 。除非另行说明所有其他的界限均适用于温度  $T_A = 25^\circ\text{C}$ 。

参数	最小值	典型值	最大值	单位
最高采样率	-	2	-	GS/s
差分输入满量程	-	1200	-	mV
输入端共模电压	-	1.5	-	V
输入最高时钟频率	-	2	-	GHz
输入时钟信号幅度 (差分峰峰值)		600		mVPP
无杂散动态范围	53	TBD	-	dBc
有效位数	7.7	TBD	-	Bit
电源电压: VD18	-	1.8	-	V
消耗电流: I-VD18				mA
电源电压: VDD	-	0.9	-	V
消耗电流: I-VDD				mA
电源电压: VD09	-	0.9	-	V
消耗电流: I-VD09				mA
电源电压: VDDA_CORE	-	0.9	-	V
消耗电流: I-VDDA_CORE				mA
电源电压: VDDA_CIO	-	1.2	-	V
消耗电流: I-VDDA_CIO				mA

**转换器误差特性：**

参数	最小值	典型值	最大值	单位
失调误差				LSB
增益误差				LSB
转换误差				LSB
误码率				Error/Sample

## 规格定义:

**信噪比 (SNR) :** 定义为输出信号功率和噪声功率之比。输出信号指基波，噪声包括量化噪声、电路热噪声和时间抖动。计算如下：

$$SNR = 10 \log \left( \frac{P_{sig}}{P_{noise}} \right) = 10 \log \left[ \frac{12 \cdot \left( V_{FS}/2 \right)^2}{2 \cdot \left( V_{FS}/2^N \right)^2} \right] = (6.02N + 1.76) \text{dB}$$

**总谐波失真 (THD) :** 定义为总的谐波分量和基波分量之比，它表征了 ADC 量化输出信号的线性度。计算时谐波一般取到第十次谐波。计算如下：

$$THD = 10 \log \left( \frac{P_{Harmonic}}{P_{signal}} \right)$$

**信纳比 (SINAD) :** 指 ADC 输出信号中基波分量的功率和噪声功率加上失真功率的比值。SINAD 综合考虑了噪声和失真分量的影响，全面的衡量了 ADC 输出信号的质量。计算如下：

$$SINAD = 10 \log \left( \frac{P_{signal}}{P_{Noise} + P_{Harmonic}} \right)$$

**无杂散动态范围 (SFDR) :** 指 ADC 输入单频正弦信号且输入为满幅度时，输出信号中基波分量与最大杂散的大小之比。

**有效位 (ENOB) :** 是另外一种量化信号和噪声以及失真比的方式，有效位常被定义成  $(SINAD - 1.76) / 6.02$ ，意味着将转换器等效成一个拥有有效位比特数的完美的ADC。计算如下：

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

注意，此等式是在假设使用满量程输入信号的前提下成立的。如果信号电平降低，则SINAD的值相应的会减小，ENOB也会减小。因此对于较低的信号幅度，在计算ENOB时有必要增加一个校正系数，修正如下：

$$ENOB = \frac{SINAD - 1.76 + 20 \log \left( \frac{Fullscale Amplitude}{Input Amplitude} \right)}{6.02}$$

**全功率带宽 (FPBW) :** 表征了ADC在满幅输入情况下，输出信号幅度减小3dB时所对应的输入信号频率。

**分辨率:** 为用于表示模拟输入信号的位数，为了更加准确地复现模拟信号，就必须提高ADC的分辨率。使用较高分辨率的ADC同时也会有效降低其量化误差。

**最低有效位 (LSB) :** 是在所有位中拥有最小的值或权重的位，它的值相当于：

$$LSB = \frac{V_{FS}}{2^N}$$

**最高有效位 (MSB) :** 是在所有位中拥有最大的值或权重的位，它的值相当于  $V_{FS}$  的一半。

**积分非线性 (INL) :** 是指实际传递函数与理想传递函数之间的偏差，消除失调误差和增益误差后，该直线为最佳拟合直线或或传递函数端点之间的直线。INL有时也被成为“相对精度”。

**微分非线性 (DNL) :** 指的是任意两个连续输出的编码的模拟输入电平之差为1 LSB (DNL=0)，实际电平差相对于1个LSB的偏差被定义为DNL。

**增益误差 (Gain Error) :** 表示实际传递函数的斜率与理想传递函数的斜率的匹配程度。增益误

差通常表示为LSB或满幅范围的百分比，可以通过硬件或软件进行校准。增益误差等于满幅误差减去失调误差。

**失调误差（Offset Error）：**常被称为“零幅”误差，指在某个工作点，实际传递函数与理想传递函数的差异。对于 ADC，向模拟输入端施加零幅电压并增加，直到发生第一次跳变。理想的数据转换器，第一次跳变发生在零点以上 0.5 LSB 处。

**量化误差：**定义为实际模拟输入与表示该值的数字编码之间的差异。

**时钟占空比（Clock Duty Cycle）：**指的是时钟波形的逻辑高电平在一个时钟周期的时间所占的比例。

**误码率（CER）：**指的是错码的概率，被定义为在单位时间内 ADC 出现的错码的数量除以在同样时间内所有出现的输出码的数量。由于误码率的测试耗时太长，因此业界大都将其置于一定的置信率下进行估算，误码率置信度公式为：

$$N = \frac{1}{CER} \times \left[ -\ln(1 - CL) + \ln \left( \sum_{k=0}^E \frac{(N \times CER)^k}{k!} \right) \right]$$

其中：CER 为误码率，CL 为置信率，E 为错误代码数，N 为样本数量。

### 转换特性：

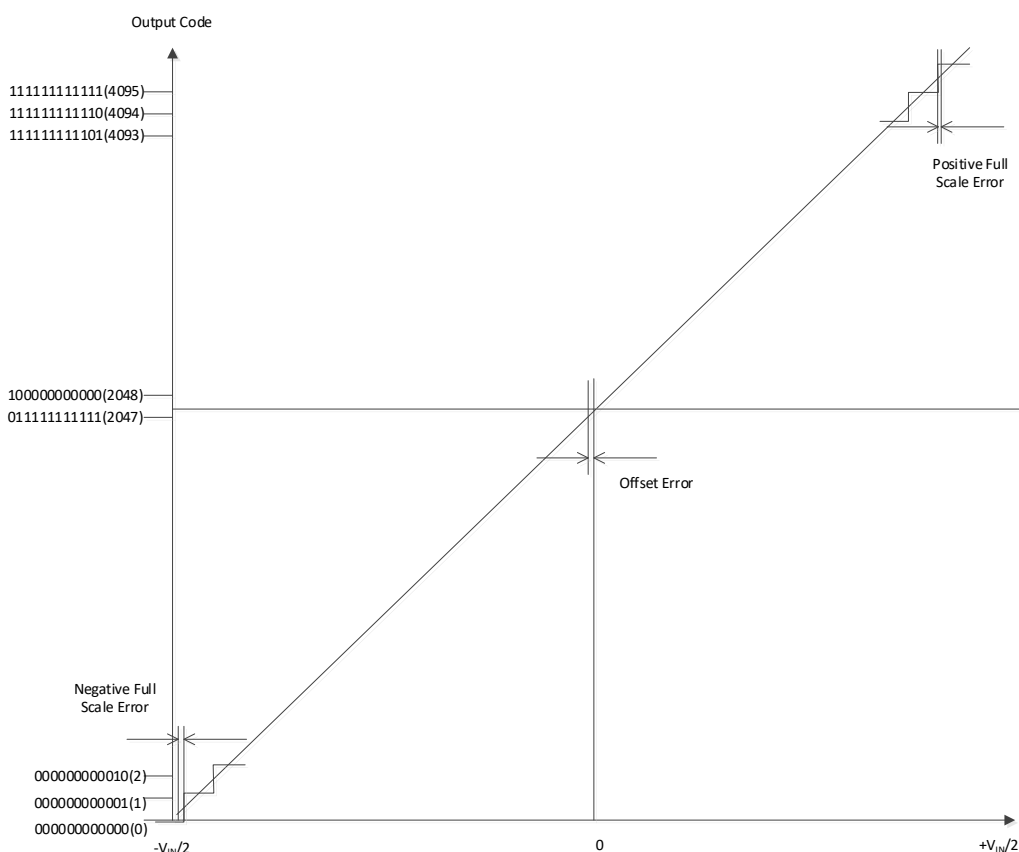


图 3：转换器转换特性



## 典型测试结果:

两通道所有测试结果均在 $T_A=25^{\circ}\text{C}$ ,  $F_{\text{CLK}}=2000\text{MHz}$ , 6dBm, 50%占空比, 输出幅值为-1dBFS,  $V_{D18}=1.8\text{V}$ ,  $V_{DD}=V_{D09}=V_{DDA\_CORE}=0.9\text{V}$ ,  $V_{DDA\_CIO}=1.2\text{V}$ 下获得:

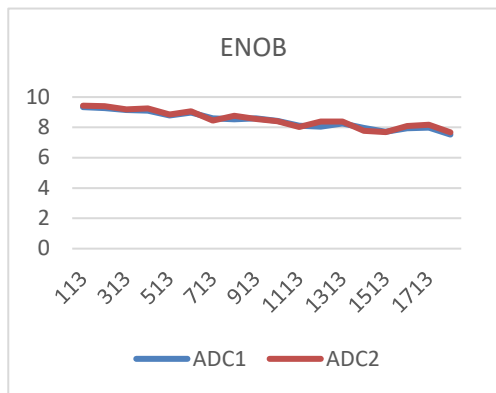


图 4: 有效位和输入频率的关系

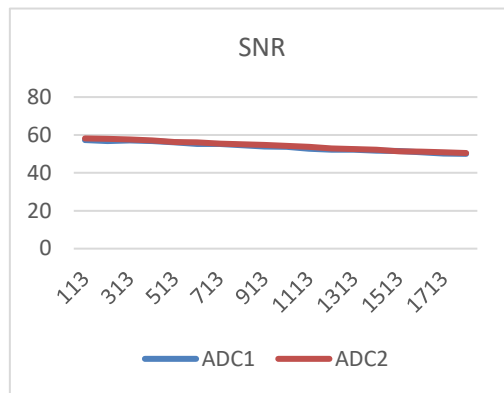


图 5: 信噪比和输入频率的关系

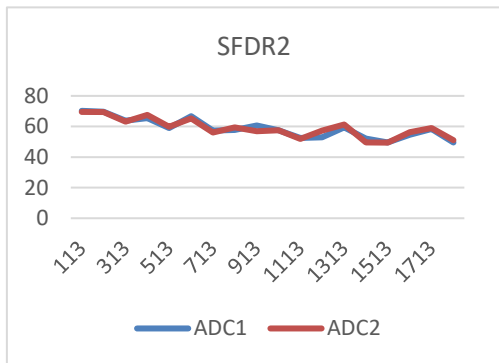


图 6: 无杂散动态范围和输入频率的关系

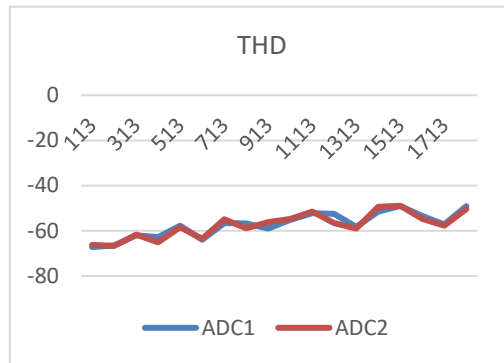


图 7: 总谐波失真和输入频率的关系

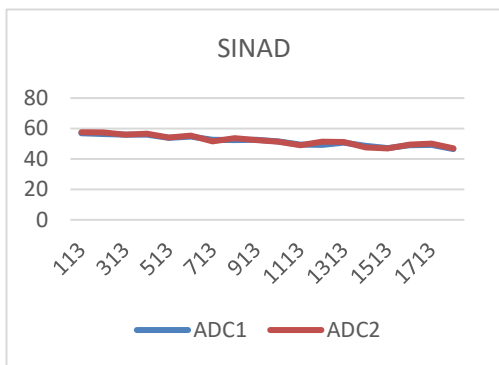


图 8: 信纳比和输入频率的关系

两通道所有测试结果均在 $T_A=25^{\circ}\text{C}$ ， $F_{\text{CLK}}=2000\text{MHz}$ ， $6\text{dBm}$ ， $50\%$ 占空比，输出幅值为 $-3\text{dBFS}$ ， $V_{\text{D18}}=1.8\text{V}$ ， $V_{\text{DD}}=V_{\text{D09}}=V_{\text{DDA\_CORE}}=0.9\text{V}$ ， $V_{\text{DDA\_CIO}}=1.2\text{V}$ 下获得：

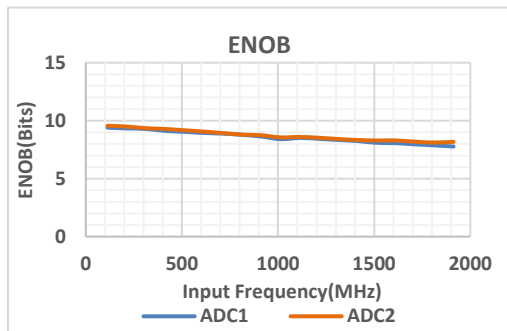


图 9：有效位和输入频率的关系

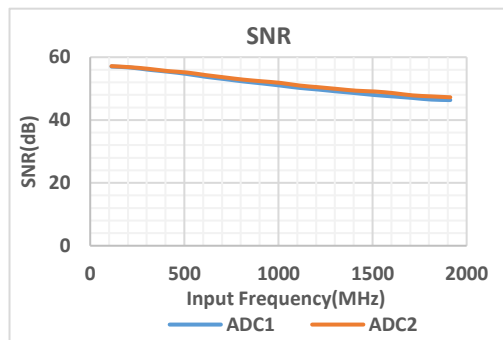


图 12：信噪比和输入频率的关系

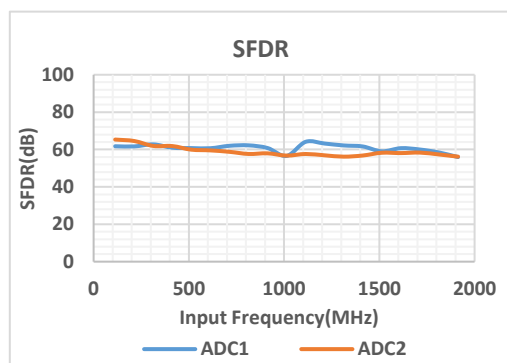


图 10：无杂散动态范围和输入频率的关系

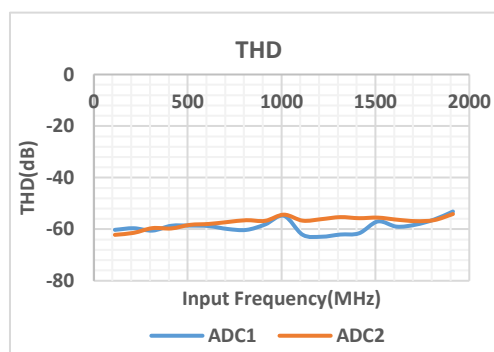


图 13：总谐波失真和输入频率的关系

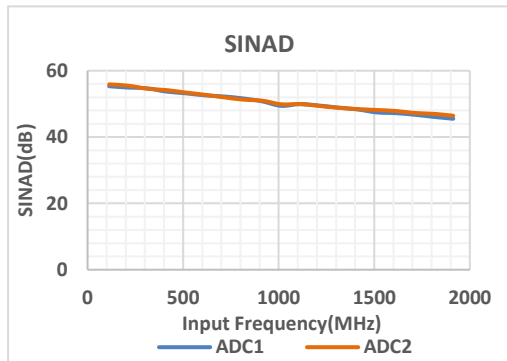


图 11：信纳比和输入频率的关系

## 功能描述:

### 1. 概述

AAD12D2000 芯片是基于 CMOS 40nm 工艺自主研发的双通道高速模数转换芯片，该芯片可将差分 1200mV 输入模拟信号转换成 12Bits 数字信号，芯片内含 8 个最高可以工作在 750MSPS 的子 ADC，通过 JESD204B 接口输出。

### 2. SPI 端口说明:

SPI 总线控制，一次发送 32bits 数据，先发送高位，再发送低位，发送顺序依次为 1bit 的读写使能、15bits 的地址以及（读写）16bits 的数据。

名称	输入/输出	功能	电平
SDI	输入	串行数据输入	0/1.8 V
SDO	输出	串行数据输出	0/1.8 V
CSN	输入	片选使能信号	0/1.8 V
SCLK	输入	时钟信号	0/1.8 V
RST	输入	复位信号，高电平复位	0/1.8 V

#### 2.1. SPI 接口时序图:

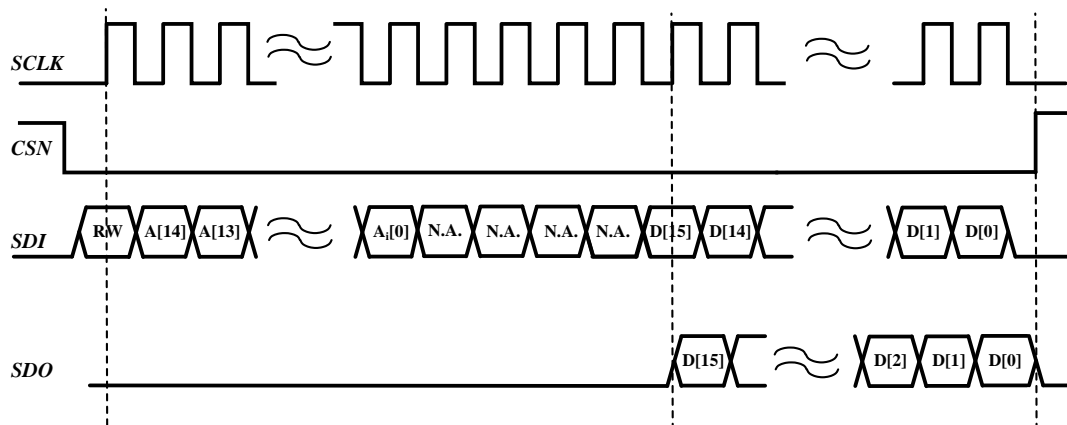


图 14: 接口时序图

时钟频率为 10MHz。

#### 2.2. 寄存器说明

ADC 地址分配				
地址				模块
读/写	母地址	子地址		
[15]	[14:13]	[12:10]	[9:0]	
b0/b1	b00	b000	[9:0]	全局控制
	b00	b010	[9:0]	EFUSE
	b10	b0	[11:0]	JESD

### 2.3. 全局控制

属性	地址 [9:0]	描述	默认值
R	0d00	ChipID	16'h016X
R/W	0d01	[11:0]: ADC1_PN_SET, MDAC 运放的 dither 控制信号(置位)	12'h0
R/W	0d02	[11:0]: ADC1_PN_RESET, MDAC 运放的 dither 控制信号(复位)	12'hfff
R/W	0d03	[15:0]: ADC1_CMP_SR[15:0], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d04	[15:0]: ADC1_CMP_SR[31:16], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d05	[15:0]: ADC1_CMP_SR[47:32], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d06	[15:0]: ADC1_CMP_SR[63:48], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d07	[15:0]: ADC1_CMP_SR[79:64], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d08	[15:0]: ADC1_CMP_SR[95:80], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d09	[15:0]: ADC1_CMP_SR[111:96], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d10	[15:0]: ADC1_CMP_SR[127:112], 子路 MDAC 比较器输出	16'hffff
R/W	0d11	[15:0]: ADC1_CMP_SR[143:128], 子路 MDAC 比较器输出	16'hffff
R/W	0d12	[15:0]: ADC1_D_AP_CAL, 孔径误差调节电路	16'b1000_1000_1000_1000
R/W	0d13	[9:0]: ADC1_t_mis_din[9:0]	40'b0
R/W	0d14	[9:0]: ADC1_t_mis_din[19:10]	40'b0
R/W	0d15	[9:0]: ADC1_t_mis_din[29:20]	40'b0
R/W	0d16	[9:0]: ADC1_t_mis_din[39:30]	40'b0
R/W	0d17	[15:0]: ADC1_D_OP[15:0]	16'b1110_1110_1110_1110

属性	地址 [9:0]	描述	默认值
R/W	0d18	[15:0]: ADC1_D_OP[31:16]	16'b1110_1110_ 1110_1110
R/W	0d19	[15:0]: ADC1_D_OP[47:32]	16'b1110_1110_ 1110_1110
R/W	0d20	[3:0]: ADC1_D_BGA [15:4]: ADC1_D_REF	4'b1110 12'b0100100100 10
R/W	0d21	[3:0]: ADC1_D_IN_BUF [11:4]: SPI_MODE_A	4'b1110 8'h00
R	0d22	[0]: rst_sys_A [1]: rst_en_A [2]: edge_sel_A [10:3]: SPI_S_PN_A	1'b0 1'b0 1'b0 8'h00
R/W	0d23	[7:0]: ADC1_R1 [15:8]: ADC1_R2	8'hff 8'hff
R/W	0d24	[7:0]: ADC1_R3 [15:8]: ADC1_R4	8'hff 8'hff
R/W	0d25	ADC1_wt	1'b0
R/W	0d26	[0]: ADC1_offset_key [1]: ADC1_gain_key [2]: ADC1_skew_key [6:3]: ADC1_key_TI_cal_S	1'b0 1'b0 1'b0 4'b0000
R/W	0d27	[2:0]: ADC1_skew_key_sel [3]: ADC1_skew_acc_sign [4]: ADC1_skew_mode_sel	3'b000 1'b1 1'b1
R/W	0d28	[3:0]: ADC1_key_MDAC_cal_S [7:4]: ADC1_key_C_cal_S [10:8]: ADC1_MDAC_cal_key [13:11]: ADC1_C_cal_key	4'd0 4'd0 3'd0 3'd0
R/W	0d29	[0]: ADC1_dout_sel [1]: ADC1_raw_sel	1'b1 1'b0
R/W	0d30	[11:0]: ADC1_o_mis1_din	12'd0

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d31	[11:0]: ADC1_o_mis2_din	12'd0
R/W	0d32	[11:0]: ADC1_o_mis3_din	12'd0
R/W	0d33	[11:0]: ADC1_o_mis4_din	12'd0
R/W	0d34	[11:0]: ADC1_g_mis2_din	12'd0
R/W	0d35	[11:0]: ADC1_g_mis3_din	12'd0
R/W	0d36	[11:0]: ADC1_g_mis4_din	12'd0
R/W	0d37	[15:0]: ADC1_Los1_din[15:0]	-64'sd87917980 54912
R/W	0d38	[15:0]: ADC1_Los1_din[31:16]	-64'sd87917980 54912
R/W	0d39	[15:0]: ADC1_Los1_din[47:32]	-64'sd87917980 54912
R/W	0d40	[15:0]: ADC1_Los1_din[63:48]	-64'sd87917980 54912
R/W	0d41	[15:0]: ADC1_Hos1_din[15:0]	64'sd879179805 4912
R/W	0d42	[15:0]: ADC1_Hos1_din[31:16]	64'sd879179805 4912
R/W	0d43	[15:0]: ADC1_Hos1_din[47:32]	64'sd879179805 4912
R/W	0d44	[15:0]: ADC1_Hos1_din[63:48]	64'sd879179805 4912
R/W	0d45	[15:0]: ADC1_Los2_din[15:0]	-64'sd87917980 54912
R/W	0d46	[15:0]: ADC1_Los2_din[31:16]	-64'sd87917980 54912
R/W	0d47	[15:0]: ADC1_Los2_din[47:32]	-64'sd87917980 54912
R/W	0d48	[15:0]: ADC1_Los2_din[63:48]	-64'sd87917980 54912
R/W	0d49	[15:0]: ADC1_Hos2_din[15:0]	64'sd879179805 4912

属性	地址 [9:0]	描述	默认值
R/W	0d50	[15:0]: ADC1_Hos2_din[31:16]	64'sd879179805 4912
R/W	0d51	[15:0]: ADC1_Hos2_din[47:32]	64'sd879179805 4912
R/W	0d52	[15:0]: ADC1_Hos2_din[63:48]	64'sd879179805 4912
R/W	0d53	[15:0]: ADC1_Los3_din[15:0]	-64'sd87917980 54912
R/W	0d54	[15:0]: ADC1_Los3_din[31:16]	-64'sd87917980 54912
R/W	0d55	[15:0]: ADC1_Los3_din[47:32]	-64'sd87917980 54912
R/W	0d56	[15:0]: ADC1_Los3_din[63:48]	-64'sd87917980 54912
R/W	0d57	[15:0]: ADC1_Hos3_din[15:0]	64'sd879179805 4912
R/W	0d58	[15:0]: ADC1_Hos3_din[31:16]	64'sd879179805 4912
R/W	0d59	[15:0]: ADC1_Hos3_din[47:32]	64'sd879179805 4912
R/W	0d60	[15:0]: ADC1_Hos3_din[63:48]	64'sd879179805 4912
R/W	0d61	[15:0]: ADC1_Los4_din[15:0]	-64'sd87917980 54912
R/W	0d62	[15:0]: ADC1_Los4_din[31:16]	-64'sd87917980 54912
R/W	0d63	[15:0]: ADC1_Los4_din[47:32]	-64'sd87917980 54912
R/W	0d64	[15:0]: ADC1_Los4_din[63:48]	-64'sd87917980 54912
R/W	0d65	[15:0]: ADC1_Hos4_din[15:0]	64'sd879179805 4912

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d66	[15:0]: ADC1_Hos4_din[31:16]	64'sd879179805 4912
R/W	0d67	[15:0]: ADC1_Hos4_din[47:32]	64'sd879179805 4912
R/W	0d68	[15:0]: ADC1_Hos4_din[63:48]	64'sd879179805 4912
R/W	0d69	[15:0]: ADC1_Lga2_din[15:0]	-64'sd87917980 54912
R/W	0d70	[15:0]: ADC1_Lga2_din[31:16]	-64'sd87917980 54912
R/W	0d71	[15:0]: ADC1_Lga2_din[47:32]	-64'sd87917980 54912
R/W	0d72	[15:0]: ADC1_Lga2_din[63:48]	-64'sd87917980 54912
R/W	0d73	[15:0]: ADC1_Hga2_din[15:0]	64'sd879179805 4912
R/W	0d74	[15:0]: ADC1_Hga2_din[31:16]	64'sd879179805 4912
R/W	0d75	[15:0]: ADC1_Hga2_din[47:32]	64'sd879179805 4912
R/W	0d76	[15:0]: ADC1_Hga2_din[63:48]	64'sd879179805 4912
R/W	0d77	[15:0]: ADC1_Lga3_din[15:0]	-64'sd87917980 54912
R/W	0d78	[15:0]: ADC1_Lga3_din[31:16]	-64'sd87917980 54912
R/W	0d79	[15:0]: ADC1_Lga3_din[47:32]	-64'sd87917980 54912
R/W	0d80	[15:0]: ADC1_Lga3_din[63:48]	-64'sd87917980 54912
R/W	0d81	[15:0]: ADC1_Hga3_din[15:0]	64'sd879179805 4912



属性	地址 [9:0]	描述	默认值
R/W	0d82	[15:0]: ADC1_Hga3_din[31:16]	64'sd879179805 4912
R/W	0d83	[15:0]: ADC1_Hga3_din[47:32]	64'sd879179805 4912
R/W	0d84	[15:0]: ADC1_Hga3_din[63:48]	64'sd879179805 4912
R/W	0d85	[15:0]: ADC1_Lga4_din[15:0]	-64'sd87917980 54912
R/W	0d86	[15:0]: ADC1_Lga4_din[31:16]	-64'sd87917980 54912
R/W	0d87	[15:0]: ADC1_Lga4_din[47:32]	-64'sd87917980 54912
R/W	0d88	[15:0]: ADC1_Lga4_din[63:48]	-64'sd87917980 54912
R/W	0d89	[15:0]: ADC1_Hga4_din[15:0]	64'sd879179805 4912
R/W	0d90	[15:0]: ADC1_Hga4_din[31:16]	64'sd879179805 4912
R/W	0d91	[15:0]: ADC1_Hga4_din[47:32]	64'sd879179805 4912
R/W	0d92	[15:0]: ADC1_Hga4_din[63:48]	64'sd879179805 4912
R/W	0d93	[15:0]: ADC1_Lsk2_din[15:0]	-64'sd10952166 60430
R/W	0d94	[15:0]: ADC1_Lsk2_din[31:16]	-64'sd10952166 60430
R/W	0d95	[15:0]: ADC1_Lsk2_din[47:32]	-64'sd10952166 60430
R/W	0d96	[15:0]: ADC1_Lsk2_din[63:48]	-64'sd10952166 60430
R/W	0d97	[15:0]: ADC1_Hsk2_din[15:0]	64'sd109521666 0430

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d98	[15:0]: ADC1_Hsk2_din[31:16]	64'sd109521666 0430
R/W	0d99	[15:0]: ADC1_Hsk2_din[47:32]	64'sd109521666 0430
R/W	0d100	[15:0]: ADC1_Hsk2_din[63:48]	64'sd109521666 0430
R/W	0d101	[15:0]: ADC1_Lsk3_din[15:0]	-64'sd10952166 60430
R/W	0d102	[15:0]: ADC1_Lsk3_din[31:16]	-64'sd10952166 60430
R/W	0d103	[15:0]: ADC1_Lsk3_din[47:32]	-64'sd10952166 60430
R/W	0d104	[15:0]: ADC1_Lsk3_din[63:48]	-64'sd10952166 60430
R/W	0d105	[15:0]: ADC1_Hsk3_din[15:0]	64'sd109521666 0430
R/W	0d106	[15:0]: ADC1_Hsk3_din[31:16]	64'sd109521666 0430
R/W	0d107	[15:0]: ADC1_Hsk3_din[47:32]	64'sd109521666 0430
R/W	0d108	[15:0]: ADC1_Hsk3_din[63:48]	64'sd109521666 0430
R/W	0d109	[15:0]: ADC1_Lsk4_din[15:0]	-64'sd10952166 60430
R/W	0d110	[15:0]: ADC1_Lsk4_din[31:16]	-64'sd10952166 60430
R/W	0d111	[15:0]: ADC1_Lsk4_din[47:32]	-64'sd10952166 60430
R/W	0d112	[15:0]: ADC1_Lsk4_din[63:48]	-64'sd10952166 60430
R/W	0d113	[15:0]: ADC1_Hsk4_din[15:0]	64'sd109521666 0430

属性	地址 [9:0]	描述	默认值
R/W	0d114	[15:0]: ADC1_Hsk4_din[31:16]	64'sd109521666 0430
R/W	0d115	[15:0]: ADC1_Hsk4_din[47:32]	64'sd109521666 0430
R/W	0d116	[15:0]: ADC1_Hsk4_din[63:48]	64'sd109521666 0430
R/W	0d117	[5:0]: ADC1_A1_din [11:6]: ADC1_A2_din	6'd32 6'd32
R/W	0d118	[5:0]: ADC1_A3_din [11:6]: ADC1_A4_din	6'd32 6'd32
R/W	0d119	[5:0]: ADC1_B2_din [11:6]: ADC1_B3_din	6'd32 6'd32
R/W	0d120	[5:0]: ADC1_B4_din [11:6]: ADC1_C2_din	6'd32 6'd32
R/W	0d121	[5:0]: ADC1_C4_din [11:6]: ADC1_C3_din	6'd32 6'd32
R/W	0d122	[8:0]: ADC1_clk_D_din	9'd50
R/W	0d123	[0]: ADC1_gain_pulse_detect_key [1]: ADC1_skew_pulse_detect_key	1'd0 1'd0
R/W	0d124	[15:0]: ADC1_gain_pulse_acc_threshold_i	16'd15000
R/W	0d125	[15:0]: ADC1_skew_pulse_acc_threshold_i	16'd15000
R/W	0d126	[7:0]: ADC1_C_weight1_1_1_din [15:8]: ADC1_C_weight1_1_2_din	8'd0 8'd0
R/W	0d127	[7:0]: ADC1_C_weight1_1_3_din [15:8]: ADC1_C_weight1_1_4_din	8'd0 8'd0
R/W	0d128	[7:0]: ADC1_C_weight1_1_5_din [15:8]: ADC1_C_weight1_1_6_din	8'd0 8'd0
R/W	0d129	[7:0]: ADC1_C_weight1_2_1_din [15:8]: ADC1_C_weight1_2_2_din	8'd0 8'd0
R/W	0d130	[7:0]: ADC1_C_weight1_2_3_din [15:8]: ADC1_C_weight1_2_4_din	8'd0 8'd0
R/W	0d131	[7:0]: ADC1_C_weight1_2_5_din	8'd0

# AAD12D2000

属性	地址 [9:0]	描述	默认值
		[15:8]: ADC1_C_weight1_2_6_din	8'd0
R/W	0d132	[7:0]: ADC1_C_weight1_3_1_din [15:8]: ADC1_C_weight1_3_2_din	8'd0 8'd0
R/W	0d133	[7:0]: ADC1_C_weight1_3_3_din [15:8]: ADC1_C_weight1_3_4_din	8'd0 8'd0
R/W	0d134	[7:0]: ADC1_C_weight1_3_5_din [15:8]: ADC1_C_weight1_3_6_din	8'd0 8'd0
R/W	0d135	[7:0]: ADC1_C_weight2_1_1_din [15:8]: ADC1_C_weight2_1_2_din	8'd0 8'd0
R/W	0d136	[7:0]: ADC1_C_weight2_1_3_din [15:8]: ADC1_C_weight2_1_4_din	8'd0 8'd0
R/W	0d137	[7:0]: ADC1_C_weight2_1_5_din [15:8]: ADC1_C_weight2_1_6_din	8'd0 8'd0
R/W	0d138	[7:0]: ADC1_C_weight2_2_1_din [15:8]: ADC1_C_weight2_2_2_din	8'd0 8'd0
R/W	0d139	[7:0]: ADC1_C_weight2_2_3_din [15:8]: ADC1_C_weight2_2_4_din	8'd0 8'd0
R/W	0d140	[7:0]: ADC1_C_weight2_2_5_din [15:8]: ADC1_C_weight2_2_6_din	8'd0 8'd0
R/W	0d141	[7:0]: ADC1_C_weight2_3_1_din [15:8]: ADC1_C_weight2_3_2_din	8'd0 8'd0
R/W	0d142	[7:0]: ADC1_C_weight2_3_3_din [15:8]: ADC1_C_weight2_3_4_din	8'd0 8'd0
R/W	0d143	[7:0]: ADC1_C_weight2_3_5_din [15:8]: ADC1_C_weight2_3_6_din	8'd0 8'd0
R/W	0d144	[7:0]: ADC1_C_weight3_1_1_din [15:8]: ADC1_C_weight3_1_2_din	8'd0 8'd0
R/W	0d145	[7:0]: ADC1_C_weight3_1_3_din [15:8]: ADC1_C_weight3_1_4_din	8'd0 8'd0
R/W	0d146	[7:0]: ADC1_C_weight3_1_5_din [15:8]: ADC1_C_weight3_1_6_din	8'd0 8'd0
R/W	0d147	[7:0]: ADC1_C_weight3_2_1_din	8'd0

属性	地址 [9:0]	描述	默认值
		[15:8]: ADC1_C_weight3_2_2_din	8'd0
R/W	0d148	[7:0]: ADC1_C_weight3_2_3_din [15:8]: ADC1_C_weight3_2_4_din	8'd0 8'd0
R/W	0d149	[7:0]: ADC1_C_weight3_2_5_din [15:8]: ADC1_C_weight3_2_6_din	8'd0 8'd0
R/W	0d150	[7:0]: ADC1_C_weight3_3_1_din [15:8]: ADC1_C_weight3_3_2_din	8'd0 8'd0
R/W	0d151	[7:0]: ADC1_C_weight3_3_3_din [15:8]: ADC1_C_weight3_3_4_din	8'd0 8'd0
R/W	0d152	[7:0]: ADC1_C_weight3_3_5_din [15:8]: ADC1_C_weight3_3_6_din	8'd0 8'd0
R/W	0d153	[7:0]: ADC1_C_weight4_1_1_din [15:8]: ADC1_C_weight4_1_2_din	8'd0 8'd0
R/W	0d154	[7:0]: ADC1_C_weight4_1_3_din [15:8]: ADC1_C_weight4_1_4_din	8'd0 8'd0
R/W	0d155	[7:0]: ADC1_C_weight4_1_5_din [15:8]: ADC1_C_weight4_1_6_din	8'd0 8'd0
R/W	0d156	[7:0]: ADC1_C_weight4_2_1_din [15:8]: ADC1_C_weight4_2_2_din	8'd0 8'd0
R/W	0d157	[7:0]: ADC1_C_weight4_2_3_din [15:8]: ADC1_C_weight4_2_4_din	8'd0 8'd0
R/W	0d158	[7:0]: ADC1_C_weight4_2_5_din [15:8]: ADC1_C_weight4_2_6_din	8'd0 8'd0
R/W	0d159	[7:0]: ADC1_C_weight4_3_1_din [15:8]: ADC1_C_weight4_3_2_din	8'd0 8'd0
R/W	0d160	[7:0]: ADC1_C_weight4_3_3_din [15:8]: ADC1_C_weight4_3_4_din	8'd0 8'd0
R/W	0d161	[7:0]: ADC1_C_weight4_3_5_din [15:8]: ADC1_C_weight4_3_6_din	8'd0 8'd0
R/W	0d162	[7:0]: ADC1_MDAC_weight1_1_din [15:8]: ADC1_MDAC_weight1_2_din	8'd0 8'd0
R/W	0d163	[7:0]: ADC1_MDAC_weight1_3_din	8'd0

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d164	[7:0]: ADC1_MDAC_weight2_1_din [15:8]: ADC1_MDAC_weight2_2_din	8'd0 8'd0
R/W	0d165	[7:0]: ADC1_MDAC_weight2_3_din	8'd0
R/W	0d166	[7:0]: ADC1_MDAC_weight3_1_din [15:8]: ADC1_MDAC_weight3_2_din	8'd0 8'd0
R/W	0d167	[7:0]: ADC1_MDAC_weight3_3_din	8'd0
R/W	0d168	[7:0]: ADC1_MDAC_weight4_1_din [15:8]: ADC1_MDAC_weight4_2_din	8'd0 8'd0
R/W	0d169	[7:0]: ADC1_MDAC_weight4_3_din	8'd0
R	0d170	[11:0]: ADC1_o_mis1_dout	
R	0d171	[11:0]: ADC1_o_mis2_dout	
R	0d172	[11:0]: ADC1_o_mis3_dout	
R	0d173	[11:0]: ADC1_o_mis4_dout	
R	0d174	[11:0]: ADC1_g_mis2_dout	
R	0d175	[11:0]: ADC1_g_mis2_dout	
R	0d176	[11:0]: ADC1_g_mis2_dout	
R	0d177	[9:0]: ADC1_t_mis1_dout	
R	0d178	[9:0]: ADC1_t_mis2_dout	
R	0d179	[9:0]: ADC1_t_mis3_dout	
R	0d180	[9:0]: ADC1_t_mis4_dout	
R	0d181	[15:0]: ADC1_offset1_dout[15:0]	
R	0d182	[15:0]: ADC1_offset1_dout[31:16]	
R	0d183	[15:0]: ADC1_offset1_dout[47:32]	
R	0d184	[15:0]: ADC1_offset1_dout[63:48]	
R	0d185	[15:0]: ADC1_offset2_dout[15:0]	
R	0d186	[15:0]: ADC1_offset2_dout[31:16]	
R	0d187	[15:0]: ADC1_offset2_dout[47:32]	
R	0d188	[15:0]: ADC1_offset2_dout[63:48]	
R	0d189	[15:0]: ADC1_offset3_dout[15:0]	
R	0d190	[15:0]: ADC1_offset3_dout[31:16]	
R	0d191	[15:0]: ADC1_offset3_dout[47:32]	

属性	地址 [9:0]	描述	默认值
R	0d192	[15:0]: ADC1_offset3_dout[63:48]	
R	0d193	[15:0]: ADC1_offset4_dout[15:0]	
R	0d194	[15:0]: ADC1_offset4_dout[31:16]	
R	0d195	[15:0]: ADC1_offset4_dout[47:32]	
R	0d196	[15:0]: ADC1_offset4_dout[63:48]	
R	0d197	[15:0]: ADC1_gain2_dout[15:0]	
R	0d198	[15:0]: ADC1_gain2_dout[31:16]	
R	0d199	[15:0]: ADC1_gain2_dout[47:32]	
R	0d200	[15:0]: ADC1_gain2_dout[63:48]	
R	0d201	[15:0]: ADC1_gain3_dout[15:0]	
R	0d202	[15:0]: ADC1_gain3_dout[31:16]	
R	0d203	[15:0]: ADC1_gain3_dout[47:32]	
R	0d204	[15:0]: ADC1_gain3_dout[63:48]	
R	0d205	[15:0]: ADC1_gain4_dout[15:0]	
R	0d206	[15:0]: ADC1_gain4_dout[31:16]	
R	0d207	[15:0]: ADC1_gain4_dout[47:32]	
R	0d208	[15:0]: ADC1_gain4_dout[63:48]	
R	0d209	[15:0]: ADC1_skew2_dout[15:0]	
R	0d210	[15:0]: ADC1_skew2_dout[31:16]	
R	0d211	[15:0]: ADC1_skew2_dout[47:32]	
R	0d212	[15:0]: ADC1_skew2_dout[63:48]	
R	0d213	[15:0]: ADC1_skew3_dout[15:0]	
R	0d214	[15:0]: ADC1_skew3_dout[31:16]	
R	0d215	[15:0]: ADC1_skew3_dout[47:32]	
R	0d216	[15:0]: ADC1_skew3_dout[63:48]	
R	0d217	[15:0]: ADC1_skew4_dout[15:0]	
R	0d218	[15:0]: ADC1_skew4_dout[31:16]	
R	0d219	[15:0]: ADC1_skew4_dout[47:32]	
R	0d220	[15:0]: ADC1_skew4_dout[63:48]	
R	0d221	[15:0]: ADC1_Los1_dout[15:0]	
R	0d222	[15:0]: ADC1_Los1_dout[31:16]	

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R	0d223	[15:0]: ADC1_Los1_dout[47:32]	
R	0d224	[15:0]: ADC1_Los1_dout[63:48]	
R	0d225	[15:0]: ADC1_Hos1_dout[15:0]	
R	0d226	[15:0]: ADC1_Hos1_dout[31:16]	
R	0d227	[15:0]: ADC1_Hos1_dout[47:32]	
R	0d228	[15:0]: ADC1_Hos1_dout[63:48]	
R	0d229	[15:0]: ADC1_Los2_dout[15:0]	
R	0d230	[15:0]: ADC1_Los2_dout[31:16]	
R	0d231	[15:0]: ADC1_Los2_dout[47:32]	
R	0d232	[15:0]: ADC1_Los2_dout[63:48]	
R	0d233	[15:0]: ADC1_Hos2_dout[15:0]	
R	0d234	[15:0]: ADC1_Hos2_dout[31:16]	
R	0d235	[15:0]: ADC1_Hos2_dout[47:32]	
R	0d236	[15:0]: ADC1_Hos2_dout[63:48]	
R	0d237	[15:0]: ADC1_Los3_dout[15:0]	
R	0d238	[15:0]: ADC1_Los3_dout[31:16]	
R	0d239	[15:0]: ADC1_Los3_dout[47:32]	
R	0d240	[15:0]: ADC1_Los3_dout[63:48]	
R	0d241	[15:0]: ADC1_Hos3_dout[15:0]	
R	0d242	[15:0]: ADC1_Hos3_dout[31:16]	
R	0d243	[15:0]: ADC1_Hos3_dout[47:32]	
R	0d244	[15:0]: ADC1_Hos3_dout[63:48]	
R	0d245	[15:0]: ADC1_Los4_dout[15:0]	
R	0d246	[15:0]: ADC1_Los4_dout[31:16]	
R	0d247	[15:0]: ADC1_Los4_dout[47:32]	
R	0d248	[15:0]: ADC1_Los4_dout[63:48]	
R	0d249	[15:0]: ADC1_Hos4_dout[15:0]	
R	0d250	[15:0]: ADC1_Hos4_dout[31:16]	
R	0d251	[15:0]: ADC1_Hos4_dout[47:32]	
R	0d252	[15:0]: ADC1_Hos4_dout[63:48]	
R	0d253	[15:0]: ADC1_Lga2_dout[15:0]	



属性	地址 [9:0]	描述	默认值
R	0d254	[15:0]: ADC1_Lga2_dout[31:16]	
R	0d255	[15:0]: ADC1_Lga2_dout[47:32]	
R	0d256	[15:0]: ADC1_Lga2_dout[63:48]	
R	0d257	[15:0]: ADC1_Hga2_dout[15:0]	
R	0d258	[15:0]: ADC1_Hga2_dout[31:16]	
R	0d259	[15:0]: ADC1_Hga2_dout[47:32]	
R	0d260	[15:0]: ADC1_Hga2_dout[63:48]	
R	0d261	[15:0]: ADC1_Lga3_dout[15:0]	
R	0d262	[15:0]: ADC1_Lga3_dout[31:16]	
R	0d263	[15:0]: ADC1_Lga3_dout[47:32]	
R	0d264	[15:0]: ADC1_Lga3_dout[63:48]	
R	0d265	[15:0]: ADC1_Hga3_dout[15:0]	
R	0d266	[15:0]: ADC1_Hga3_dout[31:16]	
R	0d267	[15:0]: ADC1_Hga3_dout[47:32]	
R	0d268	[15:0]: ADC1_Hga3_dout[63:48]	
R	0d269	[15:0]: ADC1_Lga4_dout[15:0]	
R	0d270	[15:0]: ADC1_Lga4_dout[31:16]	
R	0d271	[15:0]: ADC1_Lga4_dout[47:32]	
R	0d272	[15:0]: ADC1_Lga4_dout[63:48]	
R	0d273	[15:0]: ADC1_Hga4_dout[15:0]	
R	0d274	[15:0]: ADC1_Hga4_dout[31:16]	
R	0d275	[15:0]: ADC1_Hga4_dout[47:32]	
R	0d276	[15:0]: ADC1_Hga4_dout[63:48]	
R	0d277	[15:0]: ADC1_Lsk2_dout[15:0]	
R	0d278	[15:0]: ADC1_Lsk2_dout[31:16]	
R	0d279	[15:0]: ADC1_Lsk2_dout[47:32]	
R	0d280	[15:0]: ADC1_Lsk2_dout[63:48]	
R	0d281	[15:0]: ADC1_Hsk2_dout[15:0]	
R	0d282	[15:0]: ADC1_Hsk2_dout[31:16]	
R	0d283	[15:0]: ADC1_Hsk2_dout[47:32]	
R	0d284	[15:0]: ADC1_Hsk2_dout[63:48]	

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R	0d285	[15:0]: ADC1_Lsk3_dout[15:0]	
R	0d286	[15:0]: ADC1_Lsk3_dout[31:16]	
R	0d287	[15:0]: ADC1_Lsk3_dout[47:32]	
R	0d288	[15:0]: ADC1_Lsk3_dout[63:48]	
R	0d289	[15:0]: ADC1_Hsk3_dout[15:0]	
R	0d290	[15:0]: ADC1_Hsk3_dout[31:16]	
R	0d291	[15:0]: ADC1_Hsk3_dout[47:32]	
R	0d292	[15:0]: ADC1_Hsk3_dout[63:48]	
R	0d293	[15:0]: ADC1_Lsk4_dout[15:0]	
R	0d294	[15:0]: ADC1_Lsk4_dout[31:16]	
R	0d295	[15:0]: ADC1_Lsk4_dout[47:32]	
R	0d296	[15:0]: ADC1_Lsk4_dout[63:48]	
R	0d297	[15:0]: ADC1_Hsk4_dout[15:0]	
R	0d298	[15:0]: ADC1_Hsk4_dout[31:16]	
R	0d299	[15:0]: ADC1_Hsk4_dout[47:32]	
R	0d300	[15:0]: ADC1_Hsk4_dout[63:48]	
R	0d301	[5:0]: ADC1_A1_dout [11:6]: ADC1_A2_dout	
R	0d302	[5:0]: ADC1_A3_dout [11:6]: ADC1_A4_dout	
R	0d303	[5:0]: ADC1_B2_dout [11:6]: ADC1_B3_dout	
R	0d304	[5:0]: ADC1_B4_dout [11:6]: ADC1_C2_dout	
R	0d305	[5:0]: ADC1_C4_dout [11:6]: ADC1_C3_dout	
R	0d306	[8:0]: ADC1_clk_D_dout	
R/W	0d307	[0]: ADC1_data_overflow_clr [1]: ADC1_data_overflow	1'b0 1'b0
R/W	0d308	[0]: ADC_manual_sel	1'b0
R/W	0d309	[15:0]: data_out_0_spi	16'd0

属性	地址 [9:0]	描述	默认值
R/W	0d310	[15:0]: data_out_1_spi	16'd0
R/W	0d311	[15:0]: data_out_2_spi	16'd0
R/W	0d312	[15:0]: data_out_0_spi	16'd0
R/W	0d313	[15:0]: data_out_4_spi	16'd0
R/W	0d314	[15:0]: data_out_5_spi	16'd0
R/W	0d315	[15:0]: data_out_6_spi	16'd0
R/W	0d316	[15:0]: data_out_7_spi	16'd0
R/W	0d317	[0]: sys_rst	1'b0
R	0d318	[0]: pll_lock_o	1'b0
		[1]: strdata_valid_o	1'b0
		[2]: pslverr_o	1'b0
		[3]: intr_o	1'b0
R/W	0d513	[11:0]: ADC2_PN_SET, MDAC 运放的 dither 控制信号(置位)	12'h0
R/W	0d514	[11:0]: ADC2_PN_RESET, MDAC 运放的 dither 控制信号(复位)	12'hfff
R/W	0d515	[15:0]: ADC2_CMP_SR[15:0], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d516	[15:0]: ADC2_CMP_SR[31:16], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d517	[15:0]: ADC2_CMP_SR[47:32], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d518	[15:0]: ADC2_CMP_SR[63:48], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d519	[15:0]: ADC2_CMP_SR[79:64], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d520	[15:0]: ADC2_CMP_SR[95:80], 子路 MDAC 比较器输出强制 set/reset	16'hffff
R/W	0d521	[15:0]: ADC2_CMP_SR[111:96], 子路 MDAC 比较器输出强制 set/reset	16'hffff

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d522	[15:0]: ADC2_CMP_SR[127:112], 子路 MDAC 比较器输出	16'hffff
R/W	0d523	[15:0]: ADC2_CMP_SR[143:128], 子路 MDAC 比较器输出	16'hffff
R/W	0d524	[15:0]: ADC2_D_AP_CAL, 孔径误差调节电路	16'b1000_1000_1000_1000
R/W	0d525	[9:0]: ADC2_t_mis_din[9:0]	40'b0
R/W	0d526	[9:0]: ADC2_t_mis_din[19:10]	40'b0
R/W	0d527	[9:0]: ADC2_t_mis_din[29:20]	40'b0
R/W	0d528	[9:0]: ADC2_t_mis_din[39:30]	40'b0
R/W	0d529	[15:0]: ADC2_D_OP[15:0]	16'b1110_1110_1110_1110
R/W	0d530	[15:0]: ADC2_D_OP[31:16]	16'b1110_1110_1110_1110
R/W	0d531	[15:0]: ADC2_D_OP[47:32]	16'b1110_1110_1110_1110
R/W	0d532	[3:0]: ADC2_D_BGA [15:4]: ADC2_D_REF	4'b1110 12'b010010010010
R/W	0d533	[3:0]: ADC2_D_IN_BUF [11:4]: SPI_MODE_A	4'b1110 8'h00
R	0d534	[0]: rst_sys_A [1]: rst_en_A [2]: edge_sel_A [10:3]: SPI_S_PN_A	1'b0 1'b0 1'b0 8'h00
R/W	0d535	[7:0]: ADC2_R1 [15:8]: ADC2_R2	8'hff 8'hff
R/W	0d536	[7:0]: ADC2_R3 [15:8]: ADC2_R4	8'hff 8'hff
R/W	0d537	ADC2_wt	1'b0
R/W	0d538	[0]: ADC2_offset_key [1]: ADC2_gain_key	1'b0 1'b0

属性	地址 [9:0]	描述	默认值
		[2]: ADC2_skew_key [6:3]: ADC2_key_TI_cal_S	1'b0 4'b0000
R/W	0d539	[2:0]: ADC2_skew_key_sel [3]: ADC2_skew_acc_sign [4]: ADC2_skew_mode_sel	3'b000 1'b1 1'b1
R/W	0d540	[3:0]: ADC2_key_MDAC_cal_S [7:4]: ADC2_key_C_cal_S [10:8]: ADC2_MDAC_cal_key [13:11]: ADC2_C_cal_key	4'd0 4'd0 3'd0 3'd0
R/W	0d541	[0]: ADC2_dout_sel [1]: ADC2_raw_sel	1'b1 1'b0
R/W	0d542	[11:0]: ADC2_o_mis1_din	12'd0
R/W	0d543	[11:0]: ADC2_o_mis2_din	12'd0
R/W	0d544	[11:0]: ADC2_o_mis3_din	12'd0
R/W	0d545	[11:0]: ADC2_o_mis4_din	12'd0
R/W	0d546	[11:0]: ADC2_g_mis2_din	12'd0
R/W	0d547	[11:0]: ADC2_g_mis3_din	12'd0
R/W	0d548	[11:0]: ADC2_g_mis4_din	12'd0
R/W	0d549	[15:0]: ADC2_Los1_din[15:0]	-64'sd87917980 54912
R/W	0d550	[15:0]: ADC2_Los1_din[31:16]	-64'sd87917980 54912
R/W	0d551	[15:0]: ADC2_Los1_din[47:32]	-64'sd87917980 54912
R/W	0d552	[15:0]: ADC2_Los1_din[63:48]	-64'sd87917980 54912
R/W	0d553	[15:0]: ADC2_Hos1_din[15:0]	64'sd879179805 4912
R/W	0d554	[15:0]: ADC2_Hos1_din[31:16]	64'sd879179805 4912
R/W	0d555	[15:0]: ADC2_Hos1_din[47:32]	64'sd879179805 4912

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d556	[15:0]: ADC2_Hos1_din[63:48]	64'sd879179805 4912
R/W	0d557	[15:0]: ADC2_Los2_din[15:0]	-64'sd87917980 54912
R/W	0d558	[15:0]: ADC2_Los2_din[31:16]	-64'sd87917980 54912
R/W	0d559	[15:0]: ADC2_Los2_din[47:32]	-64'sd87917980 54912
R/W	0d560	[15:0]: ADC2_Los2_din[63:48]	-64'sd87917980 54912
R/W	0d561	[15:0]: ADC2_Hos2_din[15:0]	64'sd879179805 4912
R/W	0d562	[15:0]: ADC2_Hos2_din[31:16]	64'sd879179805 4912
R/W	0d563	[15:0]: ADC2_Hos2_din[47:32]	64'sd879179805 4912
R/W	0d564	[15:0]: ADC2_Hos2_din[63:48]	64'sd879179805 4912
R/W	0d565	[15:0]: ADC2_Los3_din[15:0]	-64'sd87917980 54912
R/W	0d566	[15:0]: ADC2_Los3_din[31:16]	-64'sd87917980 54912
R/W	0d567	[15:0]: ADC2_Los3_din[47:32]	-64'sd87917980 54912
R/W	0d568	[15:0]: ADC2_Los3_din[63:48]	-64'sd87917980 54912
R/W	0d569	[15:0]: ADC2_Hos3_din[15:0]	64'sd879179805 4912
R/W	0d570	[15:0]: ADC2_Hos3_din[31:16]	64'sd879179805 4912
R/W	0d571	[15:0]: ADC2_Hos3_din[47:32]	64'sd879179805 4912

属性	地址 [9:0]	描述	默认值
R/W	0d572	[15:0]: ADC2_Hos3_din[63:48]	64'sd879179805 4912
R/W	0d573	[15:0]: ADC2_Los4_din[15:0]	-64'sd87917980 54912
R/W	0d574	[15:0]: ADC2_Los4_din[31:16]	-64'sd87917980 54912
R/W	0d575	[15:0]: ADC2_Los4_din[47:32]	-64'sd87917980 54912
R/W	0d576	[15:0]: ADC2_Los4_din[63:48]	-64'sd87917980 54912
R/W	0d577	[15:0]: ADC2_Hos4_din[15:0]	64'sd879179805 4912
R/W	0d578	[15:0]: ADC2_Hos4_din[31:16]	64'sd879179805 4912
R/W	0d579	[15:0]: ADC2_Hos4_din[47:32]	64'sd879179805 4912
R/W	0d580	[15:0]: ADC2_Hos4_din[63:48]	64'sd879179805 4912
R/W	0d581	[15:0]: ADC2_Lga2_din[15:0]	-64'sd87917980 54912
R/W	0d582	[15:0]: ADC2_Lga2_din[31:16]	-64'sd87917980 54912
R/W	0d583	[15:0]: ADC2_Lga2_din[47:32]	-64'sd87917980 54912
R/W	0d584	[15:0]: ADC2_Lga2_din[63:48]	-64'sd87917980 54912
R/W	0d585	[15:0]: ADC2_Hga2_din[15:0]	64'sd879179805 4912
R/W	0d586	[15:0]: ADC2_Hga2_din[31:16]	64'sd879179805 4912
R/W	0d587	[15:0]: ADC2_Hga2_din[47:32]	64'sd879179805 4912

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d588	[15:0]: ADC2_Hga2_din[63:48]	64'sd879179805 4912
R/W	0d589	[15:0]: ADC2_Lga3_din[15:0]	-64'sd87917980 54912
R/W	0d590	[15:0]: ADC2_Lga3_din[31:16]	-64'sd87917980 54912
R/W	0d591	[15:0]: ADC2_Lga3_din[47:32]	-64'sd87917980 54912
R/W	0d592	[15:0]: ADC2_Lga3_din[63:48]	-64'sd87917980 54912
R/W	0d593	[15:0]: ADC2_Hga3_din[15:0]	64'sd879179805 4912
R/W	0d594	[15:0]: ADC2_Hga3_din[31:16]	64'sd879179805 4912
R/W	0d595	[15:0]: ADC2_Hga3_din[47:32]	64'sd879179805 4912
R/W	0d596	[15:0]: ADC2_Hga3_din[63:48]	64'sd879179805 4912
R/W	0d597	[15:0]: ADC2_Lga4_din[15:0]	-64'sd87917980 54912
R/W	0d598	[15:0]: ADC2_Lga4_din[31:16]	-64'sd87917980 54912
R/W	0d599	[15:0]: ADC2_Lga4_din[47:32]	-64'sd87917980 54912
R/W	0d600	[15:0]: ADC2_Lga4_din[63:48]	-64'sd87917980 54912
R/W	0d601	[15:0]: ADC2_Hga4_din[15:0]	64'sd879179805 4912
R/W	0d602	[15:0]: ADC2_Hga4_din[31:16]	64'sd879179805 4912
R/W	0d603	[15:0]: ADC2_Hga4_din[47:32]	64'sd879179805 4912



属性	地址 [9:0]	描述	默认值
R/W	0d604	[15:0]: ADC2_Hga4_din[63:48]	64'sd879179805 4912
R/W	0d605	[15:0]: ADC2_Lsk2_din[15:0]	-64'sd10952166 60430
R/W	0d606	[15:0]: ADC2_Lsk2_din[31:16]	-64'sd10952166 60430
R/W	0d607	[15:0]: ADC2_Lsk2_din[47:32]	-64'sd10952166 60430
R/W	0d608	[15:0]: ADC2_Lsk2_din[63:48]	-64'sd10952166 60430
R/W	0d609	[15:0]: ADC2_Hsk2_din[15:0]	64'sd109521666 0430
R/W	0d610	[15:0]: ADC2_Hsk2_din[31:16]	64'sd109521666 0430
R/W	0d611	[15:0]: ADC2_Hsk2_din[47:32]	64'sd109521666 0430
R/W	0d612	[15:0]: ADC2_Hsk2_din[63:48]	64'sd109521666 0430
R/W	0d613	[15:0]: ADC2_Lsk3_din[15:0]	-64'sd10952166 60430
R/W	0d614	[15:0]: ADC2_Lsk3_din[31:16]	-64'sd10952166 60430
R/W	0d615	[15:0]: ADC2_Lsk3_din[47:32]	-64'sd10952166 60430
R/W	0d616	[15:0]: ADC2_Lsk3_din[63:48]	-64'sd10952166 60430
R/W	0d617	[15:0]: ADC2_Hsk3_din[15:0]	64'sd109521666 0430
R/W	0d618	[15:0]: ADC2_Hsk3_din[31:16]	64'sd109521666 0430
R/W	0d619	[15:0]: ADC2_Hsk3_din[47:32]	64'sd109521666 0430

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R/W	0d620	[15:0]: ADC2_Hsk3_din[63:48]	64'sd109521666 0430
R/W	0d621	[15:0]: ADC2_Lsk4_din[15:0]	-64'sd10952166 60430
R/W	0d622	[15:0]: ADC2_Lsk4_din[31:16]	-64'sd10952166 60430
R/W	0d623	[15:0]: ADC2_Lsk4_din[47:32]	-64'sd10952166 60430
R/W	0d624	[15:0]: ADC2_Lsk4_din[63:48]	-64'sd10952166 60430
R/W	0d625	[15:0]: ADC2_Hsk4_din[15:0]	64'sd109521666 0430
R/W	0d626	[15:0]: ADC2_Hsk4_din[31:16]	64'sd109521666 0430
R/W	0d627	[15:0]: ADC2_Hsk4_din[47:32]	64'sd109521666 0430
R/W	0d628	[15:0]: ADC2_Hsk4_din[63:48]	64'sd109521666 0430
R/W	0d629	[5:0]: ADC2_A1_din [11:6]: ADC2_A2_din	6'd32 6'd32
R/W	0d630	[5:0]: ADC2_A3_din [11:6]: ADC2_A4_din	6'd32 6'd32
R/W	0d631	[5:0]: ADC2_B2_din [11:6]: ADC2_B3_din	6'd32 6'd32
R/W	0d632	[5:0]: ADC2_B4_din [11:6]: ADC2_C2_din	6'd32 6'd32
R/W	0d633	[5:0]: ADC2_C4_din [11:6]: ADC2_C3_din	6'd32 6'd32
R/W	0d634	[8:0]: ADC2_clk_D_din	9'd50
R/W	0d635	[0]: ADC2_gain_pulse_detect_key [1]: ADC2_skew_pulse_detect_key	1'd0 1'd0
R/W	0d636	[15:0]: ADC2_gain_pulse_acc_threshold_i	16'd15000

属性	地址 [9:0]	描述	默认值
R/W	0d637	[15:0]: ADC2_skew_pulse_acc_threshold_i	16'd15000
R/W	0d638	[7:0]: ADC2_C_weight1_1_1_din [15:8]: ADC2_C_weight1_1_2_din	8'd0 8'd0
R/W	0d639	[7:0]: ADC2_C_weight1_1_3_din [15:8]: ADC2_C_weight1_1_4_din	8'd0 8'd0
R/W	0d640	[7:0]: ADC2_C_weight1_1_5_din [15:8]: ADC2_C_weight1_1_6_din	8'd0 8'd0
R/W	0d641	[7:0]: ADC2_C_weight1_2_1_din [15:8]: ADC2_C_weight1_2_2_din	8'd0 8'd0
R/W	0d642	[7:0]: ADC2_C_weight1_2_3_din [15:8]: ADC2_C_weight1_2_4_din	8'd0 8'd0
R/W	0d643	[7:0]: ADC2_C_weight1_2_5_din [15:8]: ADC2_C_weight1_2_6_din	8'd0 8'd0
R/W	0d644	[7:0]: ADC2_C_weight1_3_1_din [15:8]: ADC2_C_weight1_3_2_din	8'd0 8'd0
R/W	0d645	[7:0]: ADC2_C_weight1_3_3_din [15:8]: ADC2_C_weight1_3_4_din	8'd0 8'd0
R/W	0d646	[7:0]: ADC2_C_weight1_3_5_din [15:8]: ADC2_C_weight1_3_6_din	8'd0 8'd0
R/W	0d647	[7:0]: ADC2_C_weight2_1_1_din [15:8]: ADC2_C_weight2_1_2_din	8'd0 8'd0
R/W	0d648	[7:0]: ADC2_C_weight2_1_3_din [15:8]: ADC2_C_weight2_1_4_din	8'd0 8'd0
R/W	0d649	[7:0]: ADC2_C_weight2_1_5_din [15:8]: ADC2_C_weight2_1_6_din	8'd0 8'd0
R/W	0d650	[7:0]: ADC2_C_weight2_2_1_din [15:8]: ADC2_C_weight2_2_2_din	8'd0 8'd0
R/W	0d651	[7:0]: ADC2_C_weight2_2_3_din [15:8]: ADC2_C_weight2_2_4_din	8'd0 8'd0
R/W	0d652	[7:0]: ADC2_C_weight2_2_5_din [15:8]: ADC2_C_weight2_2_6_din	8'd0 8'd0
R/W	0d653	[7:0]: ADC2_C_weight2_3_1_din	8'd0

# AAD12D2000

属性	地址 [9:0]	描述	默认值
		[15:8]: ADC2_C_weight2_3_2_din	8'd0
R/W	0d654	[7:0]: ADC2_C_weight2_3_3_din [15:8]: ADC2_C_weight2_3_4_din	8'd0 8'd0
R/W	0d655	[7:0]: ADC2_C_weight2_3_5_din [15:8]: ADC2_C_weight2_3_6_din	8'd0 8'd0
R/W	0d656	[7:0]: ADC2_C_weight3_1_1_din [15:8]: ADC2_C_weight3_1_2_din	8'd0 8'd0
R/W	0d657	[7:0]: ADC2_C_weight3_1_3_din [15:8]: ADC2_C_weight3_1_4_din	8'd0 8'd0
R/W	0d658	[7:0]: ADC2_C_weight3_1_5_din [15:8]: ADC2_C_weight3_1_6_din	8'd0 8'd0
R/W	0d659	[7:0]: ADC2_C_weight3_2_1_din [15:8]: ADC2_C_weight3_2_2_din	8'd0 8'd0
R/W	0d660	[7:0]: ADC2_C_weight3_2_3_din [15:8]: ADC2_C_weight3_2_4_din	8'd0 8'd0
R/W	0d661	[7:0]: ADC2_C_weight3_2_5_din [15:8]: ADC2_C_weight3_2_6_din	8'd0 8'd0
R/W	0d662	[7:0]: ADC2_C_weight3_3_1_din [15:8]: ADC2_C_weight3_3_2_din	8'd0 8'd0
R/W	0d663	[7:0]: ADC2_C_weight3_3_3_din [15:8]: ADC2_C_weight3_3_4_din	8'd0 8'd0
R/W	0d664	[7:0]: ADC2_C_weight3_3_5_din [15:8]: ADC2_C_weight3_3_6_din	8'd0 8'd0
R/W	0d665	[7:0]: ADC2_C_weight4_1_1_din [15:8]: ADC2_C_weight4_1_2_din	8'd0 8'd0
R/W	0d666	[7:0]: ADC2_C_weight4_1_3_din [15:8]: ADC2_C_weight4_1_4_din	8'd0 8'd0
R/W	0d667	[7:0]: ADC2_C_weight4_1_5_din [15:8]: ADC2_C_weight4_1_6_din	8'd0 8'd0
R/W	0d668	[7:0]: ADC2_C_weight4_2_1_din [15:8]: ADC2_C_weight4_2_2_din	8'd0 8'd0
R/W	0d669	[7:0]: ADC2_C_weight4_2_3_din	8'd0

属性	地址 [9:0]	描述	默认值
		[15:8]: ADC2_C_weight4_2_4_din	8'd0
R/W	0d670	[7:0]: ADC2_C_weight4_2_5_din [15:8]: ADC2_C_weight4_2_6_din	8'd0 8'd0
R/W	0d671	[7:0]: ADC2_C_weight4_3_1_din [15:8]: ADC2_C_weight4_3_2_din	8'd0 8'd0
R/W	0d672	[7:0]: ADC2_C_weight4_3_3_din [15:8]: ADC2_C_weight4_3_4_din	8'd0 8'd0
R/W	0d673	[7:0]: ADC2_C_weight4_3_5_din [15:8]: ADC2_C_weight4_3_6_din	8'd0 8'd0
R/W	0d674	[7:0]: ADC2_MDAC_weight1_1_din [15:8]: ADC2_MDAC_weight1_2_din	8'd0 8'd0
R/W	0d675	[7:0]: ADC2_MDAC_weight1_3_din	8'd0
R/W	0d676	[7:0]: ADC2_MDAC_weight2_1_din [15:8]: ADC2_MDAC_weight2_2_din	8'd0 8'd0
R/W	0d677	[7:0]: ADC2_MDAC_weight2_3_din	8'd0
R/W	0d678	[7:0]: ADC2_MDAC_weight3_1_din [15:8]: ADC2_MDAC_weight3_2_din	8'd0 8'd0
R/W	0d679	[7:0]: ADC2_MDAC_weight3_3_din	8'd0
R/W	0d680	[7:0]: ADC2_MDAC_weight4_1_din [15:8]: ADC2_MDAC_weight4_2_din	8'd0 8'd0
R/W	0d681	[7:0]: ADC2_MDAC_weight4_3_din	8'd0
R	0d682	[11:0]: ADC2_o_mis1_dout	
R	0d683	[11:0]: ADC2_o_mis2_dout	
R	0d684	[11:0]: ADC2_o_mis3_dout	
R	0d685	[11:0]: ADC2_o_mis4_dout	
R	0d686	[11:0]: ADC2_g_mis2_dout	
R	0d687	[11:0]: ADC2_g_mis2_dout	
R	0d688	[11:0]: ADC2_g_mis2_dout	
R	0d689	[9:0]: ADC2_t_mis1_dout	
R	0d690	[9:0]: ADC2_t_mis2_dout	
R	0d691	[9:0]: ADC2_t_mis3_dout	

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R	0d692	[9:0]: ADC2_t_mis4_dout	
R	0d693	[15:0]: ADC2_offset1_dout[15:0]	
R	0d694	[15:0]: ADC2_offset1_dout[31:16]	
R	0d695	[15:0]: ADC2_offset1_dout[47:32]	
R	0d696	[15:0]: ADC2_offset1_dout[63:48]	
R	0d697	[15:0]: ADC2_offset2_dout[15:0]	
R	0d698	[15:0]: ADC2_offset2_dout[31:16]	
R	0d699	[15:0]: ADC2_offset2_dout[47:32]	
R	0d700	[15:0]: ADC2_offset2_dout[63:48]	
R	0d701	[15:0]: ADC2_offset3_dout[15:0]	
R	0d702	[15:0]: ADC2_offset3_dout[31:16]	
R	0d703	[15:0]: ADC2_offset3_dout[47:32]	
R	0d704	[15:0]: ADC2_offset3_dout[63:48]	
R	0d705	[15:0]: ADC2_offset4_dout[15:0]	
R	0d706	[15:0]: ADC2_offset4_dout[31:16]	
R	0d707	[15:0]: ADC2_offset4_dout[47:32]	
R	0d708	[15:0]: ADC2_offset4_dout[63:48]	
R	0d709	[15:0]: ADC2_gain2_dout[15:0]	
R	0d710	[15:0]: ADC2_gain2_dout[31:16]	
R	0d711	[15:0]: ADC2_gain2_dout[47:32]	
R	0d712	[15:0]: ADC2_gain2_dout[63:48]	
R	0d713	[15:0]: ADC2_gain3_dout[15:0]	
R	0d714	[15:0]: ADC2_gain3_dout[31:16]	
R	0d715	[15:0]: ADC2_gain3_dout[47:32]	
R	0d716	[15:0]: ADC2_gain3_dout[63:48]	
R	0d717	[15:0]: ADC2_gain4_dout[15:0]	
R	0d718	[15:0]: ADC2_gain4_dout[31:16]	
R	0d719	[15:0]: ADC2_gain4_dout[47:32]	
R	0d720	[15:0]: ADC2_gain4_dout[63:48]	
R	0d721	[15:0]: ADC2_skew2_dout[15:0]	
R	0d722	[15:0]: ADC2_skew2_dout[31:16]	

属性	地址 [9:0]	描述	默认值
R	0d723	[15:0]: ADC2_skew2_dout[47:32]	
R	0d724	[15:0]: ADC2_skew2_dout[63:48]	
R	0d725	[15:0]: ADC2_skew3_dout[15:0]	
R	0d726	[15:0]: ADC2_skew3_dout[31:16]	
R	0d727	[15:0]: ADC2_skew3_dout[47:32]	
R	0d728	[15:0]: ADC2_skew3_dout[63:48]	
R	0d729	[15:0]: ADC2_skew4_dout[15:0]	
R	0d730	[15:0]: ADC2_skew4_dout[31:16]	
R	0d731	[15:0]: ADC2_skew4_dout[47:32]	
R	0d732	[15:0]: ADC2_skew4_dout[63:48]	
R	0d733	[15:0]: ADC2_Los1_dout[15:0]	
R	0d734	[15:0]: ADC2_Los1_dout[31:16]	
R	0d735	[15:0]: ADC2_Los1_dout[47:32]	
R	0d736	[15:0]: ADC2_Los1_dout[63:48]	
R	0d737	[15:0]: ADC2_Hos1_dout[15:0]	
R	0d738	[15:0]: ADC2_Hos1_dout[31:16]	
R	0d739	[15:0]: ADC2_Hos1_dout[47:32]	
R	0d740	[15:0]: ADC2_Hos1_dout[63:48]	
R	0d741	[15:0]: ADC2_Los2_dout[15:0]	
R	0d742	[15:0]: ADC2_Los2_dout[31:16]	
R	0d743	[15:0]: ADC2_Los2_dout[47:32]	
R	0d744	[15:0]: ADC2_Los2_dout[63:48]	
R	0d745	[15:0]: ADC2_Hos2_dout[15:0]	
R	0d746	[15:0]: ADC2_Hos2_dout[31:16]	
R	0d747	[15:0]: ADC2_Hos2_dout[47:32]	
R	0d748	[15:0]: ADC2_Hos2_dout[63:48]	
R	0d749	[15:0]: ADC2_Los3_dout[15:0]	
R	0d750	[15:0]: ADC2_Los3_dout[31:16]	
R	0d751	[15:0]: ADC2_Los3_dout[47:32]	
R	0d752	[15:0]: ADC2_Los3_dout[63:48]	
R	0d753	[15:0]: ADC2_Hos3_dout[15:0]	

# AAD12D2000

属性	地址 [9:0]	描述	默认值
R	0d754	[15:0]: ADC2_Hos3_dout[31:16]	
R	0d755	[15:0]: ADC2_Hos3_dout[47:32]	
R	0d756	[15:0]: ADC2_Hos3_dout[63:48]	
R	0d757	[15:0]: ADC2_Los4_dout[15:0]	
R	0d758	[15:0]: ADC2_Los4_dout[31:16]	
R	0d759	[15:0]: ADC2_Los4_dout[47:32]	
R	0d760	[15:0]: ADC2_Los4_dout[63:48]	
R	0d761	[15:0]: ADC2_Hos4_dout[15:0]	
R	0d762	[15:0]: ADC2_Hos4_dout[31:16]	
R	0d763	[15:0]: ADC2_Hos4_dout[47:32]	
R	0d764	[15:0]: ADC2_Hos4_dout[63:48]	
R	0d765	[15:0]: ADC2_Lga2_dout[15:0]	
R	0d766	[15:0]: ADC2_Lga2_dout[31:16]	
R	0d767	[15:0]: ADC2_Lga2_dout[47:32]	
R	0d768	[15:0]: ADC2_Lga2_dout[63:48]	
R	0d769	[15:0]: ADC2_Hga2_dout[15:0]	
R	0d770	[15:0]: ADC2_Hga2_dout[31:16]	
R	0d771	[15:0]: ADC2_Hga2_dout[47:32]	
R	0d772	[15:0]: ADC2_Hga2_dout[63:48]	
R	0d773	[15:0]: ADC2_Lga3_dout[15:0]	
R	0d774	[15:0]: ADC2_Lga3_dout[31:16]	
R	0d775	[15:0]: ADC2_Lga3_dout[47:32]	
R	0d776	[15:0]: ADC2_Lga3_dout[63:48]	
R	0d777	[15:0]: ADC2_Hga3_dout[15:0]	
R	0d778	[15:0]: ADC2_Hga3_dout[31:16]	
R	0d779	[15:0]: ADC2_Hga3_dout[47:32]	
R	0d780	[15:0]: ADC2_Hga3_dout[63:48]	
R	0d781	[15:0]: ADC2_Lga4_dout[15:0]	
R	0d782	[15:0]: ADC2_Lga4_dout[31:16]	
R	0d783	[15:0]: ADC2_Lga4_dout[47:32]	
R	0d784	[15:0]: ADC2_Lga4_dout[63:48]	



属性	地址 [9:0]	描述	默认值
R	0d785	[15:0]: ADC2_Hga4_dout[15:0]	
R	0d786	[15:0]: ADC2_Hga4_dout[31:16]	
R	0d787	[15:0]: ADC2_Hga4_dout[47:32]	
R	0d788	[15:0]: ADC2_Hga4_dout[63:48]	
R	0d789	[15:0]: ADC2_Lsk2_dout[15:0]	
R	0d790	[15:0]: ADC2_Lsk2_dout[31:16]	
R	0d791	[15:0]: ADC2_Lsk2_dout[47:32]	
R	0d792	[15:0]: ADC2_Lsk2_dout[63:48]	
R	0d793	[15:0]: ADC2_Hsk2_dout[15:0]	
R	0d794	[15:0]: ADC2_Hsk2_dout[31:16]	
R	0d795	[15:0]: ADC2_Hsk2_dout[47:32]	
R	0d796	[15:0]: ADC2_Hsk2_dout[63:48]	
R	0d797	[15:0]: ADC2_Lsk3_dout[15:0]	
R	0d798	[15:0]: ADC2_Lsk3_dout[31:16]	
R	0d799	[15:0]: ADC2_Lsk3_dout[47:32]	
R	0d800	[15:0]: ADC2_Lsk3_dout[63:48]	
R	0d801	[15:0]: ADC2_Hsk3_dout[15:0]	
R	0d802	[15:0]: ADC2_Hsk3_dout[31:16]	
R	0d803	[15:0]: ADC2_Hsk3_dout[47:32]	
R	0d804	[15:0]: ADC2_Hsk3_dout[63:48]	
R	0d805	[15:0]: ADC2_Lsk4_dout[15:0]	
R	0d806	[15:0]: ADC2_Lsk4_dout[31:16]	
R	0d807	[15:0]: ADC2_Lsk4_dout[47:32]	
R	0d808	[15:0]: ADC2_Lsk4_dout[63:48]	
R	0d809	[15:0]: ADC2_Hsk4_dout[15:0]	
R	0d810	[15:0]: ADC2_Hsk4_dout[31:16]	
R	0d811	[15:0]: ADC2_Hsk4_dout[47:32]	
R	0d812	[15:0]: ADC2_Hsk4_dout[63:48]	
R	0d813	[5:0]: ADC2_A1_dout [11:6]: ADC2_A2_dout	
R	0d814	[5:0]: ADC2_A3_dout	

# AAD12D2000

属性	地址 [9:0]	描述	默认值
		[11:6]: ADC2_A4_dout	
R	0d815	[5:0]: ADC2_B2_dout [11:6]: ADC2_B3_dout	
R	0d816	[5:0]: ADC2_B4_dout [11:6]: ADC2_C2_dout	
R	0d817	[5:0]: ADC2_C4_dout [11:6]: ADC2_C3_dout	
R	0d818	[8:0]: ADC2_clk_D_dout	
R/W	0d819	[0]: ADC2_data_overflow_clr [1]: ADC2_data_overflow	1'b0 1'b0

## JESD（待补充）

属性	地址 [11:0]	描述	默认值
R/W	0xC08		0x53F7
R/W	0xC09	[12:8]: L-1 [15]: scramble enable	0x0754
R/W	0xC0C	[7:0]: F-1 [12:8]: K-1	0x1D01
R/W	0xC0D	[7:0]: M-1 [12:8]: N-1	0x0F01
R/W	0xC10	[4:0]: N-1 [12:8]: S-1	0xCC11
R/W	0xC11	[4:0]: CF	0x0C00
R/W	0xC24	[7:0]: number of multiframe sent during ILAS-1	0x00C2
R/W	0xC25		0x0000
R/W	0xC18	[1]: N sysref mode enable; [8:4]: number of sysref pulse that are used for alignment	0xA0C1
R/W	0xC19		0x0001
R/W	0xC34	[7:0]: logical lane number in physical lane 0; [15:8]: logical lane number in physical lane 1;	0x0100
R/W	0xC35	[7:0]: logical lane number in physical lane 2; [15:8]: logical lane number in physical lane 3;	0x0302
R/W	0xC38	[7:0]: logical lane number in physical lane 4; [15:8]: logical lane number in physical lane 5;	0x0504

R/W	0xC39	[7:0]: logical lane number in physical lane 6; [15:8]: logical lane number in physical lane 7;	0x0706
-----	-------	---	--------

注：在对 204B 相关寄存器进行配置时，需要同时配置地址位  $n$  和地址位  $n+1$  两个寄存器。

### 3. 校准说明

通道间交织校准由两部分组成，即偏差的提取和偏差的补偿。偏差的提取和偏差的补偿均在片内实现，将通道间交织校准开启，芯片会自适应进行校准并最终收敛至校准值，该方案为自动校准方案。同时也可以进行手动校准，即手动输入校准值，完成校准。

#### 3.1. 失调失配校准

ADC 的失调指的是实际转移函数与理想转移函数之间的偏差。offset 的校准范围为 $\pm 6\%$ 。每个通道与理想情况之间的失调失配值通过以下步骤补偿：

- 1) 若  $wt$  为 1，即打开手动校准补偿模式，会将输入的 16 位有符号数减去输入的 12 位有符号数完成补偿，得到失调失配校准后的 16 位有符号数。
- 2) 若  $wt$  为 0，则为自动校准模式，会将输入的 16 位有符号数减去自动提取出的 12 位有符号数完成补偿，得到失调失配校准后的 16 位有符号数。

#### 3.2. 增益失配校准

ADC 的转换增益指的是转移函数直线的斜率。此时，第一通道设置为参考路，将其他路的转换增益校准至第一通道。gain 的校准范围为 $\pm 10\%$ 。

每个通道与第一通道之间的增益失配值通过以下步骤补偿：

- 1) 首先将每个通道的经过失调失配校准后的 16 位量化输出值减去 16380 转换为 16 位有符号数。
- 2) 将该 16 位有符号数乘以（ $16384 \pm 12$  位有符号增益失配值），其中乘以 16384 通过左移 14 位来实现。

若  $wt$  为 1，即打开手动校准补偿模式，12 位有符号增益失配值为手动输入的 12 位有符号增益失配值。

若  $wt$  为 0，即打开自动校准补偿模式，12 位有符号增益失配值为自动提取的 12 位有符号增益失配值。

- 3) 将得到的数除以 16384，再通过右移 14 位实现即可得到经过增益失配校准后的 16 位有符号数。

#### 3.3. 采样时间失配校准

理想情况下,时间交织要求各通道均匀地交替采样。相邻通道的采样时钟间隔均为  $T_s$ 。在实际的时间交织中,由于采样时钟的分频与驱动电路的不对称,造成了采样时刻的偏差,这也会也会对量化结果产生影响。 $skew$  的需要较准的范围为  $\pm 1\%$ 。

该采样时间偏差校准模块运行在数字域,且仅需加法器和寄存器即可实现,模拟域不需要额外的余量,是低功耗低消耗的后台校准技术。

每个通道与第一通道之间的采样时间失配值通过以下步骤补偿:

- 1) 若  $wt$  为 1,即打开手动校准补偿模式,传输给控制采样时间的可变延时线的 10 位无符号采样时间失配值为手动输入的 10 位有符号采样时间失配值。

若  $wt$  为 0,即打开自动校准补偿模式,传输给控制采样时间的可变延时线的 10 位无符号采样时间失配值为自动提取的 10 位有符号采样时间失配值,其中第一通道的采样时间失配值由外部固定输入。

- 2) 传输给控制采样时间的可变延时线的 10 位无符号采样时间失配值进入可变延时线的控制 DAC 阵列,一个 LSB 表示  $15\text{-}20fs$ 。

备注:

用第一通道和下一拍第一通道的值校准中间通道,可校准的输入信号频率范围是  $0\text{-}f_s/n$ ,其中  $f_s$  为总的采样频率, $n$  为通道数。

用相邻通道校准,可校准的输入信号频率范围是  $0\text{-}f_s/2$ ,即第一奈奎斯特区间,其中  $f_s$  为总的采样频率。若想将可校准的输入信号频率范围扩展至第二奈奎斯特区间,只需将绝对值的差值由累加替换成为累减即可。即在输入信号频率在奇数奈奎斯特区间用累加,在偶数奈奎斯特区间用累减。

订购信息:

型号	温度范围	输出接口	封装描述
AAD12D2000	TBD	JESD204B	68 引脚方形扁平无引脚封装（QFN）

AAD12D2000



版本记录:

初始版本	Rev1.0
增加 ADC 典型测试结果	Rev1.1
增加 $\theta_{JA}$	Rev1.2



## 声明

AAD12D2000

苏州迅芯微电子有限公司及其分公司和经销商有权对其公司提供的半导体产品进行修正、增强、提高及做出其他的改变，同时也拥有在最新版产品已经发布的基础上，中止任何一款产品和服务的权利。购买者应在下单前获取相关的最新信息，并确认这些信息的有效性和完整性。所有售出的半导体产品都必须遵循苏州迅芯微电子有限公司在接到订单确认时的销售条款和条件。

根据苏州迅芯微电子有限公司销售的半导体产品的保修条款，苏州迅芯微电子有限公司担保组件的性能规范适用于销售之时。本公司采取了必要的测试和质量控制手段来支持产品达到这样的品质。除非有法律的具体规定，否则并不是每个器件的所有参数都是必须要执行测试的。

苏州迅芯微电子有限公司对购买者使用产品做出的设计和应用不承担任何的连带责任，用户应对使用了苏州迅芯微电子有限公司器件的产品和应用自负其责。购买者应采取适当的设计和操作时的具体保护措施来使您所购买产品的风险降至最低。

对于任何使用苏州迅芯微电子有限公司的器件和服务的所有相关的组合、设备或过程，苏州迅芯微电子有限公司不保证或代表许可——无论是明示或暗示——授予其使用任何相关的专利权、版权或其他任何知识产权。苏州迅芯微电子有限公司对第三方产品或服务不构成许可使用这些产品或服务的保修或背书。使用这样的信息可能需要从第三方的专利或第三方的其他知识产权获得许可或授权，或从苏州迅芯微电子有限公司获得专利和其他知识产权的授权。

从苏州迅芯微电子有限公司的产品手册和数据手册中复制重要的章节是被允许的，只要复制时没有更改，同时附上所有相关的担保、条件、限制和告示信息。苏州迅芯微电子有限公司不对这些修改后的文件承担任何责任，第三方的信息可能会受到附加条件的约束。

超出苏州迅芯微电子有限公司所标明的器件或服务的参数范围或在与之不同参数下转售苏州迅芯微电子的器件或服务，或对苏州迅芯微电子有限公司的器件或服务无法提供有效服务并且暗含担保无效的行为，都是一种不公平且带有欺骗性质的商业行为。苏州迅芯微电子有限公司不为这样的声明承担任何责任。

购买者确认并同意，尽管苏州迅芯微电子有限公司可能提供了与应用相关的信息或支持，但您将自行负责遵守与您的产品以及在使用任何苏州迅芯微电子有限公司的器件有关的所有法律、法规和安全方面的要求。购买者应表示并同意您具备所有必要的专业知识，能够创建和实施安全措施以预测故障的危险后果、监控故障及其后果、降低可能导致伤害的故障可能性并采取适当的补救措施。购买者将全额赔偿因在重大的安全应用中使用任何苏州迅芯微电子有限公司器件而对苏州迅芯微电子有限公司及其所代表方造成的所有损失。

在某些情况下，为了推广安全相关应用，有可能对苏州迅芯微电子有限公司的器件进行专门提升。借助于这样的器件，苏州迅芯微电子有限公司的目标旨在帮助客户设计和创立其特有的可满足功能性安全标准和要求的终端产品解决方案。尽管如此，此类器件仍然遵守本条款。

苏州迅芯微电子有限公司的器件未被许可用于 FDA III 类（或类似关系生命安危的医疗设备），除非各方授权代表已经达成专门管控此类使用的特别协议。

只有苏州迅芯微电子有限公司特别注明属于军用等级或“增强型塑料”的器件才是设计且专门用于军事/航空应用或环境的组件。购买者应确认并同意，如果将未注明的器件用于军事或航空应用，则由您单方面承担所有风险，且您应自行负责遵守与此类使用有关的所有法律和法规要求负全部责任。