

博士学位论文

流水线型 ADC 数字校正技术研究

**RESEARCH ON DIGITAL
CALIBRATION TECHNIQUE FOR
PIPELINE ADCS**

宫月红

哈尔滨工业大学

2015 年 6 月

国内图书分类号: TN401
国际图书分类号: 621.3.049.774

学校代码: 10213
密级: 公开

工学博士学位论文

流水线型 ADC 数字校正技术研究

博士研究生: 宫月红

导师: 肖立伊 教授

副 导 师: 喻明艳 教授

申 请 学 位: 工学博士

学 科: 微电子学与固体电子学

所 在 单 位: 航天学院

答 辩 日 期: 2015 年 6 月

授予学位单位: 哈尔滨工业大学

Classified Index: TN401

U.D.C: 621.3.049.774

Dissertation for the Doctoral Degree in Engineering

RESEARCH ON DIGITAL CALIBRATION TECHNIQUE FOR PIPELINE ADCS

Candidate:	Gong Yuehong
Supervisor:	Prof. Xiao Liyi
Associate Supervisor:	Prof. Yu Mingyan
Academic Degree Applied for:	Doctor of Engineering
Specialty:	Microelectronics and Solid-State Electronics
Affiliation:	School of Astronautics
Date of Defence:	June, 2015
Degree-Conferring-Institution:	Harbin Institute of Technology

摘 要

随着数字信号处理技术的快速发展,对连接模拟世界与数字世界之间桥梁的模数转换器(ADC)性能要求越来越高。作为中高精度、速度 ADC 的代表,流水线型 ADC 是最常用的 ADC 之一,应用非常广泛。随着 CMOS 工艺的演进,特征线宽不断缩小,在保证流水线型 ADC 高性能的同时,设计难度逐渐加大,功耗也变得越来越可观。数字辅助校正技术的提出,使得可以利用数字信号处理技术来改善传统模拟电路的性能,从而将电路性能的提高从模拟域转移到数字域,使得模拟电路与数字电路一样不断受益于工艺演进,因而这一方法成为当今集成电路设计的一个研究热点。

影响流水线型 ADC 性能的两大主要因素是级间余量放大器增益误差和增益数模转换器(MDAC)电容匹配误差。为了提高性能,采用数字校正技术对这两类误差进行校正。然而现有的数字校正技术存在数字硬件代价过高、需要增加模拟硬件开销、校正精度有限等问题。本论文分别从降低数字硬件代价、降低模拟硬件开销、提高校正精度等角度出发,对流水线型 ADC 数字校正技术进行了研究,主要工作内容包括:

为了对流水线型 ADC 数字校正技术进行研究,需要对系统中的各种非理想因素、电路中各个模块工作细节以及校正算法进行模拟,此时建立高层次行为级仿真平台就变得非常重要。本文采用硬件描述语言 Verilog-A 和 Verilog 建立了一个流水线型 ADC 数字校正技术行为级仿真平台。在电路设计完成之后,需要一个真实的平台来对校正算法的硬件代价和功耗等进行评估,基于这一点,建立了一个基于 FPGA 的流水线型 ADC 数字校正技术验证平台。这两项工作为数字校正算法的研究提供通用的仿真验证平台,从而为本文后续的研究奠定基础。

为了降低流水线型 ADC 功耗,采用开环结构的放大器来作为级间运算放大器,对于开环放大器引入的非线性失真,通常采用基于统计规律的数字校正算法来校正。传统的基于统计规律的数字校正算法通常将非线性误差值存储在高速 ROM (Read Only Memory, ROM) 中,然后通过查表法来获得误差值。其中存在的问题是需要使用一部分高速 ROM,导致设计成本较高,并且校正范围受到 ROM 容量的限制。针对这一点,提出了一种采用分段线性插值法来估计级间运算放大器非线性误差的流水线型 ADC 后台数字校正算法。这种算法首先利用信号传输的统计规律,通过分段线性插值法来计算级间运算放大器的非线性误差,然后将该误差在后级中补偿给放大器所在子级的数字输出码,从而达到

校正的目的。该算法中的非线性误差通过计算得到，而不是存储在 ROM 中，可以降低存储器开销，从而降低校正代价。

为了对 MDAC 中级间运算放大器误差和电容不匹配误差同时进行校正，需要建立 MDAC 传输函数模型。在以前类似的校正算法中，建立 MDAC 传输函数模型通常需要设计专门的参考 ADC，这种做法会增加模拟部分电路设计难度和模拟电路硬件开销。鉴于此，提出了一种采用统计规律来建立 MDAC 传输函数模型，从而估计非线性误差，进而对该误差进行补偿的数字校正算法。这种算法首先利用输入信号的统计规律来建立 MDAC 传输函数模型，然后利用该模型来估计 MDAC 非线性误差，最后把估计所得的误差在后级进行补偿。这种校正算法建立 MDAC 传输函数模型不需要额外设计参考 ADC，大大降低了模拟电路设计复杂度和模拟硬件开销。仿真结果表明，该算法能有效地消除级间运算放大器误差和电容失配误差的影响，从而提高 ADC 的线性度。

为了降低流水线型 ADC 系统功耗，可以选用低增益的运算放大器、Class-AB 型放大器、开环放大器等结构的放大器作为级间增益放大器，这一类的放大器非线性失真都比较严重，需要采用数字方式进行校正。针对以前的确定性数字校正算法采用三次多项式对 Class-AB 型运算放大器传输函数进行近似，导致校正精度过低的问题，提出了一种采用测试信号来建立开环放大器传输函数模型，从而对放大器非线性误差进行校正的确定性数字校正算法。该算法通过选取最接近实际情况的传输函数模型对开环放大器的传输函数进行近似来提高校正精度。首先在测试信号的辅助下建立开环放大器传输函数模型，然后通过该传输函数模型进行插值运算，最后由后级 ADC 的数字输出码来估计理想的运算放大器输入码值，从而达到校正目的。仿真结果表明，该校正技术能够明显地提高校正精度。为了结合实际电路对这种校正技术进行进一步验证，设计了一款 12 位、40 MHz 采样率的流水线型 ADC。该 ADC 采用了无采样保持电路、多位冗余位、逐级缩放、运放共享、开环放大电路等电路设计技术，并实现了版图。仿真结果表明，采用该数字校正算法后，ADC 的性能得到了大幅度提高。

关键词：数字校正；流水线型 ADC；统计规律；确定性校正；传输函数

Abstract

With the rapid development of digital signal processing, the demand for high performance analog to digital converter (ADC) is becoming more and more rigorous. As a representative of ADCs with medium-high resolution and speed, pipeline is one of the most popular ADC architecture and it is most widely used. With the evolution of CMOS technology, the intrinsic line width narrows, to design pipeline ADC with high performance, the design complexity grows and power consumption is also considerable. With the applying of digitally assisted calibration, digital signal processing technology can be utilized to improve the performance of the traditional analog circuit, thus transform performance improvement from analog region to digital region, analog circuit may continuously benefit from the process evolution, so it's becoming a research hot pot in today's integrated circuit design.

The two major factors hindering the improvement of pipeline ADC performance are residual amplifier gain error and multiplying digital-to-analog converter mismatch error. To improve ADC performance, digital calibration techniques are applied. However, there exist problems in some aspects in the present calibration techniques, such as high digital hardware cost, extra analog hardware overhead, limited calibration resolution and so on. In this paper, these problems have been studied. The major contribution of the work includes:

To emulate the nonideal factors affecting pipeline ADC performance, circuit working details and calibration algorithm calibration effects, high level modeling and simulation are necessary. In this paper, a Verilog-A based pipeline ADC digital calibration technique simulation platform is constructed. After circuit design, an actual verification platform is needed to estimate the hardware overheads and power consumption, based on this, a FPGA based testbench is established. These two work can provide universal simulation and verification platform for digital calibration algorithm, thus lay foundation for the following research.

To elliviate the high power consumption of pipeline ADCs, open-loop amplifier can be applied as inter-stage residual amplifier. For the high nonlinearity in open-loop amplifier, statistical based digital calibration algorithm is often used. Traditional statistical based digital calibration algorithm usually store nonlinear errors in ROM, and achieve error value through look up table. The problem is ROM causes high design cost and limited calibration range. Based on this, a statistical based calibration algorithm applying piecewise linear interpolation to estimate amplifier nonlinearity is proposed. In this algorithm, statistical characteristic and piecewise linear interpolation are applied to estimate the third order nonlinearity of

inter-stage amplifier, and compensate the error codes to the corresponding backend codes of the amplifier output to achieve calibration. Nonlinear error is calculated through piecewise linear interpolation rather than stored in ROM, thus ROM can be saved and calibration overheads can be reduced.

To calibrate amplifier nonlinearity and capacitor mismatch in MDAC simultaneously, MDAC transfer function model is needed to be established. In the former similar calibration algorithm, reference ADCs are usually needed to establish MDAC transfer function model, this will cause extra analog circuit design complexity and analog hardware cost. To solve this problem, a statistical algorithm applying MDAC transfer function model is proposed, to estimate and compensate MDAC capacitor mismatch error and inter-stage amplifier nonlinearity. In this algorithm, MDAC transfer model is constructed based on the static characteristic of input signals, the nonlinear errors are estimated through the aid of the constructed model, and then compensated in the backend stages. By applying of this, no extra reference ADC is needed, analog circuit design complexity and analog hardware cost are lowered. Simulation results showed that, this algorithm can obviously eliminate the effect of amplifier nonlinearity and capacitor mismatch in MDAC, thus ADC linearity can be greatly improved.

To alleviate pipeline ADC system power consumption, low gain closed-loop amplifier, Class-AB amplifier and open-loop amplifier can be applied as inter-stage residual amplifier. The nonlinear distortion in these amplifiers are always high and needs to be calibrated through digital calibration. In the former design, deterministic calibration algorithm is applied to calibration Class-AB amplifier nonlinearity through cubic polynomial interpolation, which suffers from low calibration resolution. Based on this, a deterministic calibration algorithm is proposed to calibration open-loop amplifier nonlinearity. In this algorithm, transfer function model most similar to the actual transfer case is chosen as interpolation function. Firstly transfer function model is constructed through test signal, then interpolation operation is achieved, finally the amplifier input codes are estimated by backend codes and the model. Simulation results showed that, this algorithm can greatly improve calibration resolution. To further verify the calibration technique, a 12 bits, 40 MHz sample rate pipeline ADC is designed. In this ADC, circuit design techniques such as no sample and hold circuit, more redundant bits, stage scaling, operational amplifier sharing, open-loop amplifier design are applied, and layout is finished. Simulation results indicate that, after calibration, the performance of ADC can be obviously improved.

Keywords: digital calibration, pipeline ADC, statistical characteristic, deterministic calibration, transfer function

目 录

摘 要	I
ABSTRACT	III
第 1 章 绪 论	1
1.1 课题背景及研究的目的和意义	1
1.2 流水线型 ADC 国内外研究现状	3
1.3 数字辅助校正技术	5
1.3.1 基于统计规律的校正技术	7
1.3.2 确定性的校正技术	12
1.4 论文主要研究内容	16
1.5 论文结构	17
第 2 章 流水线型 ADC 数字校正技术仿真及验证平台	19
2.1 引言	19
2.2 流水线型 ADC 理论基础	19
2.2.1 流水线型 ADC 结构及子模块误差分析	19
2.2.2 流水线型 ADC 主要性能指标	25
2.2.3 高性能低功耗流水线型 ADC 电路设计技术	28
2.3 流水线型 ADC 数字校正技术仿真及验证平台	33
2.3.1 基于 Verilog-A 的流水线型 ADC 数字校正技术仿真平台	33
2.3.2 基于 FPGA 的流水线型 ADC 数字校正技术验证平台	38
2.4 本章小结	42
第 3 章 应用分段线性插值法估计非线性误差的数字校正技术	43
3.1 引言	43
3.2 统计规律法校正非线性误差理论基础	44
3.2.1 随机码及其统计特性	44
3.2.2 自适应算法	45
3.3 采用分段线性插值法估计非线性误差的数字校正算法	46
3.3.1 分段线性插值法校正系统结构	46
3.3.2 分段线性插值法校正原理	47
3.3.3 开环放大器及传输函数模型	49
3.3.4 PN 调制及双余量曲线	53

3.3.5 分段线性插值法估计三阶误差及误差补偿	54
3.3.6 一阶误差校正	57
3.3.7 校正参数更新及算法收敛	57
3.3.8 硬件开销与功耗	58
3.4 分段线性插值法校正仿真与分析	59
3.5 本章小结	63
第 4 章 基于 MDAC 传输函数模型的数字校正技术	64
4.1 引言	64
4.2 多项式插值理论基础	64
4.3 采用传输函数建模法校正流水线型 ADC	65
4.4 基于统计规律的传输函数建模法	68
4.4.1 MDAC 传输函数建模法校正系统结构	68
4.4.2 MDAC 误差模型	68
4.4.3 误差补偿	70
4.4.4 采用统计规律建立传输函数模型及误差估计	71
4.4.5 后台校正原理	72
4.4.6 硬件开销与功耗	73
4.5 MDAC 传输函数建模法仿真与分析	74
4.6 本章小结	76
第 5 章 基于开环放大器传输函数模型的数字校正技术	78
5.1 引言	78
5.2 采用多项式传输函数模型的数字校正算法	79
5.2.1 校正系统结构	79
5.2.2 第一级 MDAC 及传输函数模型	79
5.2.3 校正原理	81
5.2.4 测试信号与时钟	83
5.2.5 收敛时间与硬件开销	84
5.2.6 仿真与分析	85
5.3 算法 FPGA 验证	87
5.4 12 位 40MHz 流水线型 ADC 电路设计	89
5.4.1 无采样保持电路结构	89
5.4.2 第一级子级电路设计	90
5.4.3 开环放大器设计	91
5.4.4 比较器设计	93

5.4.5 电容分裂.....	94
5.4.6 电路仿真与分析	96
5.5 版图设计.....	97
5.6 本章小结.....	99
结 论	101
参考文献	103
攻读博士学位期间发表的论文及其它成果	113
哈尔滨工业大学学位论文原创性声明和使用权限.....	114
致 谢	115
个人简历	116

Contents

Abstract (In Chinese)	I
Abstract (In English)	III
Chapter 1 Introduction	1
1.1 Background, objective and significance of the subject.....	1
1.2 The domestic and international research status of pipeline ADC.....	3
1.3 Digital assisted calibration technology.....	5
1.3.1 Statiscal based calibration technic.....	7
1.3.2 Deterministic calibration technic.....	12
1.4 Main research contents of this paper.....	16
1.5 The organization of this paper.....	17
Chapter 2 Pipeline ADC digital calibration technique simulation and verification platform	19
2.1 Introduction.....	19
2.2 Pipeline ADC theory.....	19
2.2.1 Pipeline ADC architure and submodular error analysis.....	19
2.2.2 Main performance of pipeline ADC	25
2.2.3 High performance low power pipeline ADC circuit design technic.....	28
2.3 Pipeline ADC digital calibration technique simulation and verification platform.....	33
2.3.1 Verilog-A based pipeline ADC digital calibration technique simulation platform.....	33
2.3.2 FPGA based pipeline ADC digital calibration technique verification platform.....	38
2.4 Brief summary.....	41
Chapter 3 Calibration technique applying piecewise linear interpolation to estimate nonlinear error	43
3.1 Introduction.....	43
3.2 Statistical based nonlinear calibration theory.....	44
3.2.1 Random number and its statistical characteristic.....	44
3.2.2 Self-adaptive algorithm.....	45
3.3 Calibration algorithm applying piecewise linear interpolation to estimate nonlinear error.....	46
3.3.1 Piecewise linear interpolation based calibration system architecture.....	46
3.3.2 Piecewise linear interpolation based calibration principle.....	47
3.3.3 Open-loop amplifier and transfer function model.....	50
3.3.4 PN modulation and double residual curve.....	53

3.3.5 Piecewise linear based third order error estimation and compensation...	54
3.3.6 First order error calibration.....	57
3.3.7 Parameter updating and algorithm convergence.....	57
3.3.8 Hardware overheads and power consumption.....	58
3.4 Piecewise linear interpolation algorithm simulation and analysis	59
3.5 Brief summary.....	63
Chapter 4 MDAC Transfer function model based digital calibration technic...	64
4.1 Introduction.....	64
4.2 Polynomial interpolation theory.....	64
4.3 To calibrate pipeline ADC applying transfer function modeling.....	65
4.4 Statistical based transfer function modeling	68
4.4.1 MDAC transfer function model based calibration system architecture...	68
4.4.2 MDAC transfer function model.....	68
4.4.3 Error compensation.....	70
4.4.4 Statistical based transfer function modeling and error estimation.....	71
4.4.5 Background calibration principle.....	72
4.4.6 Hardware overheads and power consumption.....	73
4.5 MDAC transfer function model based calibration simulation and analysis...	74
4.6 Brief summary.....	76
Chapter 5 Open-loop amplifier transfer function model based deterministic calibration technic.....	78
5.1 Introduction.....	78
5.2 Calibration algorithm applying polynomial interpolation	79
5.2.1 Calibration system architecture.....	79
5.2.2 First stage transfer function model.....	79
5.2.3 Calibration principle.....	81
5.2.4 Test signal and clock.....	83
5.2.5 Convergence time and hardware overheads.....	84
5.2.6 Simulation and analysis.....	85
5.3 Algorithm FPGA verification.....	87
5.4 12 bits 40MHz pipeline ADC circuits design.....	89
5.4.1 No sample and hold circuit.....	89
5.4.2 The first stage circuit design.....	90
5.4.3 Open-loop amplifier design.....	91
5.4.4 Comparator design.....	93
5.4.5 Capacitor splitting.....	94
5.4.6 Circuit simulation and analysis.....	96
5.5 Layout design.....	97
5.6 Brief summary.....	99

Conclusions.....	101
References.....	103
Papers published in the period of Ph.D. education.....	113
Statement of copyright and Letter of authorization.....	114
Acknowledgements.....	115
Resume.....	116

第1章 绪论

1.1 课题背景及研究的目的和意义

随着各种电子设备终端,尤其是高性能智能手机和各种手持电子设备的普及,使得人类世界与电子世界的联系越来越紧密。在电子世界里有两种形式的信号:模拟信号和数字信号。模拟信号来自真实世界中各种各样的物理现象,是连续的和种类繁多的;而数字信号则是离散信号,用于表示信息的只有“0”和“1”两个量。使用模拟信号进行信息交流直观、容易实现,但是保密性差、抗干扰能力弱,并且信息的多样化使之不易保存。将数字信号使用到通信系统中,通过“0”和“1”的各种组合来表示信息,在信息传输途中可以使用加密等技术,提高保密性和抗干扰性。自然界中的各种信号大部分都是模拟信号,但是现代通信技术的高速发展决定了数字信号更利于存储、处理、传输、显示等,所以在很多的场合,模拟信号都需要被转换为数字信号。而在另外一些情况下,完成处理的数字信号又需要被转换回模拟信号。因此,模数转换器(Analog to Digital Converter, ADC)和数模转换器(Digital to Analog Converter, DAC)就成为现代电子技术发展、应用过程中必不可少的装置。

ADC 作为连接模拟世界与数字世界的纽带,承担着把模拟信号尽可能精确、快速地转换为数字信号的重任^[1]。近几十年来,硅集成电路得到了广泛应用,已经渗透到了人们生产生活各个领域。而根据摩尔定律,每平方毫米面积上晶体管的数量大概每十八个月到两年增加一倍,即工艺线宽缩小一半^[2]。目前看来,即便从深亚微米阶段发展到了纳米阶段,摩尔定律依然是有效的。著名模拟集成电路设计学者 Maloberti 在文献[3]中指出,即便是在后摩尔定律时代,集成电路系统所具有的性能也是由芯片上面的模数、数模转换器性能来决定的^[4],由此可见数据转换器的重要性。数字时代的到来进一步提高了控制系统和通信系统的复杂性,而复杂算法可重复性、数字电路的易于制造性以及数字存储器的出现使得信号在数字域处理起来更加有优势。当 CMOS 工艺线宽缩小到纳米级时,越来越多的晶体管和逻辑门将集成在单个芯片上,使得系统设计成本更低,数字信号处理技术的作用也更加强大。工艺特征尺寸的不断缩小,使得数字集成电路正变得速度越来越快、功耗越来越低同时功能却越来越强大。受益于先进的集成电路制造工艺,集成电路的发展倾向于越来越多的采用数字电路,因为数字电路可以设计得更快,功耗更低,制造起来成本更低并且更有前途。但是另一方面,这对模拟电路的设计造成了一种挑战。随着工艺

特征尺寸的降低,晶体管的本征增益降低,模拟电路设计难度加大,使得很多传统的模拟电路被淘汰,并且功能逐步被数字电路代替。而 ADC 作为连接模拟世界与数字世界的桥梁,其独特的功能无法被数字电路所取代,所以 ADC 的存在是必不可少的。从另一方面来说,系统的性能往往由最薄弱的环节所决定,而 ADC 作为系统的接口,从某种程度上来说,便成为了系统设计的瓶颈。由此可见,ADC 的性能对于系统整体的性能起着至关重要的作用,尤其是近年来随着数字无线通信市场的快速膨胀,对高采样率和高分辨率 ADC 的需求变得更是日益迫切^[5]。

由于 ADC 的重要性,几十年来,提高 ADC 的性能一直是学术界和工业界的热点和难点,许多的科学机构都把目光聚焦于高性能 ADC 的研究开发。然而,很多高速高精度 ADC 在性能提高的同时,功耗也变得非常可观。现实中,为了满足用户需要,各生产商开发出不少便携式的新设备,这些高性能电子产品要求采用高性能低功耗的高效能集成电路芯片。诸如便携式个人医疗仪器、mp3、手机、平板电脑及数码相机等电子产品的大量上市及快速更新换代要求使用更小尺寸、更低工作电压以及更低功耗的 ADC 和 DAC。同时,ADC 的应用领域多种多样,有些用户侧重要求高速度的 ADC,有些用户需要高分辨率的 ADC,更有些要求高速与高分辨率兼具。但无论如何,低功耗是用户普遍要求的一个关键指标。精度、速度和功耗是衡量一个 ADC 性能好坏的三个关键指标。当前,国际上比较常用的衡量 ADC 效能的品质因数 FoM (Figure of Merit) 表达式为: $FoM = \text{功耗} / (2^{\text{有效位数}} \times \text{采样频率})$ 。可见, FoM 的大小与 ADC 的精度和速度成反比,而与系统功耗成正比。要提高 ADC 的性能,降低 FoM 值,就需要在更低的功耗基础上实现更高的精度和更快的速度。

为了在深亚微米甚至纳米工艺下进一步提高 ADC 的性能,研究者们提出了一系列的设计技术,比如采用新的电路结构、采用各种数字校正技术等。在现有的几种方式中,使用数字校正方式是进一步提高 ADC 性能的最佳途径。数字校正是在现有的集成电路设计和制造技术水平下,利用数字校正算法,降低甚至消除各种非理想因素对 ADC 性能的影响,最大化提高 ADC 的性能。该技术将已成熟的数字信号处理技术应用到集成电路设计中,能够在改善性能的同时有效降低 ADC 的功耗。数字校正技术有助于突破集成电路制造工艺对模拟电路的限制,这一点对于数模混合电路设计来说至关重要。由此可见,如果要在进一步提高 ADC 速度、精度的同时降低功耗,研究更先进、更有效的数字校正方式是必由之路。这在无论是现在还是将来,对 ADC 的发展都具有至关重要的意义。

1.2 流水线型 ADC 国内外研究现状

模数转换技术是随着数字信号处理技术而发展起来的。20 世纪 60 年代,随着计算机的应用,数字信号处理技术开始出现,并很快得到发展,数模转换技术也随之产生。国外,模数和数模转换技术的研究发展始于 70 年代。随着技术的发展和工艺的进步,一些著名的厂商例如美国的 ADI (Analog devices Incorporation, ADI) 公司、TI (Texas Instruments, TI) 公司都曾经设计过大量的 ADC 产品并推向市场。以 ADI 公司为例,目前该公司的产品中,高速 ADC 已经能做到 16 位分辨率,二百多兆的采样速度,比如 AD9467;而更高分辨率的 ADC,比如 18 位的则能做到几兆的采样速度,比如 AD7982;24 位的超高精度 ADC,速度也已经突破了 1 兆,比如 AD7760^[6]。而一些研究机构,例如美国的斯坦福大学、加州大学伯克利分校、洛杉矶分校等,在对 ADC 的研究方面始终处于世界的前列。近 2、3 年在集成电路领域顶级杂志 JSSC (IEEE Journal of Solid-State Circuits)、ITCASI (IEEE Transactions on Circuits and Systems I) 和 ITCASII (IEEE Transactions on Circuits and Systems II) 上发表的文章中有不少高性能的 ADC,包括高速的过采样型 ADC^[7]以及采用改进的电路结构^[8,9]、或者改进数字校正结构^[10,11]、又或者采用新型半导体材料的流水线型 ADC^[12],再有就是采用并行时间交织流水线结构的 ADC^[13-15]。

相较于国外,国内 ADC 和 DAC 芯片的设计起步较晚,研究水平和技术较落后,能够市场化满足实际用户需求的产品不多。这就造成了国内模/数-数/模转换芯片产业的巨大市场与国内落后的技术水平之间的落差。近年来,国内的一些高校(比如清华大学、复旦大学等)和研究机构(比如中科院微电子所、半导体所等)也发表了一些高水平的文章。比如,清华大学在文献[16]中设计了一款 12 位 40 MHz 的流水线型 ADC;复旦大学在文献[17]中设计了一款 10 位 30 MHz 的流水线型 ADC。但是相对于国外来说,国内的整体研究水平还是有一定的差距。

目前应用的 ADC 有多种结构,最常见的包括 FLASH 型 ADC、 Σ - Δ 型 ADC、逐次逼近型 ADC (Successive Approximation Register, SAR) 和流水线型 ADC 等。图 1-1 给出了这几种类型的 ADC 速度和分辨率的大致分布区间。FLASH 型 ADC 多应用于高速低分辨率的场合,其速度大多集中在 50 MHz ~ 50 GHz 之间,分辨率在 3 ~ 10 位之间; Σ - Δ 型 ADC 为低速高分辨率 ADC,速度在 1 kHz ~ 1 MHz 之间,分辨率为 14 ~ 24 位之间;SAR 型 ADC 多用于中低速度和分辨率,其速度为 10 kHz 到 50 MHz 之间,分辨率分布在 8 ~ 16 位之间;流水线型 ADC 多用于中高速度和分辨率,其速度在 1 MHz ~ 1 GHz 之间,分辨率为 6 ~ 15 位之间。在这些常用的 ADC 中,流水线型 ADC 作为中高速 ADC 的

代表，可以实现速度和分辨率的折衷，因此在很多场合都得到广泛应用。

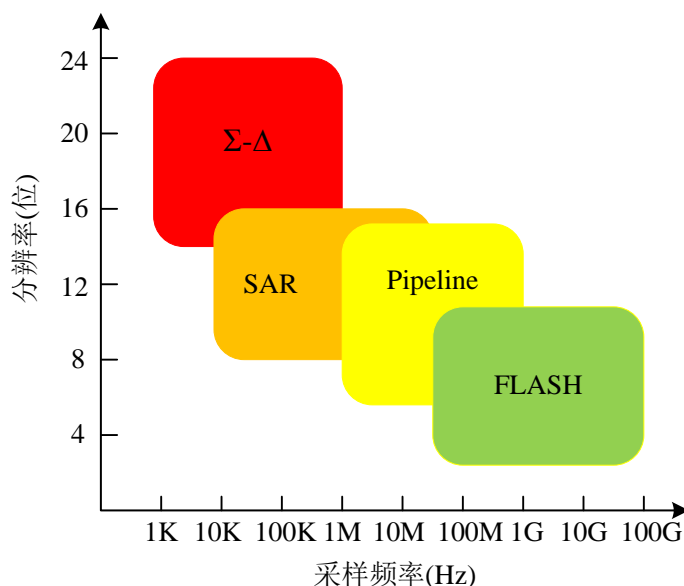


图 1-1 几种类型 ADC 性能大致分布图

Fig.1-1 Several kinds of ADC performance distribution

表 1-1 中列出了近 3 年以来各大研究机构发表的具有代表性的应用流水线结构的 ADC 设计实例^[15,18-20]。文献[15]中设计了一款采用 Pipeline-SAR 结构的并行时间交织型 ADC；文献[18]中采用后台数字方法来校正流水线型 ADC 的数字开关噪声；文献[19] 中设计了一款 14 位、60 MHz 的流水线型 ADC，该 ADC 采用自适应的后台数字校正方法来校正放大器的增益非线性误差；文献[20]设计了一款采用数字校正技术的流水线型 ADC；文献[21]中采用谐波失真校正法来校正流水线型 ADC；文献[22]中设计了一款 10 位、25MHz、功耗 1.25 mW 的流水线型 ADC。从顶级杂志 ADC 方向论文的发表趋势来，作为中高速度和精度代表的流水线型 ADC 仍然是当今国际上的研究热点，而这些流水线型 ADC 普遍采用数字辅助校正技术来增强性能、降低功耗。从这些文献可以看出，当前流水线型 ADC 的流行设计方向包括并行时间交织结构、各种数字辅助增强算法、低功耗设计等。

上述的文献调研表明，流水线型 ADC 数字校正技术是当前国际上 ADC 研究的流行方向。国内的一些研究机构虽然在 ADC 研究方面取得了一些成果，但是对于流水线型 ADC 数字校正技术的研究却相对较少，市场化的产品不多，难以满足国内巨大市场的需要。由此，加强对流水线型 ADC 数字校正技术的研究，进而研发具有自主知识产权的高性能 ADC 和 DAC 产品，对我国信息产业的进步、甚至是下一步开拓国际市场都具有很重要的意义。

表 1-1 最近各大研究机构流水线型 ADC 代表论文

Table1-1 Pipeline ADC representative papers of major research institutions

作者	文献号	年份	所在刊物	所属机构
Bob Verbruggen 等	[15]	2012	JSSC	Imec Leuven Belgium
Nick C.-J. Chang 等	[18]	2014	JSSC	University of California
Yuichi Miyahara 等	[19]	2014	JSSC	University of California
Bing-Nan Fang 等	[20]	2013	JSSC	Taiwan National Chiao-Tung University
Nevena Rakuljic 等	[21]	2013	ITCAS I	University of California
Yunjae Suh 等	[22]	2014	ITCAS II	Korea Advanced Institute of Science and Technology

1.3 数字辅助校正技术

在深亚微米乃至纳米级 CMOS 工艺下，晶体管的本征增益和工作电压降低，晶体管的线性度变差，性能受工艺波动的影响更加严重，此时采用单纯的模拟电路设计技术来设计 ADC 显然已经无法满足数字信号处理技术的发展要求。在这一背景下，设计不同的 ADC 结构所对应的数字校正算法变得非常迫切。在过去的 30 年中，研究者们发表了有大量关于 ADC 的文献^[23-32]。在这些文献中，前期的参考文献大多采用传统的 ADC 结构。随着对性能要求的提高，传统的 ADC 已经无法满足快速发展的数字信号处理技术的需要，研究者们开始提出各种数字辅助技术来提高 ADC 的性能。ADC 数字辅助校正技术在近几年开始被各大企业和研究机构重视，并且逐渐成为 ADC 设计的热点方向。

为了进一步提高 ADC 的性能，研究者们先后提出过多种 ADC 校正方法。激光修调是最早使用的 ADC 校正技术^[33-34]。这种技术在校正之前，输入一个事先已知的信号，然后通过 ADC 系统的输出来测量系统中存在的误差值。再根据误差值来设定相匹配的单元元素，最后使用激光束来进行烧制修调，以提高器件的匹配精度。激光修调属于一种破坏性的技术，这种技术无法逆转第一次校正所造成的损害，所以这种技术的应用有一定的局限性，近年来逐渐被各种自校准技术所取代。

在激光修调技术之后又出现了一些利用电路结构的特殊性来进行修正的技术。在文献[35]中，作者采用了一种电容误差平均技术来解决 1.5 位/级流水线型 ADC 中子 DAC 电容不匹配问题。作者设计了一种时钟方案，该时钟具有三个相位，第三个相位被用来平衡两个电容器的失配误差。这种方法不是确

定性的，并且都只适用于 1.5 位/级的流水线型 ADC，并不像自校正技术那样可以跟踪环境的变化，所以应用很少。

自校正技术指的是不采用外部设备的辅助，通过 ADC 系统自身检测误差，并且进行校正或补偿的技术。自校正技术按校正所需的电路类型分，可以分为模拟校正和数字校正；模拟自校正一般需要改变模拟电路设计或者添加额外的模拟电路、开关阵列等。校正过程在添加的模拟电路的辅助下估计误差，对误差进行补偿或者使得参数趋近于理想值。模拟自校正比较直接和简单，能够直观的对电路中的各种参数进行校正。这种校正方法工作比较稳定，不容易受到偏移、电压波动、噪声等因素影响。这种方法存在的问题是灵活性和可操作性较差，而且需要对模拟电路进行修改，会造成额外的功耗和硬件开销。与模拟自校正技术相反，数字自校正技术一般不需要修改模拟电路，而是通过添加片上数字电路或片外数字处理器来实现校正。这种校正技术最常见的实现方法是事先加入测试信号，通过检测 ADC 的数字输出值来预测系统存在的误差，并且加以补偿。数字校正最大的优势在于，它只需要添加小规模数字硬件开销，就能够达到很好的校正效果，并且数字电路的功耗也相对较低。在深亚微米甚至纳米级 CMOS 工艺下，这种校正技术尤其具有优势。由于不需要对模拟电路进行修改，这种校正方式比模拟校正更加健壮、灵活。在实际应用中，需要根据 ADC 中误差的类型来设计相应的校正方案。

校正技术按照发展的不同阶段，又可以分为前台校正和后台校正。前台校正技术最早由 Karanickolas A. N 在文献[36]中用来校正 1 位/级流水线 ADC 的电容失配误差。前台校正的校正过程与 ADC 的正常转化过程一般不是同步的。例如文献[37]中采用一个 7 位的片上 DAC 来产生测试信号，以估计误差值，然后在正常转换过程中对误差值进行补偿以达到校正目的。图 1-2 给出了前台校正技术的系统框图。该系统由两部分组成：误差估计和误差补偿。在误差估计阶段，在系统输入端输入一个已知的测试信号，然后检测系统的输出值，计算输入值与测试信号的差值，利用这个差值来衡量或估计系统误差的大小，并将得到的系统误差值记录下来。在误差补偿阶段，也就是 ADC 正常转化阶段，将在误差估计阶段记录下来的误差值补偿到转换结果中。从前台工作过程可以看出，误差估计和误差补偿是两个独立的过程，也就是说误差估计无法在 ADC 正常转换期间完成，必须打断正常的模数转换流程。实际上，前台校正的主要特点就是必须打断正常的模数转换流程，而这一特点使得它的应用有一定的局限性。前台校正具有稳定、直观、实现简单的优点，但是这种校正技术无法实时根据环境（环境温度、电压波动、芯片工作状态）的变化对校正参数做出调整。为了克服前台校正的局限性，研究者们在前台校正的基础上做了一些改进，

这些经过改进的技术可以称为准后台校正技术。准后台校正技术的工作原理很像前台校正技术，也是通过提前加入测试信号来对系统误差进行估计。但在前者基础上，设计者们又加入了一些辅助手段，使得误差估计过程不中断正常的模数转换流程，并且可以根据外界环境的变化来调整估计所得的误差值。比较典型的准后台校正技术有两种。第一种是通过添加额外的硬件来估计 ADC 系统中存在的非理想因素^[38,39]。比如在文献[40]中，作者设计了一个额外的子级，利用这个子级来对 ADC 进行前台校正。另一种是跳过再回填 (skip and fill) 技术，这种技术采用跳过一个采样点的方式来估计误差，然后再进行回填^[41,42]。准后台校正技术能够在一定的程度上克服前台校正技术的缺点，但是这些技术往往设计起来较为复杂，需要付出的硬件和功耗等的代价也较大。

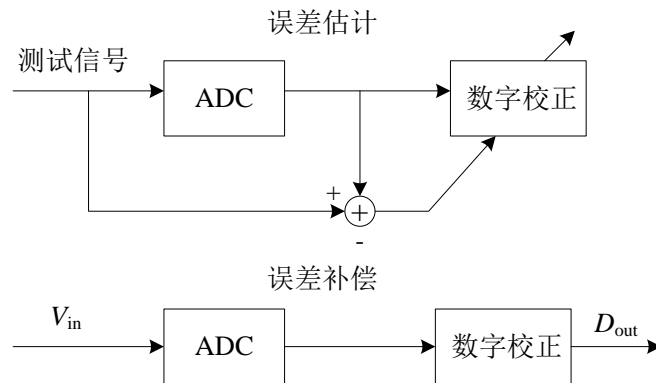


图 1-2 前台校正技术系统框图

Fig.1-2 Foreground calibration technic system block diagram

在实际转换流程中，ADC 的系统误差是随时变化的。这是因为系统中存在各种电压偏移和低频噪声等，而半导体器件工作的环境和器件电学参数本身都会变化。比如级间运算放大器的放大倍数会随着电源电压和器件参数的变化而波动，而器件参数也会受外界温度的影响。这个时候就需要对各种误差参数进行周期性的测量和校正，并且在校正的同时不能打断 ADC 的正常转换流程。后台校正技术具有不打断正常的模数转换流程，能够实时跟踪外部环境和内部因素变化等优点，所以这种技术具有很高的研究与实用价值。近年来，国内外各大研究机构的研究者们提出了很多种后台校正技术。这些校正技术大体可以分为两类：依赖统计规律的校正技术和确定性的校正技术。这也是本文所研究和阐述的主要内容。

1.3.1 基于统计规律的校正技术

这种校正技术主要是通过对输入信号进行伪随机码调制，利用伪随机序列的统计特性来对 ADC 系统中的非理想因素进行校正^[43-50]。这种技术最早被用来改善 ADC 的 SFDR。例如在文献[46]中，Fetterman 采用了一种抖动 (dithering)

技术, 这种技术主要是把 ADC 的谐波失真平均到伪随机码 (Pseudo-random Number, PN) 信号的宽频带中, 以达到提高线性度的目的, 所以这种技术只对 SFDR 有作用, 对 SNDR 的提高没有帮助。

在这类技术中, 一般在系统前端对输入信号进行 PN 调制, 被调制过的信号经过 ADC 转换后, 输出码中会带有非线性失真的信息。在后级中, 借助统计规律的辅助, 将非线性失真提取出来, 以达到校正目的。近年来, 应用统计规律对流水线型 ADC 进行校正大体可分为两个方向。第一个方向是利用伪随机码的统计特性对非线性误差进行估计, 将估计所得的误差值补偿到 ADC 的输出码值中实现校正。这一方法应用的典型例子是在文献[47]中, Murmann 采用伪随机码对第一级子 ADC 的输出码进行调制, 利用随机信号的统计特性, 通过后级 ADC 输入信号对应的数字码值来估计该码值出现的概率, 从而查表得到放大电路中的三阶非线性误差, 然后在后级电路中进行补偿以达到校正目的。另一个方向则是利用伪随机码与除自身之外的输入信号不相关的特性。这种方法是对输入信号进行伪随机码调制, 因为伪随机码与其它信号的相关性为 0, 经过长期的相关性运算后可以分离出 ADC 信号通路中的线性或非线性误差。这一方法的典型应用是在文献[43]中, Ming 将输出码和 PN 码做相关性运算, 从而修正级间增益误差。

1.3.1.1 采用统计规律估计非线性误差值

图 1-3 给出了一个利用统计规律来估计非线性误差并实现校正的例子。首先, 在 ADC 的输入端对输入信号 V_{in} 进行 PN 调制。经过调制后的信号经过第一级子 ADC 转换在第一级的输出端得到余量信号 V_{res} , V_{res} 经过级间余量放大器放大后得到 V_{res1} , 此时的 V_{res1} 由 PN 调制前的余量曲线变为双余量曲线。 V_{res1} 信号在后面的转换中被转化为后台码值 D_{b1} , D_{b1} 中含有第一级转化通路中的非线性失真信息。紧接着利用伪随机码的统计规律来估计信号通路中的非线性失真误差, 最后对这些误差进行补偿实现校正。需要注意的是, 经过 PN 码调制后, 被调制的子级输出信号范围发生了改变, 这个时候就需要对下一级子 ADC 的输入信号范围进行调整, 以防止信号溢出造成错误。

经过 PN 码调制后, 后台 ADC 的输出码值变为图 1-4 的形式。为方便起见, 取图 1-4 中双余量曲线中的一段为例, 如图 1-5 所示。在理想情况下, 双余量曲线为两条平行的直线段, 对于同一个横坐标 V_{d1} 或 V_{d2} , 两条线上分别对应的点之间的距离 d_1 或 d_2 是一个固定值, 即 $d_1=d_2$; 当非线性失真存在时, 直线变为类似抛物线的形式, 两条线上对应的点之间的距离值也会发生变化, 即 $d_1 \neq d_2$ 。这种校正方法就是利用信号被 PN 码调制后的余量曲线中两条线之间的距离差并结合统计规律来估计非线性误差参数。

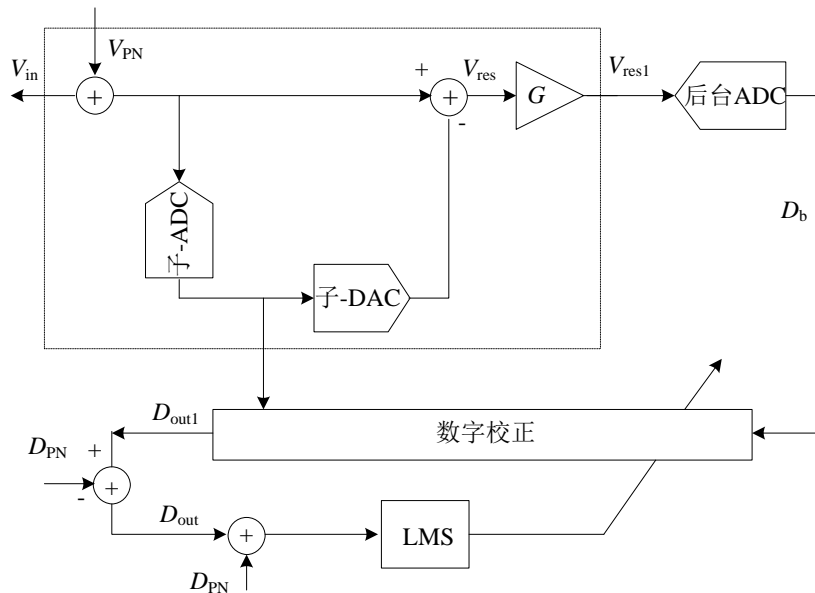


图 1-3 基于统计规律估计非线性误差的校正技术示意图

Fig.1-3 Calibration technic diagram for statistical based background nonlinear estimation

对于 PN 码来说，码值“0”和码值“1”出现的概率是相等的，都是 50%。利用这一特点，对于同一个输入信号值，经过“0”和“1”调制后，在图 1-5 中纵坐标的位置也是相同的。也就是说，可以根据已知输出码的纵坐标位置，来估计同一输入信号被另一个随机码调制后，码值在另一条曲线上的位置，从而求得两条曲线之间的距离。然后利用距离值通过查表法来估计三阶误差值，最后再将这个误差值补偿给后台码值实现校正。

实际的校正过程在最小均方 (Least Mean Square, LMS) 算法的辅助下实现。LMS 算法属于自适应算法的一种，在 3.2.2 中，将对自适应算法进行详细介绍。

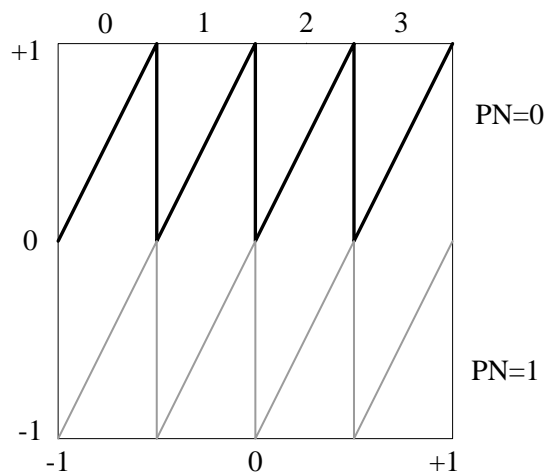


图 1-4 PN 调制后的输出码值

Fig.1-4 Output codes after PN modulation

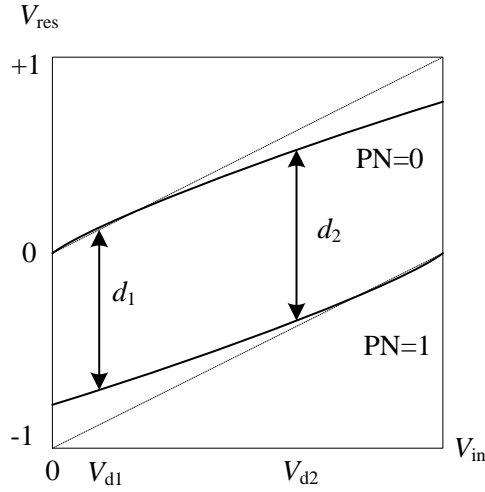


图 1-5 双余量曲线

Fig.1-5 Double residual curve

1.3.1.2 利用随机信号的不相关特性

为了在不增加模拟电路复杂度的基础上利用随机信号的统计特性,人们尝试以多种方式在 ADC 系统信号路径中加入随机信号进行调制。当前常用的有两种:在子 DAC 中加入随机信号和在子 ADC 中加入随机信号。其中最常见的是在子 DAC 的输出端加入随机信号。图 1-6 描述了对子 DAC 的输出信号进行伪随机码调制的过程。其中 G 表示级间运算放大器的实际增益 D_{out} 为 ADC 系统的输出, G_e 为放大器增益的估计值。 e_s 和 e_B 分别表示子级和后台 ADC 中引入的量化误差。因此,经过 PN 调制后,ADC 的系统输出量见式(1-1)。对公式(1-1)求数学期望,可以得到公式(1-2)。伪随机码 PN 与除自身之外的其它信号相关性都为 0,方差为 1。经过长时间的相关性运算, G_e 的值会无限接近 G 。利用 G_e 值去对 ADC 系统进行校正,可以校正级间余量放大器的增益误差。

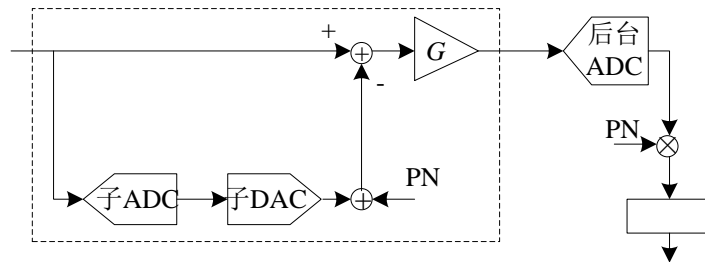


图 1-6 插入 PN 校正余量放大器增益误差原理图

Fig.1-6 Injecting PN to calibrate residual amplifier gain error diagram

$$D_{out} = -(e_s + PN)G + e_B \quad (1-1)$$

$$\begin{aligned} G_e &= E\{[(e_s + PN)G + e_B]PN\} \\ &= PN^2 G \end{aligned} \quad (1-2)$$

采用随机信号调制法也可以对级间运算放大器的谐波失真进行校正。这种

情况下需要用到多个伪随机码的不相关性,通过插入多路随机信号来实现。实现原理如图 1-7 所示,多路随机码信号之间都是不相关的,其中 $PN_k(K)$ 表示第 k 路随机信号,用来校正第 K 阶谐波失真。

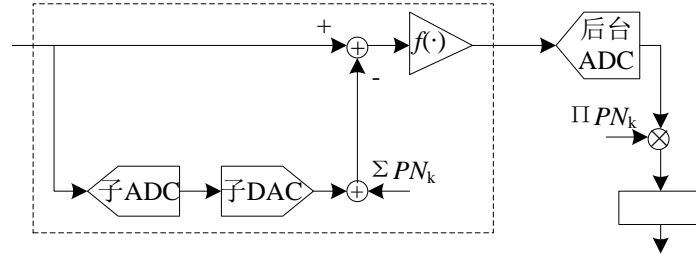


图 1-7 插入多路 PN 校正余量放大器谐波失真原理图

Fig.1-7 Injecting multiple PN to calibrate residual amplifier harmonic distortion diagram

多路 PN 信号插入后,输出信号的表达式见式(1-3)。由于每一路 PN 信号都是互不相关的,所以信号的均值为 0。利用式 $\prod_{k=1}^n PN_k$ 可以估计出每一阶的谐波失真系数 f_n , 表达式见式(1-4)^[51]。

$$\begin{aligned}
 D_{\text{out}} &= -f\left(Q_s + \sum_{k=1}^m PN_k\right) + Q_B \\
 &= -\left[f_1\left(Q_s + \sum_{k=1}^m PN_k\right) \right. \\
 &\quad \left. + f_2\left(Q_s^2 + \sum_{k=1}^m PN_k^2 + 2Q_s \sum_{k=1}^m PN_k^2 + 2 \sum_{k=1, j=1, k \neq j}^m PN_k PN_j\right) \right. \\
 &\quad \left. + \cdots + f_n\left(Q_s^n + \sum_{k=1}^m PN_k^n + \cdots + n! \prod_{k=1}^n PN_k\right) \right] + Q_B
 \end{aligned} \tag{1-3}$$

由于插入的 PN 信号都与系统中存在的谐波信号是不相关的,并且这些 PN 信号之间也是互不相关的,那么,经过长期的相关性运算,可以把谐波失真系数分离出来。但是这种校正技术,尤其是在插入多路 PN 信号时,需要很长时间的运算才能达到较高的精度。

基于统计规律的校正算法不需要改变模拟部分的电路,不需要额外加入测试信号,对输入信号的带宽等也没有特殊的要求。但其存在的问题是算法的收敛速度较慢。在第一种校正方式中,估计三阶非线性误差时需要把误差值存储在 ROM 中,通过查表来获得,算法收敛依赖于信号传输的统计特性,而统计特性必须在收集足够多的样本数(在文献[47]中,这个样本数是 50000 个)之后才能满足,所以算法收敛慢。第二种校正方式主要用来校正级间运算放大器的增益误差和 MDAC 电容匹配误差,也能够校正放大器的增益非线性误差。

这种校正方式，往往要经过长时间的相关性运算，过程复杂，算法收敛时间更长。

$$\begin{aligned}
 f_n' &= E \left\{ \left[-f \left(Q_s + \sum_{k=1}^m PN_k \right) + Q_B \right] \prod_{k=1}^n PN_k \right\} \\
 &= E \left\{ \left[- \sum_{j=1}^m f_j (Q_s + \sum_{k=1}^m PN_k)^j + Q_B \prod_{k=1}^n PN_k \right] \right\} \\
 &= E \left\{ \left[-f_1 (Q_s + \sum_{k=1}^m PN_k) \right. \right. \\
 &\quad \left. \left. + f_2 \left(Q_s^2 + \sum_{k=1}^m PN_k^2 + 2Q_s \sum_{k=1}^m PN_k + 2 \sum_{k=1, j=1, k \neq j}^m PN_k PN_j \right) \right. \right. \\
 &\quad \left. \left. + \cdots + f_n \left(Q_s^n + \sum_{k=1}^m PN_k^n + \cdots + n! \prod_{k=1}^n PN_k \right) + Q_B \right] \prod_{k=1}^n PN_k \right\} \\
 &= n! f_n
 \end{aligned} \tag{1-4}$$

1.3.2 确定性的校正技术

与基于统计规律的校正技术相对应的是确定性的校正技术。所谓确定性，指的就是算法收敛不依赖统计规律。这一类的校正算法或者是采用参考 ADC 来为传输函数模型的建立提供插值节点，或者采用测试信号来加速算法的收敛，或者采用其它的代替方法。这类校正算法有一个共同的特点，就是收敛速度快。

第一种确定性的校正技术是使用参考 ADC 来对流水线型 ADC 中的非理想因素进行校正^[52-58]。这种校正技术一般设计一个额外的参考 ADC，通过参考 ADC 与实际 ADC 之间的差值来衡量系统中存在的误差，然后在后级采用自适应算法进行消除。图 1-8 中的参考 ADC 采用低速高精度的 ADC，这里的参考 ADC 速度往往比主 ADC 低很多，只是主 ADC 速度的 1/M，而精度一般比实际 ADC 要高个二、三位。这样选择的参考 ADC，能够更精确的衡量系统误差，而参考 ADC 的低速度又保证了较低的功耗，相对于校正前的实际 ADC，增加的功耗负担不会太大。这种技术由 Panigada 和 Chiu 分别在文献[52]和文献[53]中提出。这种技术要求输入实际 ADC 和参考 ADC 的信号是同步的，如果不同步，则会引入额外的误差。这个时候需要在前端放置一个高精度的采样保持电路来保证信号的同步性。同时，这种技术对两路信号的时钟同步性要求也比较高。而且，做为参考 ADC 的设计要求比较严格。在文献[54]中，Wang 设计了一个算法型 ADC。在文献[55]中，Tsang 设计了一个 Σ - Δ 型 ADC。参考

ADC 法最高效的应用是在并行时间交织型 ADC 中，只需要一个参考 ADC 就可以对多路信号进行校正，可以降低校正成本。这种校正技术算法收敛不依赖统计规律，但是存在的缺点是需要额外设计一个参考 ADC，增加设计难度的同时硬件开销加大，并且对采样保持电路和时钟的要求都很高。

为了克服参考 ADC 法的缺点，在文献[59]中，Peng 使用了一种偏移双通道技术。这种技术最早使用是在文献[60]中，Liu 采用这种技术来校正逐次逼近型 ADC。这种技术的实现原理如图 1-9 所示。在输入信号中加入不同的扰动信号 $\pm\Delta a$ ，在第 n 个采样周期得到对应的后级输出 $y_A(n)$ 和 $y_B(n)$ ，比较这两个输出值，得到差值 $e(n)$ ，利用 $e(n)$ 来驱动自适应校正算法，最终将误差消除。

在文献[61]中，Peng 等采用虚拟的 ADC 来代替参考 ADC，对实际 ADC 进行校正。这种方法的示意图如图 1-10 所示。这种方法通过数字信号处理技术虚拟出一个参考 ADC，利用这个虚拟的 ADC 代替参考 ADC 来对实际的 ADC 进行校正。这种校正方法工作过程分为正常模式和校正模式两个阶段。在正常模式下，ADC 系统对输入信号进行正常转换，相当于图中的信号路径 A。在校正模式下，在输入信号中加入测试信号 δ ，相当于路径 B。设计合适的时钟生成方案，使得正常模式每出现 N 次，校正模式出现一次。在数字域中采用一个 FIR 滤波器用作数字预测器，利用路径 A 的前后 N 个输出来预测路径 B 的输出。将路径 B 的预测输出值和实际输出值做差，差值送入自适应滤波器对误差进行消除。在这种方法中用到的数字预测器决定了采用这种校正技术的 ADC 系统的输入信号必须是带限信号。这就对输入信号的频率有了限制，也是因为这个原因，这种虚拟 ADC 法只适用于输入信号是带限信号的情况。这种校正技术的前身是由 Cauwenberghs 和 Dogancay 分别在文献[62]和文献[63]中提出的基于频谱扩展的校正技术。这种方法的提出是基于带有非线性成分的 ADC 输出中含有信号的谐波成分，而带限信号的非线性失真会引起频谱扩展这一特点。这也解释了为什么其使用只能局限在输入信号是带限信号的情况下^[64]。该方法的实现流程如图 1-11 所示。假设输入信号带宽为 f_c ，ADC 的采样频率为 f_s 。根据采样定律^[65]，只有当输入信号带宽和 ADC 的采样频率满足 $f_c < f_s/2$ 时，采样之后的数字信号才能完整地保留原始信号中的信息。那么当 ADC 中不存在非线性误差时，输入带限信号的 ADC，理想输出中 f_c 和 $f_s/2$ 之间的频段是不应该有信号能量的。利用这一性质，当输入信号的最大带宽已知时，可以用一个带通滤波器来对 f_c 和 $f_s/2$ 之间的信号能量进行检测。如果待检测的频段内不存在任何频谱成分，那么该 ADC 中不存在非线性失真；否则，需要采用一个自适应的滤波器来消除非线性失真。

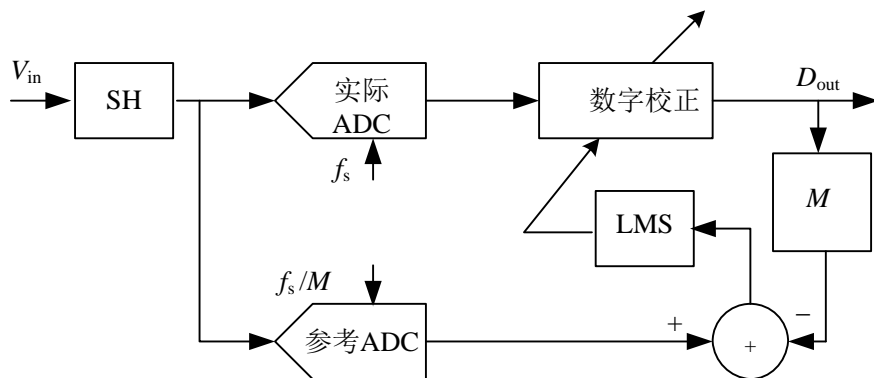


图 1-8 参考 ADC 法校正示意图

Fig.1-8 Reference ADC calibration diagram

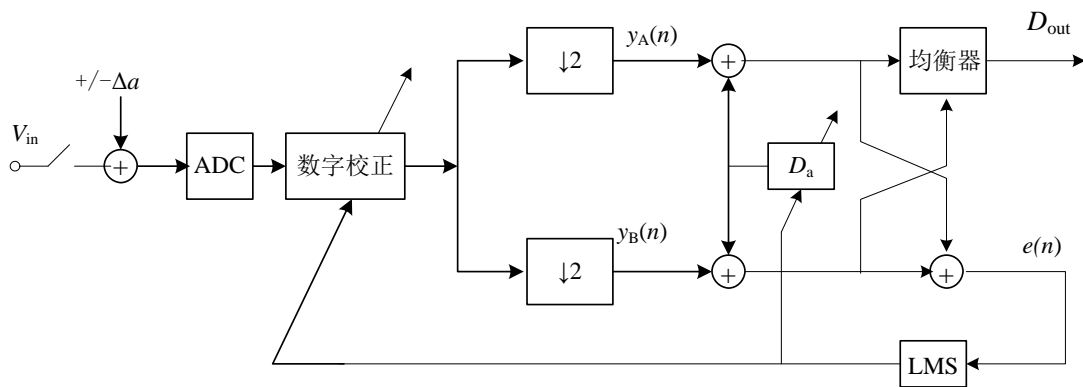


图 1-9 偏移双通道法校正技术示意图

Fig.1-9 Offset dual channel calibration technic diagram

还有一种确定性的校正技术是通过加入测试信号来加速算法的收敛。在文献[66]中，Kim 设计了一种时钟策略来对 Class-AB 型的级间余量放大器建立传输函数模型。这种方法系统框图如图 1-12 所示。这种校正技术工作过程同样分为测试模式和正常转换模式。在测试模式下，测试信号输入系统，建立级间传输函数模型。在正常转换模式下，输入信号进入 ADC 系统进行正常的模数转换，通过转换得到的后台码值与建立好的传输函数模型来估计理想的输出码值。在这种方法中，校正精度取决于建立的传输函数多项式模型的次数^[67]，可以发现如果校正精度越高，则硬件和功耗开销越大。这种方法收敛不依赖统计规律，也不需要额外设计参考 ADC，对输入信号也没有特殊要求。但其存在的缺点是，测试周期的加入会对 ADC 系统速度造成一定的影响。

确定性的校正算法，或者通过参考 ADC 来衡量非线性误差值，或者通过加入测试信号的方式来加速收敛，或者采用其它的替代方法。总而言之，确定性校正算法的主要优点是不依赖统计规律，收敛速度快；缺点是需要付出一些

其他方面的代价。

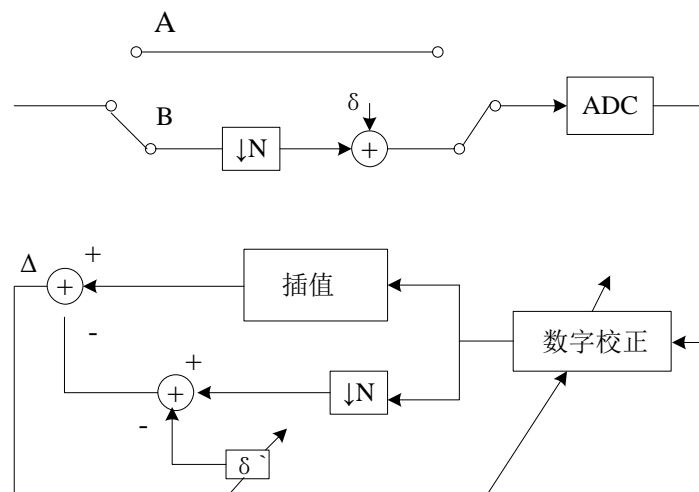


图 1-10 虚拟参考 ADC 法校正示意图

Fig.1-10 Virtual reference ADC calibration technic diagram

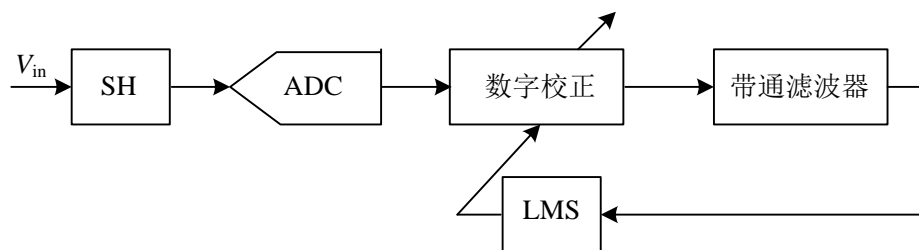


图 1-11 基于频谱扩展的校正技术

Fig.1-11 Spectrum extension based calibration technic

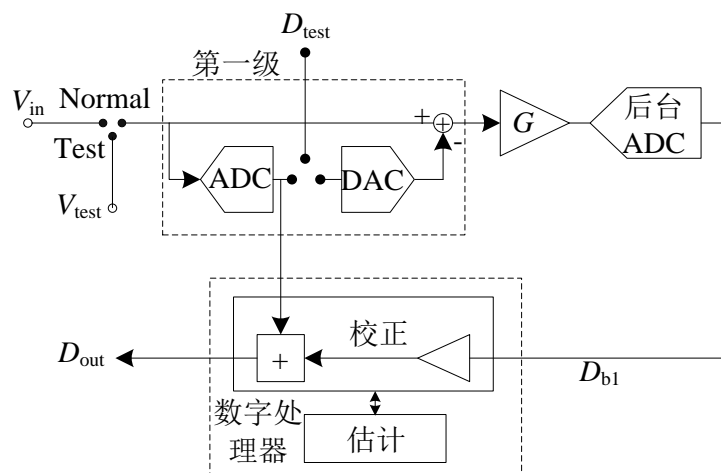


图 1-12 加入测试信号的确定性校正技术

Fig.1-12 Deterministic calibration technic with test signal

1.4 论文主要研究内容

本文通过分析影响流水线型 ADC 性能的主要因素，对相应的数字校正技术进行研究。针对现有的数字校正技术中存在的一些问题，分别从降低数字硬件代价、降低模拟硬件开销、提高校正精度的角度出发展开研究，主要内容包括：

(1) 研究了流水线型 ADC 基础理论并搭建了流水线型 ADC 数字校正技术仿真及验证平台。流水线型 ADC 相关理论是研究流水线型 ADC 数字校正技术的基础。本文首先对流水线型 ADC 及流水线型 ADC 数字校正技术相关理论进行了研究。在此基础上，采用硬件描述语言 Verilog-A 和 Verilog 建立了一个行为级仿真平台，并建立了一个基于 FPGA 的验证平台。这两项工作为后面的校正算法及电路设计研究提供了通用的仿真与验证平台。

(2) 研究基于统计规律的数字校正算法，提出一种采用分段线性插值法来估计级间放大器非线性误差的数字校正算法。对于高速、高分辨率流水线型 ADC 系统功耗普遍过高的问题，研究者们提出采用开环结构的级间放大器放大器来代替传统的闭环放大器。而对于开环放大器较高的非线性误差，采用基于统计规律的数字校正算法进行校正。传统的基于统计规律的校正算法采用高速 ROM 来存储误差值，校正范围受 ROM 容量的限制，并且 ROM 数量过大，导致设计成本过高。针对这一点，提出一种采用分段线性插值法的后台数字校正算法。首先在第一级中注入伪随机码对信号进行调制，然后通过被调制后的信号的统计规律结合分段线性插值法来估计非线性误差，并对误差进行补偿。区别于以前的设计，误差补偿中所用到的三阶误差值不是存在 ROM 中，由查表法得到，而是通过分段线性插值法直接计算得到，这样可以大量节约 ROM 存储器。仿真结果表明，这种改进的后台数字校正算法可以有效地提高 ADC 系统性能，并且硬件开销小、算法收敛速度快。

(3) 研究对级间放大器误差和电容匹配误差进行同时校正。提出一种采用统计规律来建立 MDAC 传输函数模型，然后采用模型来估计非线性误差的数字校正算法。这种算法利用通讯系统中信号传输的统计规律来建立 MDAC 传输函数模型，通过建立的传输函数模型来估计非线性误差，然后对该误差进行补偿。该校正算法不需要设计专门的模拟电路，能够降低模拟硬件开销和模拟电路设计复杂度。仿真结果表明，该校正算法可以有效地提高 ADC 系统性能。

(4) 研究确定性的数字校正算法，提出一种采用测试信号来建立开环放大器的传输函数模型，从而对放大器非线性误差进行校正的确定性数字校正算法。这种校正方法首先在测试信号的辅助下建立第一级开环放大器的传输函数模型，然后基于这个模型，采用后级 ADC 的输出码值来估计开环放大器的输

入码值。通过对开环放大器实际传输函数的分析,选取最接近实际情况的三次多项式来对传输函数进行近似,从而可以提高校正精度。为了进一步对这一校正技术进行验证,应用这一算法,设计了一款12位、40 MHz的流水线型ADC。在这款ADC中,采用了无采样保持电路结构、逐级缩减、运放共享、电容分裂等模拟电路设计技术。仿真结果表明,采用这种校正算法后,ADC的校正精度得到大幅度提高。

论文的第一项研究工作实现了一个基于Verilog-A的流水线型ADC数字校正技术行为级仿真平台和一个基于FPGA的验证平台,这两个平台将用于对后面数字校正算法的仿真与验证。第二到第四个研究工作分别从降低数字硬件代价、降低模拟硬件开销、提高校正精度的角度出发,提出了三种不同的数字校正算法。为了对校正算法进一步验证,应用第三种校正算法设计了一款12位分辨率,40 MHz采样率的流水线型ADC,在该ADC中采用了多种先进的电路设计技术,最终实现了版图。全文的主要研究工作及相互关系见图1-13。

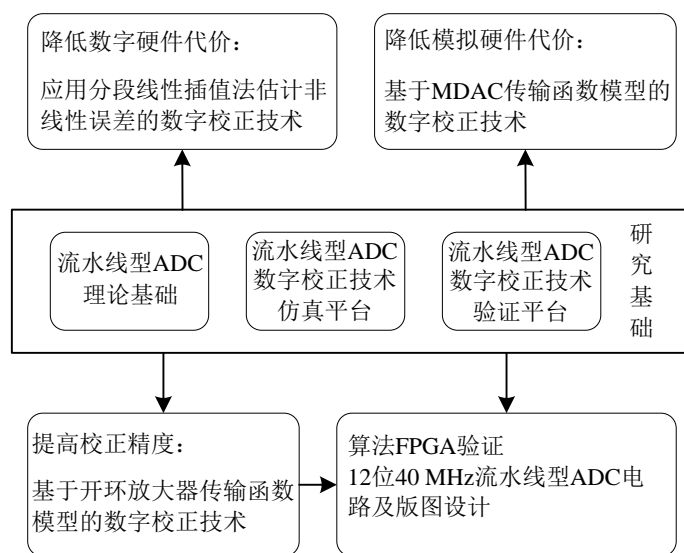


图 1-13 论文主要工作及相互关系示意图

Fig.1-13 Main research contents and correlation diagram

1.5 论文结构

第一章为绪论,介绍了课题的背景及研究意义,流水线型ADC国内外研究现状,并对ADC数字辅助校正技术进行了分类介绍。

第二章第一部分是流水线型ADC的理论基础,介绍了流水线型ADC的工作原理、非理想因素、性能指标及相应的电路设计技术等。第二部分建立了基于Verilog-A的流水线型ADC数字校正技术仿真平台和基于FPGA的流水线型ADC数字校正技术验证平台。

第三章研究一种采用分段线性插值法估计非线性误差的后台数字校正算法。这种后台校正方法是基于通讯系统中信号传输的统计规律，采用分段线性插值法估计开环放大器中存在的三阶非线性误差，在后台进行补偿以达到校正非线性误差的目的。不同于传统的基于统计规律的数字校正算法，本文中非线性误差通过直接计算得到，不需要 ROM 存储器，可以大量地节约存储器开销，并且校正范围不受存储器容量的限制。

第四章研究一种利用统计规律建立 MDAC 传输函数模型，从而估计非线性误差的数字校正算法。这种校正方法首先对第一级 MDAC 建立传输函数模型，然后利用该模型来估计非线性误差并补偿实现校正。采用该算法建立传输函数模型不需要设计专门的参考 ADC，可以降低模拟电路设计复杂度和模拟部分的硬件开销。

第五章研究一种在测试信号的辅助下建立开环放大器传输函数模型，然后结合后台数据来估计放大器输入值的数字校正算法。第一级级间放大器采用开环工作方式，通过对开环放大器实际工作情况的分析，选用最接近实际情况的三次多项式来对其传输函数进行近似，从而达到提高校正精度的目的。应用这种校正算法，设计了一款 12 位、40 MHz 的流水线型 ADC，其中采用了多种电路设计技术，最终实现了版图，并应用版图对该数字校正算法的校正效果进行了验证。

第2章 流水线型 ADC 数字校正技术仿真及验证平台

2.1 引言

研究流水线型 ADC 的相关理论并且搭建数字校正技术仿真及验证平台是研究流水线型 ADC 数字校正技术的基础，因此本章对流水线型 ADC 的理论进行了研究，并在此基础上搭建了基于 Verilog-A 语言的流水线型 ADC 数字校正技术仿真平台和基于 FPGA 的流水线型 ADC 数字校正技术验证平台。

2.2 流水线型 ADC 理论基础

2.2.1 流水线型 ADC 结构及子模块误差分析

传统的流水线型 ADC 结构如图 2-1 所示，由前置采样保持电路 (SHA) 和若干级位数相同或不不同的子级构成。按照信号处理的先后顺序，每个子级一般又由子级采样保持电路、子 ADC 电路、子 DAC 电路、减法电路和级间运算放大器电路组成^[68-76]，其中子 DAC 电路、减法电路和级间运算放大器电路一般被组合起来称为增益数模转换器。在设计过程中，可以采用电容逐级缩减 (Stage-scaling) 技术来降低系统功耗。冗余位结构常常被用来消除比较器失调的误差，以降低对子级比较器的设计要求。为了简化设计，一般在尽可能多的子级中采用相同的位数，而对子 ADC 的精度要求一般不高，最常用的是 1.5 位每级的 FLASH 型 ADC。通常情况下，系统时钟产生电路和基准源产生电路也一并集成在同一块芯片上。

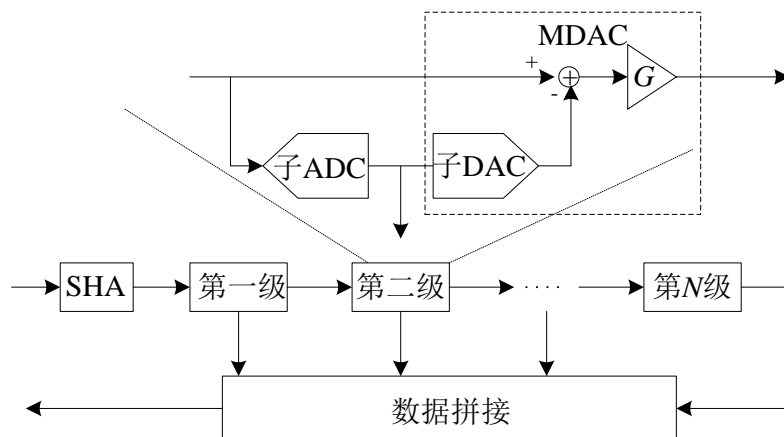


图 2-1 流水线型 ADC 结构图

Fig.2-1 Pipeline ADC architecture

在每个子级中, 子级输入信号 V_{lin} 同时进入子 ADC 电路和子级采样保持电路。 V_{lin} 通过子 ADC 转化为该子级的数字码值 D_1 。一方面, D_1 作为子级数字输出被送入时钟对齐电路进行数据拼接, 另一方面, D_1 进入子 DAC 电路被重新转化为模拟信号 V_{IDAC} , V_{IDAC} 与子级采样保持电路采样得到的信号相减得到该子级的余量信号, 这个余量信号经过余量放大器放大后被送入下一子级。级间余量放大器的作用是为了保证进入每个子级的输入信号范围是一致的, 如果前一子级的分辨率为 M 位, 那么放大器的放大倍数就是 2^M 。最后, 将各个子级的数字输出码进行时钟对齐, 按照一定的权重错位相加, 得到最终的数字输出码。

流水线型 ADC 的模/数转化过程和各子级之间采样与保持状态的切换过程由图 2-2 中的两相不交叠时钟控制。两相不交叠时钟由时钟产生电路产生^[77]。图 2-2 中, Φ_1 和 Φ_2 为一对两相不交叠时钟。当 Φ_1 为高电平, Φ_2 为低电平时, 奇数子级对信号进行采样, 此时偶数子级保持。当 Φ_1 为低电平, Φ_2 为高电平时, 奇数子级保持, 偶数子级采样。

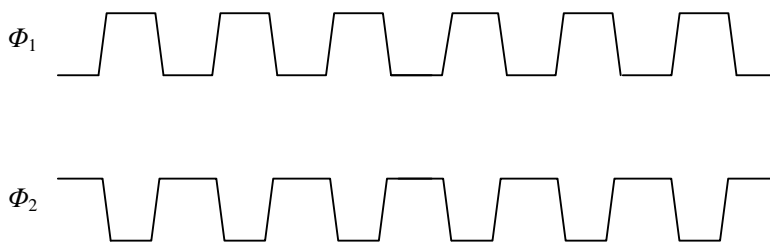


图 2-2 两相不交叠时钟

Fig.2-2 Two phase non-overlapping clock

2.2.1.1 采样保持电路

前置采样保持电路的作用是对输入的模拟信号进行采样, 把输入信号从时间和幅度上都是连续的信号变为离散的信号。采样保持电路的作用相当于把输入信号定格在某一个时刻, 具体的采样时刻由时钟的上升沿或下降沿控制。而子级中的采样保持电路使得输入到子 ADC 和 MDAC 中的信号是同步的。如果不使用采样保持电路, 则两个信号间存在时间差, 从而造成误差, 这一误差称为孔阑误差。

在采样保持电路中存在的主要误差是时钟抖动 (clock jitter)^[78]。图 2-3 给出了时钟抖动造成信号采样误差的示意图。可见, 当时钟抖动存在时, 信号将在错误的时刻被采样。这个时候采样误差的大小取决于信号的幅度和频率。从图中可以看出, 当信号斜率较小时, 误差值就小, 反之误差值大。时钟抖动会影响系统的信噪比 (Signal to Noise Ratio, SNR)^[79]。

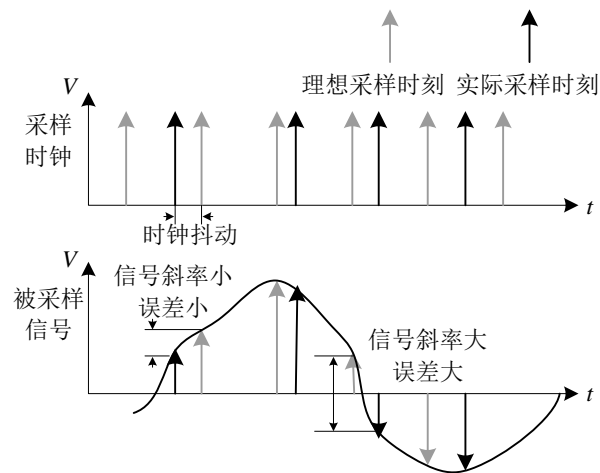


图 2-3 时钟抖动误差示意图

Fig.2-3 Clock jitter error

采样操作由一组采样保持开关实现。图 2-4 给出了采样开关的原理图。采样保持开关中存在的主要误差是时钟馈通和电荷注入^[80-82]。在采样结束时，在信号输入端和输出端都会有多余的电荷注入开关管，注入电荷的数量取决于时钟的上升时间和下降时间以及输入输出端的等效阻抗值，而这个等效阻抗值与输入输出端的电路结构和输入信号的值都有关系。总而言之，这些误差造成的非线性同样会影响输入信号的线性度^[83]。时钟馈通和电荷注入造成的误差可以采用底极板采样、改进的时钟策略、栅压自举开关 (Bootstrap Switch) 等技术来消除^[84-86]。

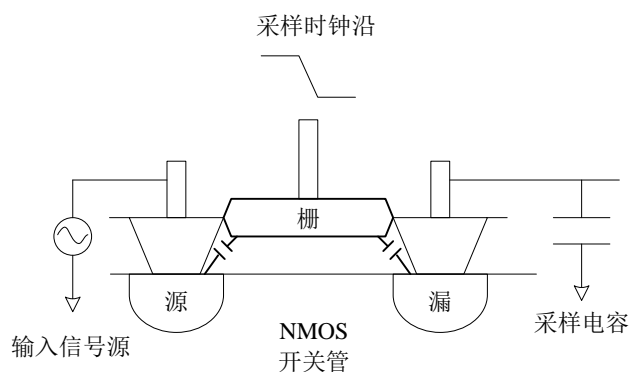


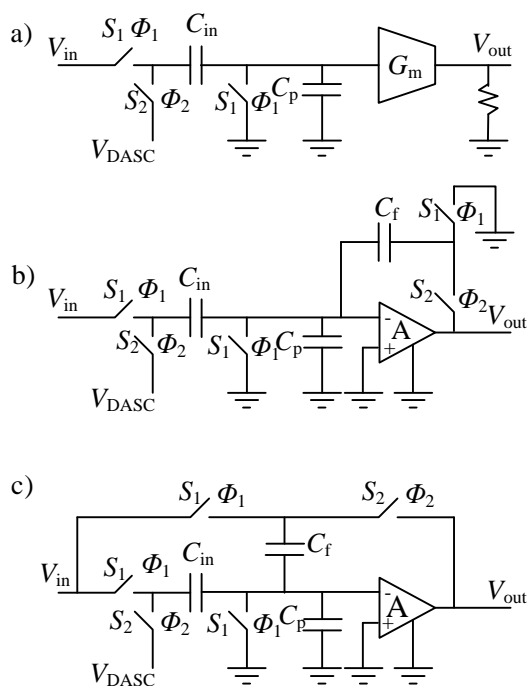
图 2-4 采样开关工作原理图

Fig.2-4 Sampling switch working principle diagram

2.2.1.2 MDAC

MDAC 中的子 DAC 负责把子级数字码转换为模拟量，而运算放大器将输入信号与这个模拟量的差值（也就是本级的余量信号）放大，以保证每一级的输入信号范围相同。图 2-5 a)、b)、c)以单端工作方式为例给出了 1.5 位 MDAC 电路的工作原理图，其中图 a)为开环工作方式，图 b)是采用电荷转移工作方式

的闭环放大电路,图 c)是采用电容翻转工作方式的闭环放大电路。图中 Φ_1 和 Φ_2 为一对两相不交叠时钟,分别控制开关 S_1 和 S_2 , V_{in} 为子级输入信号, V_{DASC} 为同级子 ADC 的输出码所对应的电平量值, C_{in} 为采样电容, C_f 为保持电容, C_p 为非理想情况下放大器输入端的寄生电容。在图 a)中, Φ_1 有效时, S_1 闭合, S_2 断开, 输入信号对 C_{in} 充电; Φ_2 有效时, S_1 断开, S_2 闭合, C_{in} 上的电荷发生转移, 开环放大器输入端电压确定并且被放大, 放大作用由开环放大器实现。在图 b)中, 当 S_1 闭合时, C_{in} 被充电; 当 S_2 闭合时, C_{in} 上的电荷被转移到 C_f 上, 输入端电压被放大, 放大作用由电容比实现。在图 c)中, S_1 闭合时, 输入信号同时对 C_{in} 和 C_f 充电; S_2 闭合时, 一部分电荷被转移到 C_f 上, 输入端电压被放大, 放大作用由电容比实现。



a) 开环工作方式 b) 采用电荷转移工作方式 c) 采用电容翻转工作方式
a) Open-loop working mode b) Applying charge shifting c) Applying capacitor turning

图 2-5 MDAC 电路

Fig.2-5 MDAC circuit

对比可见, 开环放大电路的增益由开环放大器的开环增益决定。而两种闭环工作方式, 环路增益都由电容比决定, 增益不可避免的会受到电容匹配度的影响, 也就是说除了放大器有限的放大器开环增益外, 电容不匹配同样会引起环路的增益非线性。

如果 MDAC 采用闭环工作方式, 那么这一部分的主要误差是电容不匹配误差^[87]、级间余量放大器增益误差和增益非线性误差。图 2-6 给出了子 DAC 电容

失配误差对 ADC 线性度造成影响的示意图。

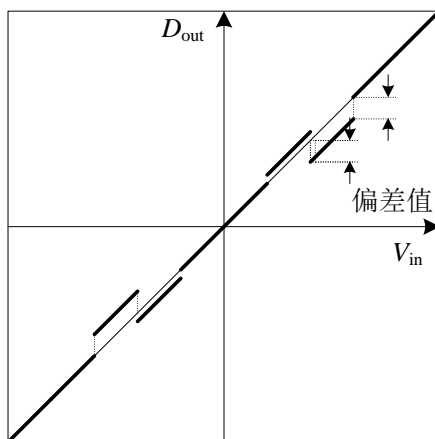


图 2-6 电容失配误差和级间余量放大器开环增益误差对线性度影响示意图

Fig.2-6 Effect of capacitor mismatch error and residual amplifier gain error to linearity

级间余量放大器的作用是对前一级的余量信号进行放大，使得该信号在送入下一级电路之前能够保持与系统输入信号范围相同。如果前级子 ADC 的分辨率为 M 位，那么放大器的放大倍数就是 2^M 。而在实际情况下，由于放大器开环增益有限性等各种原因，运算放大器的放大倍数不可能是精确的 2^M 。运算放大器中存在的误差可以分为两种：增益误差和增益非线性误差。如果运算放大器的增益与输入信号幅度无关，那么这个误差称为增益误差。增益误差对系统线性度的影响同电容不匹配误差造成的影响是一样的，属于线性误差；如果运算放大器的增益随着输入信号幅度变化而变化，那么这个误差称为增益非线性误差。

对于传统的闭环运算放大器结构，误差来源于放大器开环增益有限性和开关电容结构中的电容不匹配。在使用开环结构的运算放大器中，这一误差会产生的原因是放大器的输出阻抗会随着输入信号幅度的变化而变化。文献[47]中给出了运算放大器的近似传输函数模型，表达式见式(2-1)，其中 V_{in} 和 V_{out} 分别表示放大器的输入输出端电压， a_1 - a_i 分别表示第 $1-i$ 阶误差系数。式(2-1)中既包含了增益误差，又包含了增益非线性误差。图 2-7 以 1.5 位/级结构的流水线型 ADC 为例，给出了增益非线性误差对系统线性度造成的影响。

$$V_{out} = a_1 V_{in} + a_2 V_{in}^2 + a_3 V_{in}^3 + \cdots + a_i V_{in}^i + \cdots \quad (2-1)$$

2.2.1.3 子 ADC

子 ADC 由若干较低分辨率的比较器和电阻阵列组成。这一部分的功能是对输入信号进行量化，然后再将量化所得的子级编码一方面送入子 DAC 进行下一

步的转换，另一方面作为输出本级数字码输出，用于后期数据拼接、校正等。

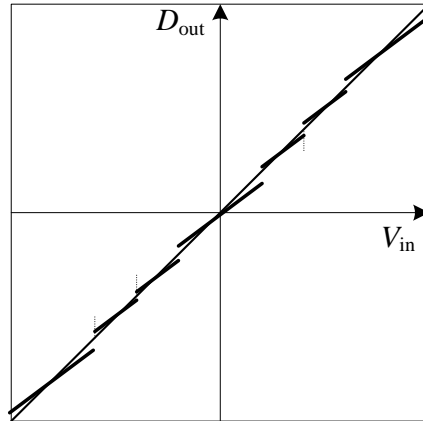


图 2-7 级间运放增益非线性误差对系统线性度造成的影响示意图

Fig.2-7 Effect of residual amplifier gain nonlinearity error to system linearity

子 ADC 中存在的误差主要是比较器失调、参考电压误差和锁存器延迟，其中参考电压误差也可以等效为比较器失调，属于同一类误差。由于器件制造过程中存在工艺漂移和偏差等因素，往往会造成放大器差分对管的不匹配，从而导致比较器出现偏差，这一偏差会影响到比较器的输出结果。图 2-8 给出了 1.5 位子 ADC 存在比较器失调时的输入输出特性曲线，其中 V_{in} 和 V_{out} 分别表示该子级的输入和输出电压。从图中可见，当比较器失调存在时，MDAC 输出的余量电压会超出下一级子 ADC 的输入信号范围，从而造成失码。

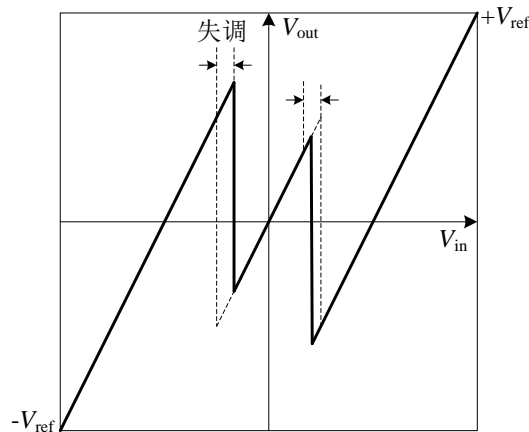


图 2-8 存在比较器失调时的 1.5 位子 ADC 传输函数曲线

Fig.2-8 1.5 bits sub-ADC transfer curve with capacitor offset

比较器失调主要通过冗余位校正技术来消除，冗余位校正技术将在 2.2.3 中详细介绍。

比较器的输出结果需要通过锁存器进行锁存，才能进行后续的编码操作等。在设计锁存器时要妥善地选择锁存器的上升和下降时间。在对信号进行锁存时

容易出现亚稳态,此时如果延迟时间太短,会造成输出码值错误。反之,如果锁存时间太长,输出编码在经过锁存器时消耗了过长的时间,那么用于 MDAC 建立的时间就会变短,导致 MDAC 的建立特性变差。

由于级间余量放大器的存在,流水线型 ADC 中每个子级存在的误差对整个系统的贡献并不相同。公式(2-2)给出了一个流水线型 ADC 系统误差总和的表达式,其中 e 表示系统总误差, e_1 - e_n 分别表示第 1 级到第 n 级中存在的误差, G_1 - G_n 表示第 1 级到第 n 级级间运算放大器增益。由公式(2-2)可见,子 ADC 误差对系统误差的影响从系统前端到后端逐级减弱。其中第一级的误差对系统的影响是最大的,所以第一级的电路设计要求最高。在对这些误差的校正中,对前面的子级需要重点考虑。

$$e = e_1 + \frac{e_2}{G_1} + \frac{e_3}{G_1 G_2} + \cdots + \frac{e_n}{G_1 G_2 \cdots G_{n-1}} \quad (2-2)$$

除了前面介绍的各个子模块中存在的误差之外,流水线型 ADC 中还存在一些其它的非理想因素,比如噪声、记忆效应^[88-91]等。

在流水线型 ADC 中存在多种噪声,其中最主要的是热噪声,而采样保持电路中的采样开关和采样保持放大器又是主要的热噪声源。采样开关热噪声通常也称为 KT/C 噪声,因为这种噪声值与 KT/C 的值成正比(其中 K 为玻尔兹曼常数, T 为绝对温度, C 为采样电容值)。要减小 KT/C 噪声,就需要增大电容 C 的值,此时电路的功耗也会随之上升。

记忆效应对 100 MHz 以下采样速率的流水线型 ADC 的影响并不明显,所以在这里,我们对非线性误差的考虑只限于无记忆效应的情况。

2.2.2 流水线型 ADC 主要性能指标

流水线型 ADC 性能的好坏可以通过多种参数来衡量^[92-98]。最常见的是 ADC 的速度和分辨率。ADC 的速度通常指的是 ADC 的采样速度,即每秒钟的采样次数。

ADC 的精度指标又可以分为静态特性参数和动态特性参数。其中,静态参数包括积分非线性(Integral Non-Linearity, INL)、微分非线性(Differential Non-Linearity, DNL)。动态参数包括信号噪声比 SNR、信号噪声失真比(Signal to Noise and Distortion Ratio, SNDR)、无杂散动态范围(Spurious Free Dynamic Range, SFDR)、总谐波失真(Total Harmonic Distortion, THD)、有效位数(Effective Number of Bits, ENOB)和动态范围(Dynamic Range, DR)等。

2.2.2.1 积分非线性和微分非线性

积分非线性 INL 和微分非线性 DNL 属于 ADC 的静态特性参数,用来衡量

ADC 的线性度。由于各种非理想因素的存在，ADC 的实际传输特性曲线会偏离理想曲线，而 INL 和 DNL 则用来衡量实际传输特性曲线与理想曲线之间的具体偏差值，一般用 ADC 的最小有效位 (Least Significant Bit, LSB) 来衡量。INL 定义为 ADC 的实际传输特性曲线与理想传输特性曲线的最大偏差，如图 2-9 所示，计算公式见式(2-3)和式(2-4)，其中 $V_i^{'}$ 和 $V_i^{'}$ 分别表示第 i 个码值对应的实际电压值和理想电压值， $0 < i < 2^N - 1$ 。DNL 指的是实际传输特性曲线的量化台阶与理想的 LSB 之差的最大值。具体如图 2-9 所示，表达式见式(2-5)和式(2-6)。

$$INL_i = \frac{(V_i^{'} - V_i^{'})}{V_{LSB}} = \sum_{j=2}^i \left(\frac{V_j^{'} - V_j^{'}}{V_{LSB}} - 1 \right) = \sum_{j=2}^i DNL_{j-1} \quad (2-3)$$

$$INL = \max(INL_i) \quad (2-4)$$

$$DNL_i = \frac{V_{i+1}^{'} - V_i^{'}}{V_{LSB}} - 1 \quad (2-5)$$

$$DNL = \max(DNL_i) \quad (2-6)$$

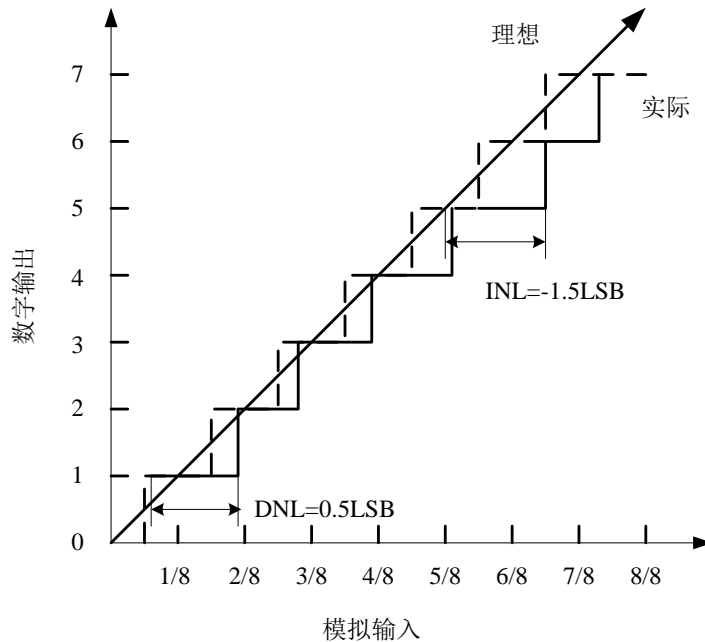


图 2-9 INL DNL 特性示意图

Fig.2-9 INL DNL characteristic diagram

从表达式可以看出，INL 实际就是 DNL 的积分。在计算 INL 和 DNL 时，有一点需要特别注意的是，这两个误差都是非线性误差，在实际计算时一般要去掉非线性失调和增益非线性误差。

2.2.2.2 信号噪声比

信噪比 SNR 指的是 ADC 输出信号频谱中, 信号能量 (P_s) 与总噪声能量 (P_N) 的比值, 计算公式见式(2-7)。

$$\text{SNR} = 10\log\left(\frac{P_s}{P_N}\right) \quad (2-7)$$

2.2.2.3 信号噪声失真比

信噪失真比 SNDR 指的是 ADC 输出信号频谱中, 信号能量 (P_s) 与谐波能量 (P_H) 和噪声能量 (P_N) 之和的比值, 见式(2-8)。与 SNR 相比, SNDR 还考虑了信号谐波的影响, 所以这个指标能够更真实的反映 ADC 的动态性能。对于同一个 ADC 系统, SNDR 的值比 SNR 要低, 这一点从表达式也能够体现出来。

$$\text{SNDR} = 10\log\left(\frac{P_s}{P_N + \sum P_H}\right) \quad (2-8)$$

2.2.2.4 无杂散动态范围

无杂散动态范围 SFDR 指的是信号输出频谱中最大的谐波能量 ($P_{H,\max}$) 与基波频率能量 (P_s) 的比值, 计算公式见式(2-9)。

$$\text{SFDR} = 10\log\left(\frac{P_s}{P_{H,\max}}\right) \quad (2-9)$$

2.2.2.5 总谐波失真

总谐波失真 THD 是指输出信号频谱中, 总的谐波能量 (P_H) 与信号能量 (P_s) 的比值, 表达式见式(2-10)。

$$\text{THD} = 10\log\left(\frac{\sum P_H}{P_s}\right) \quad (2-10)$$

2.2.2.6 有效位数

有效位数 ENOB 代表 ADC 实际能达到的有效位数, 计算方法见式(2-11)。

$$\text{ENOB} = \frac{\text{SNDR} - 1.76}{6.02} \quad (2-11)$$

2.2.2.7 动态范围

动态范围 DR 指的是 ADC 输入信号能量的最大值 ($P_{s,\max}$) 与 ADC 能分辨的最小信号能量 ($P_{s,\min}$) 的比值, 计算公式见式(2-12)。

$$DR = 10 \log \left(\frac{P_{s,max}}{P_{s,min}} \right) \quad (2-12)$$

2.2.3 高性能低功耗流水线型 ADC 电路设计技术

随着工艺特征尺寸不断降低,流水线型 ADC 性能的提高越来越困难,并且模拟电路的功耗越来越大。在此背景下,研究者们提出了一系列的电路设计技术,用来提高 ADC 的性能并且降低功耗。

2.2.3.1 无采样保持电路技术

采样保持电路的作用是将输入的连续信号离散化,同时保证进入子 ADC 和 MDAC 的信号是同步的。在流水线型 ADC 中,采样保持电路和级间运算放大器功耗之和大概占系统功耗的 60%-70%,非常可观^[47]。而其中前置采样保持电路处于系统的最前端,对系统误差最敏感,产生的误差对系统的影响也最大,所以它的设计要求很高。随着 ADC 设计精度和速度的提高,前置采样保持电路的设计,特别是其中运算放大器的设计越来越成为一个挑战。传统的前置采样保持电路由采保电路 (S/H) 后面跟随一个单元缓冲器组成,这种采样保持电路不仅对信号起不到放大作用,还会引入额外的噪声。为了保证信噪比和线性度,往往要付出更高的功耗代价。如果不采用前置采样保持电路,那么进入子 ADC 和 MDAC 电路的信号会存在时间偏差,即孔阑误差,如图 2-10 所示。信号时间偏差造成信号幅值上的误差会对 ADC 的输出结果造成影响。在低功耗的设计要求下,研究者们采用了很多替代技术,从而可以不使用采样保持电路 (SH-less),这样可以大幅度地降低功耗^[99]。

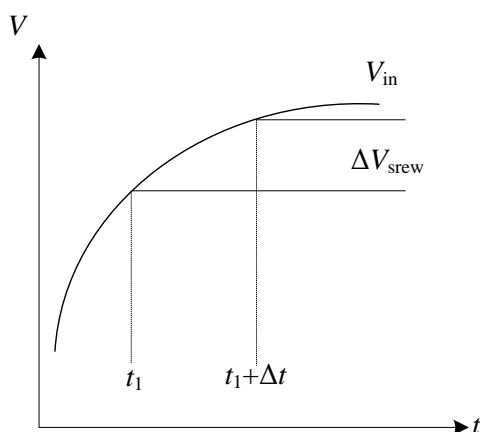


图 2-10 信号时间偏差对 ADC 输出结果的影响示意图

Fig.2-10 Effect of signal time deviation to the output result

在以前的设计中,采用冗余位结构也可以消除信号时间偏差。在文献 [100-102]中,作者都通过第一级的冗余位结构来达到不使用采保电路的目的。

当输入信号频率提高时, 输入信号的幅度在短时间内剧烈变化, 当变化值超出第一级冗余位结构的容忍极限时, 单纯的冗余位结构将不能替代采样保持电路的作用。假设系统输入频率为 f_{in} 的正弦信号, 此时第一级冗余位可容忍的电压值 $1/4V_{ref}$, 输入正弦信号的表达式见式(2-13)。假设存在时间偏差为 Δt , 那么存在时间偏差时的信号表达式见式(2-14)。由公式(2-13)和公式(2-14)做差可以得到由时间偏差所产生的电压偏差, 见式(2-15), 这个值最大不能超过冗余位结构可校正的电压范围。也就是说, 当进入子 ADC 和子 DAC 的信号时间偏差超过某个值时, 就不能采用单纯的冗余位结构消除这一偏差了。这时候就需要采用其它方式来估计这一偏差, 然后进行补偿。在文献[103]中, Huang 设计了一种电路, 这种电路可以实时跟随信号时间差, 并对该误差进行校正。该设计的电路实现原理如图 2-11 所示。作者采用两个比较器检测第一级的输出余量电压 V_{res1} , 当时钟偏差过大时, V_{res1} 会超出范围, 此时相应的校正电路会估计时钟偏差所造成的误差值, 并在后级中对这个误差值进行补偿。

$$\Delta V = 2\pi f_{\text{in}} V_{\text{ref}} \cos(2\pi f_{\text{in}} t) \Delta t \quad (2-15)$$

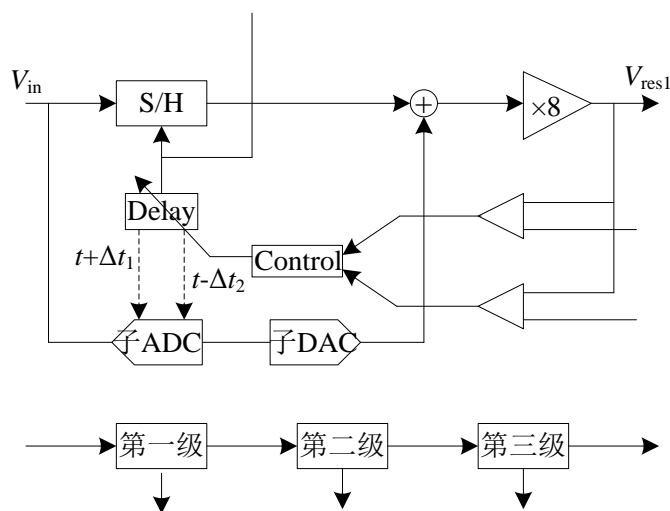


Fig.2-11 SH-less circuit architecture

在传统应用中,一般采用开关电容和放大器构成的闭环放大结构来实现对

输入信号的放大。随着对 ADC 性能要求不断提高，级间运算放大器的精度要求越来越高，也就是对放大器的开环增益要求也越来越高。在细线工艺下，电源电压的降低和晶体管本征增益的减小，使得高增益放大器的设计越来越困难，并且放大器占用的功耗也越来越高。此时，一些研究者们提出了降低放大器设计要求，或采用其它的运放结构来替代传统的闭环运算放大方式^[48,51,66]。比如在文献[48]中，Murmman 设计了一个增益为 8 倍的开环放大器，来代替第一级和第二级之间的运算放大器。这一类的电路结构都存在一个共同的问题，就是放大电路的非线性失真较严重，这时候就需要用到数字辅助的校正技术来对这些误差进行校正，这也是本文研究的重点所在。

2.2.3.3 逐级缩减技术

由式(2-2)分析的流水线型 ADC 误差表达式可以得出，越靠近系统前端，子级误差对系统的影响越大，而后级的误差影响会被级间余量放大器逐级衰减。因此，在流水线型 ADC 中，越靠近系统前端的子级，电路设计要求越高。其中，前端采样保持电路和第一级的设计要求是最高的，此后每级的设计要求逐级递减。为了优化设计，可以逐级按比例缩减后面子级的采样电容^[104,105]，这种技术称为逐级缩减技术，这样可以大幅度的减小芯片面积和系统功耗。

一般设计电容大小按照级间增益倍数缩小。以图 2-12 中的 1.5 位/级结构为例，此时级间运算放大器增益为 2，如果第一级采样电容大小为 C ，那么后级采样电容一般设计为 $C/2$, $C/4$...依次类推。

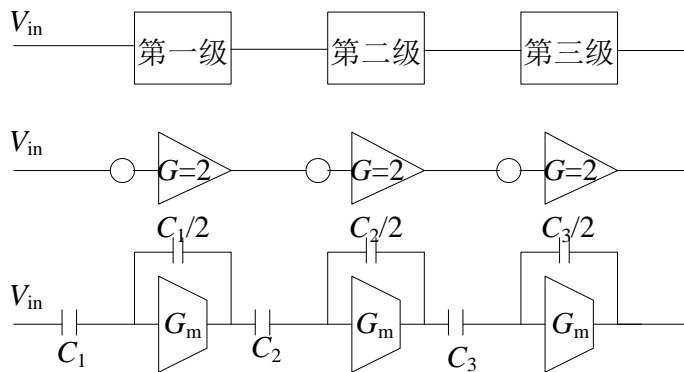


图 2-12 电容逐级缩减示意图

Fig.2-12 Capacitor Stage-scaling diagram

这种技术的缺点是增加了设计工作量。实际应用中，有些设计者会采用分段逐级缩减的方式，隔一定的级数进行电容缩减，而在相邻的几级则采用大小相等的采样电容。

2.2.3.4 运放共用技术

运放共用技术的概念是相邻的两个子级共用一个运算放大器^[106-109]。流水线型 ADC 在两相不交叠时钟控制下，相邻子级交替工作。在保持阶段，本级的

运算放大器处于放大状态；在采样阶段，运放是不需要工作的，但是仍然会消耗大量的静态功耗。如果将放大器在本级采样阶段与采样电容开关断开，同时与下一级的电路连接在一起，使得在采样相时，运放对下级电路起放大作用；而在保持相，对本级余量信号进行放大。这样，就能够实现相邻的两级共用一个运放，相当于减少了一半的运放数量，可以大大减少电路规模和芯片面积。图 2-13 以单端工作方式为例给出了采用运放复用技术的结构示意图，实际电路一般采用全差分工作方式。图中 Φ_1 和 Φ_2 是一对两相不交叠时钟。当 Φ_1 为高电平时，第 n 级处于采样状态，第 $n+1$ 级处于保持状态，此时运算放大器在第 $n+1$ 级中起放大作用。当 Φ_2 为高电平时，第 n 级和第 $n+1$ 级电路的工作状态切换，这时开关控制运算放大器在第 n 级电路中起放大作用。

运放共用技术的使用也会带来一些负面效应。一是电路不完全复位，会引入记忆效应。二是在放大器在相邻级之间切换使用时会增加额外的开关，这些开关的使用也会引入额外的电荷注入噪声等。此时还需要设计相应的误差消除或校正技术。

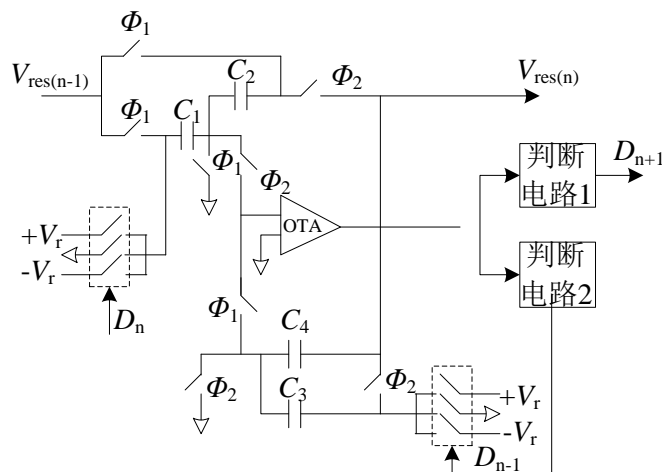


图 2-13 运放共用技术原理示意图

Fig.2-13 Operational amplifier sharing principle diagram

2.2.3.5 冗余位校正技术

这种技术通过设计一位或多位冗余位来消除子级比较器的失调误差，以达到降低子级比较器设计要求的目的^[72-73]。这种校正技术在当前的流水线型 ADC 设计中已经非常普遍。

为了保证流水线型 ADC 每个子级输入信号的幅度都是相等的，需要在子级之间增加一个级间运算放大器，如果前一级子 ADC 的位数为 M_i 位，那么该级级间运算放大器的放大倍数应该为 2^{M_i} 倍，此时整个 ADC 的输出码见式(2-16)。其中 D_{out} 为 ADC 的输出码， $D_{out}(i)$ 为第 i 级的子级输出码， m 为子级数； N_k 为级间放大倍数， $N_k=2^k$ ， k 为前一级子 ADC 的位数。

$$D_{\text{out}} = \sum_{i=1}^m \left(D_{\text{out}}(i) \cdot \prod_{k=i+1}^m N_k \right) \quad (2-16)$$

当比较器存在失调时，子 ADC 的传输函数发生偏移，此时下一级的输入信号就有可能超出满幅范围，如图 2-14 所示。

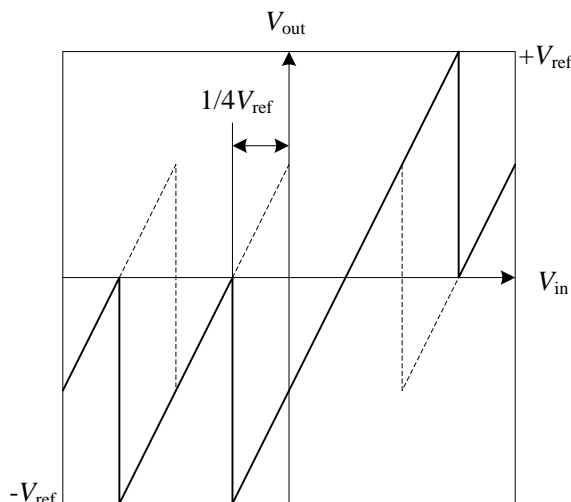


图 2-14 失调范围为 $\pm 1/4V_{\text{ref}}$ 效果图

Fig.2-14 Effect diagram with offset range of $\pm 1/4V_{\text{ref}}$

为了解决这个问题，可以把级间运算放大器的增益变为原来的 1/2，那么当比较器存在 $\pm 1/2\text{LSB}$ 的失调时，输出信号就不会超出范围。从图 2-14 可以看出只要失调值在 $\pm 1/4V_{\text{ref}}$ 以内，输出信号就不会超出范围。也就是说，当输入信号是理想的时候，在输入满幅信号的情况下，输出信号的范围是 $\pm 1/2V_{\text{ref}}$ ，这样相当于在这一级的上下都留出了一位，而这一位可以用来校正输出超出 $\pm 1/2V_{\text{ref}}$ 的部分，冗余位的概念由此而来。

为了简化校正电路，可以向右平移传输函数曲线的形式从而使得校正时只需要做加法。由图 2-15 中的曲线可见，比较器的参考电平被修改到 $\pm 1/4V_{\text{ref}}$ 处，而输出码的个数也由 4 个减少为 3 个，比较器数目由 3 个减少为 2 个。这种子级结构称为 1.5 位/级结构，多出的 0.5 位就是冗余位，用于错位相加校正。

冗余位校正技术通过减小级间运算放大器的放大倍数来增大失调误差的校正裕度。对于上面提到的 1.5 位/级结构，需要级间运算放大器的增益由不采用冗余位结构时的 4 调整为 2。对于采用冗余位结构的流水线型 ADC，最终的数字输出码表达式见式(2-17)。其中， $N_m=2^m$ ， $N_i=2^i$ ； G_k 为第 k 级与第 $k+1$ 级级间运算放大器的增益。实际应用中除了对级间运算放大器的放大倍数作调整外，还需要对比较器个数和比较电平都作相应的修改。

在以前的设计中，1.5 位/级或者 $x+0.5$ 位/级结构是最常用的冗余位校正结构。为了加大失调误差校正范围，也可以选择多位冗余位结构。

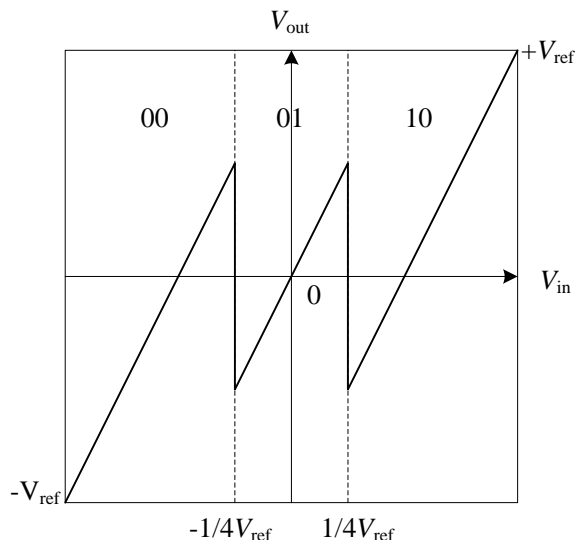


图 2-15 修改后的 1.5 位子 ADC 传输函数曲线

Fig.2-15 Modified 1.5 bits sub-ADC transfer function curve

$$D_{\text{out}} = \sum_{i=1}^m \left(D_{\text{out}}(i) \cdot \frac{N_m}{N_i} \prod_{k=i}^{m-1} G_k \right) \quad (2-17)$$

2.3 流水线型 ADC 数字校正技术仿真及验证平台

2.3.1 基于 Verilog-A 的流水线型 ADC 数字校正技术仿真平台

流水线型 ADC 中存在多种非理想因素，这些因素对 ADC 性能参数影响很大，需要采用各种数字校正技术进行校正；同时对于数字校正算法的校正效果研究过程中也存在一些不确定因素。为了对流水线型 ADC 数字校正算法进行研究，需要对系统中的各种非理想因素、电路中各个模块工作细节以及校正算法进行模拟，并且对校正算法的校正效果进行仿真，此时建立高层次行为级仿真平台就变得非常重要^[110]。

在本论文搭建的行为级仿真平台中，采用 Verilog-A 硬件描述语言对模拟电路部分进行建模，采用 Verilog 对数字校正算法部分进行建模。Verilog-A 是一种针对模拟电路以及混合信号电路的工业标准模型语言，其无缝集成在 Cadence 的集成电路设计环境 Design Framework II (DFII) 中，并能直接利用 Spectre 电路仿真器进行仿真。在 DFII 的默认库中包括了大量利用 Verilog-A 语言写成的各种硬件单元模型，下至电阻、电容、晶体管这种基本元件，上至锁相环这种大的完整功能模块。使用 Verilog-A，既能够对模拟混合信号电路系统进行高层次的行为级建模，也能够对系统和器件进行结构级建模。设计者可以很方便地根据自己实际需要修改相应的硬件单元模型甚至是创建自己全新的硬件模型。在模拟部分和数字部分的建模分别完成之后，将两部分合并，采用

Spectre-Verilog 混合电路仿真器进行仿真。采用 Verilog-A 和 Verilog 语言建立行为级仿真平台，可以将高层次行为级建模、仿真与实际电路设计、仿真统一在同一个 EDA (Electronic Design Automation) 设计平台下，从而为本文后续数字校正算法的研究奠定基础。

2.3.1.1 误差建模

流水线型 ADC 中存在多种非理想因素，比如子 ADC 中比较器失调、余量放大器增益误差和增益非线性误差，MDAC 电容失配等，正是这些因素的存在导致了 ADC 转换结果的非理想性。在前面的章节中，对流水线型 ADC 中的各种非理想因素进行了分析，在本节，研究采用 Verilog-A 语言对这些非理想因素进行模拟。

在这些非理想因素中，时钟抖动、比较器失调等都可以等效为失调误差，而本论文中对失调误差的模拟通过对参考电平加入偏移来实现；对电容失配误差的模拟通过给电容加入不同比率的误差来实现。

本论文主要研究对流水线型 ADC 中非线性误差的校正，那么对于非线性误差的建模就变得十分关键。一般来说，基本上所有线性或非线性系统的传输函数都可以等效为 Volterra 级数的形式^[111]，见式(2-18)。在公式(2-18)表示的传输函数中，系统的输出不仅与当前状态有关，还与过去的状态有关。也就是说，这里面考虑了记忆效应存在的情况。在本文中，对于一般的模拟电路，都不考虑记忆效应，所以公式(2-18)相对来说过于复杂。为了简化，可以用多项式模型来等效包含了非线性误差的模拟电路传输函数，见式(2-19)。以流水线型 ADC 中级间运算放大器传输函数为例，在以后的章节中，都把放大器的输出信号等效为输入信号的多项式形式，并根据这种传输函数模型设计相应的校正算法。

$$y(n) = \sum_{m=0}^M h_1(m)x(n-m) + \sum_{m_1=0}^M \sum_{m_2=0}^M h_2(m_1, m_2)x(n-m_1)x(n-m_2) + \dots \quad (2-18)$$

$$= \sum_{k=1}^O \sum_{m_1=0}^M \dots \sum_{m_k=0}^M h_k(m_1, m_2, \dots, m_k) \prod_{j=1}^k x(n-m_j) \quad (2-19)$$

$$f(x) = \sum_{i=1}^M a_i x^i$$

本论文中对于非线性误差的建模通过给相应模块的传输函数加入非理想因素来实现。以开环放大器为例，对于开环放大器非理想因素的建模通过在放大器模型中加入非线性误差来实现。图 2-16 给出了建立的开环放大器非线性误差部分 Verilog-A 源代码。在该模型中，用三次多项式来对放大器的传输函数进行近似，同时加入一阶和三阶误差来对放大器的非线性误差进行建模。图 2-17 给出了加入误差前后的放大器传输函数曲线。

2.3.1.2 校正算法

对于同一种模拟电路结构，可以设计不同的数字校正算法来对误差进行消除。在设计开发阶段，为了节约开发成本，设计者们往往并不把数字校正部分放在芯片中，而是通过片外处理器来实现数字部分的功能。这一做法在系统建阶段也可以灵活应用。在行为级建模阶段，校正算法部分往往通过 Verilog 语言描述来完成。在这一部分，数字校正部分被做成一个功能模块，当校正算法需要修改时，直接对算法模块进行修改即可。

```
module amp_non2(sigin, sigout);
input sigin;
output sigout;
electrical sigin, sigout;

parameter real sigin_offset = 0;
parameter real a1=7.6;
parameter real a2=0;
parameter real a3=-15.2;
real vi, vout;

    analog begin

        vi=V(sigin);

        vout=a1*vi+a2*pow(V(sigin),2)+a3*pow(V(sigin),3);

        V(sigout) <+ a1*vi+a2*pow(vi,2)+a3*pow(vi,3);

    end
endmodule
```

图 2-16 加入非线性误差的开环放大器 Verilog-A 代码
Fig.2-16 Open-loop amplifier with nonlinearity Verilog-A codes

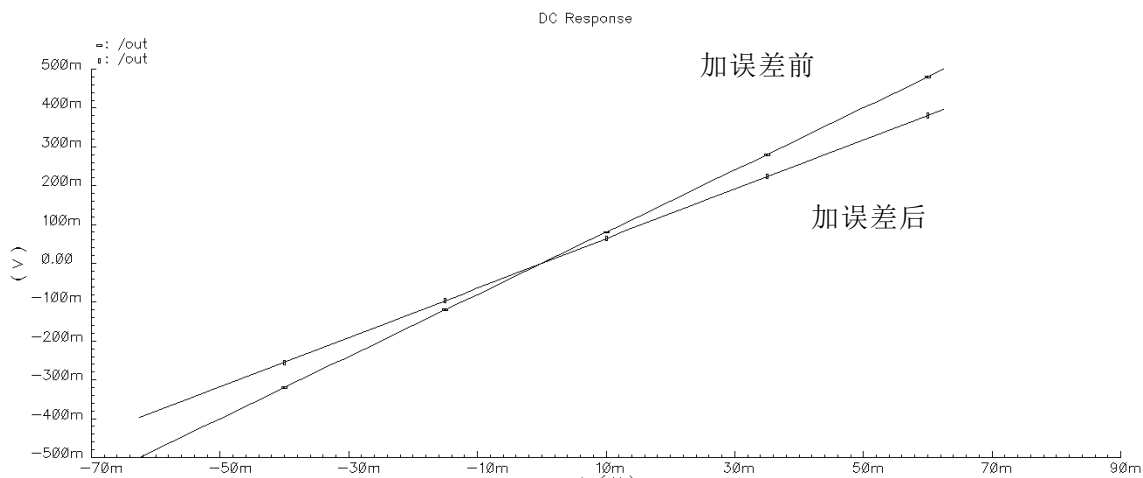


图 2-17 加入误差前后开环放大器传输函数曲线
Fig.2-17 Open-loop amplifier transfer curve before and after adding error

该仿真平台中对数字校正算法的描述通过 Verilog 语言实现, 图 2-18 给出了一种数字校正技术的部分 Verilog 源代码。

```
always @(posedge clk_mul) begin
    if (!rst_n) begin
        BIT_OUT <= 0;
    end
    else if ( data_stage_i < datain[19:8]) begin
        if (addrbuffer6[2:0] == 3'b001) begin
            BIT_OUT <= datain;
        end
        else if (data_stage_i >= datainbuf[19:8] ) begin
            BIT_OUT <= datainbuf ;
        end
        else
            BIT_OUT <= BIT_OUT;
        end
    else begin
        if (!(|addrbuffer6[2:0])) begin
            BIT_OUT <= datain;
        end
        else begin
            BIT_OUT <= BIT_OUT;
        end
    end
end
```

图 2-18 数字校正模块部分 Verilog 代码

Fig.2-18 Digital calibration module part Verilog codes

2.3.1.3 系统仿真平台

本论文在 Cadence DFII 环境下搭建的理想 12 位流水线型 ADC 行为级仿真平台如图 2-19 所示。它的量化主体是 10 个 1.5 位/级输出的子级, 以及最后的一个 2 位/级输出子级。前面 10 级每一级都是由子 ADC 和 MDAC 构成; 最后一级仅由子 ADC 构成。每一级的两位数字输出码被分别送入时钟控制的串联移位寄存器中延迟不同的时间, 以便 ADC 同一个输入数据的不同级量化输出码能够在对齐之后同时输出。对齐后的数字码被送入 11 个 1 位全加器中错位相加得到了 ADC 最终的 12 位输出数字码。每个输出码都通过一个锁存器在时钟控制下输出。

图 2-20 是该 ADC 行为级模型的一个子级, 其包括了子 ADC 和 MDAC。1.5 位输出子级中子 ADC 由两个不同比较电平的比较器实现, 比较电平分别为 $\pm 1/4V_{ref}$ 。本文用 Verilog-A 语言将该子级描述为一个模块, 并通过文本编辑的方式直接修改各项参数。

图 2-21 是在 40 MHz 采样时钟, 9 MHz 满幅正弦信号输入时该理想 ADC 输出的结果。图中对输入信号进行了时间延迟处理, 使得输入与输出信号能够直观地重叠比较。同时从图中也可以看到流水线型 ADC 的输出信号因为要在时钟控制下逐级量化, 因此会有一个固定的延迟时间, 大小为信号量化级数乘以时钟半周期时间。而在最初的信号固定延迟时间之后, 输入模拟信号的量化数

字码将以流水线方式连续输出。

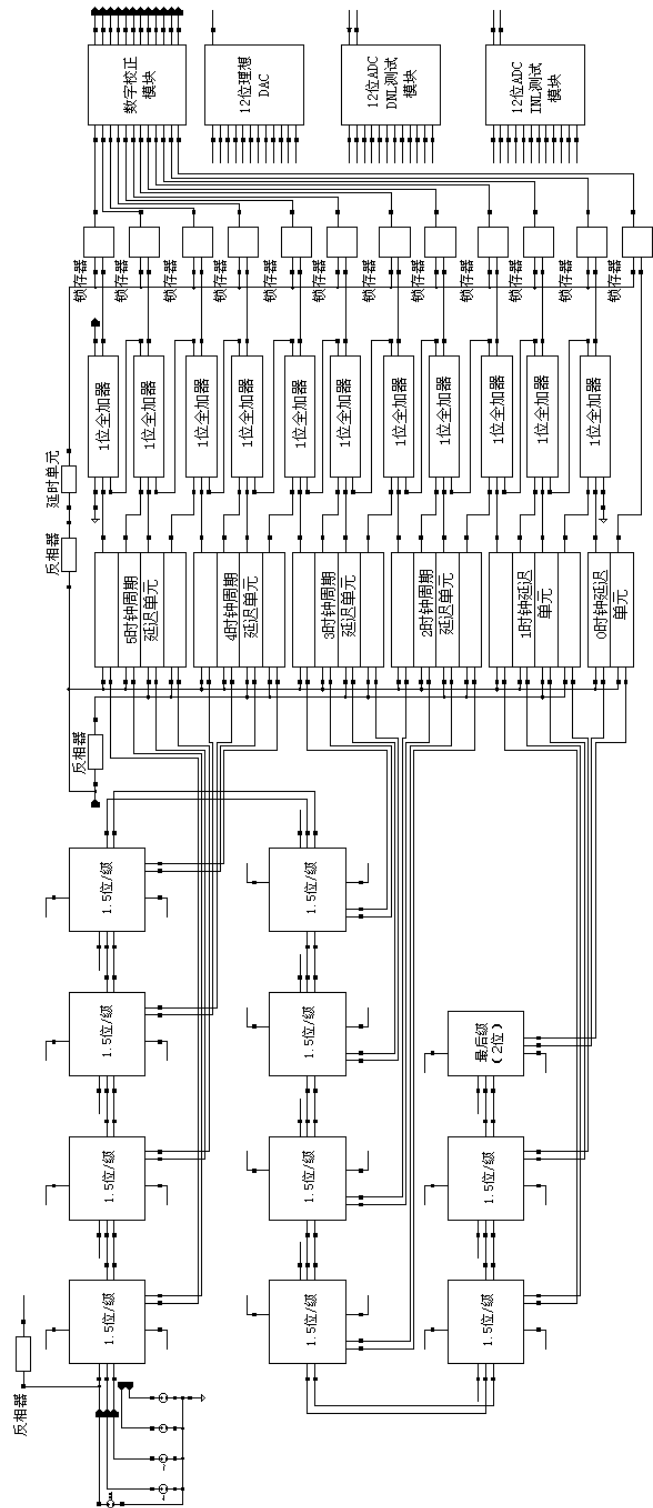


图 2-19 流水线 ADC 行为级模型
Fig.2-19 Pipeline ADC behavioral model

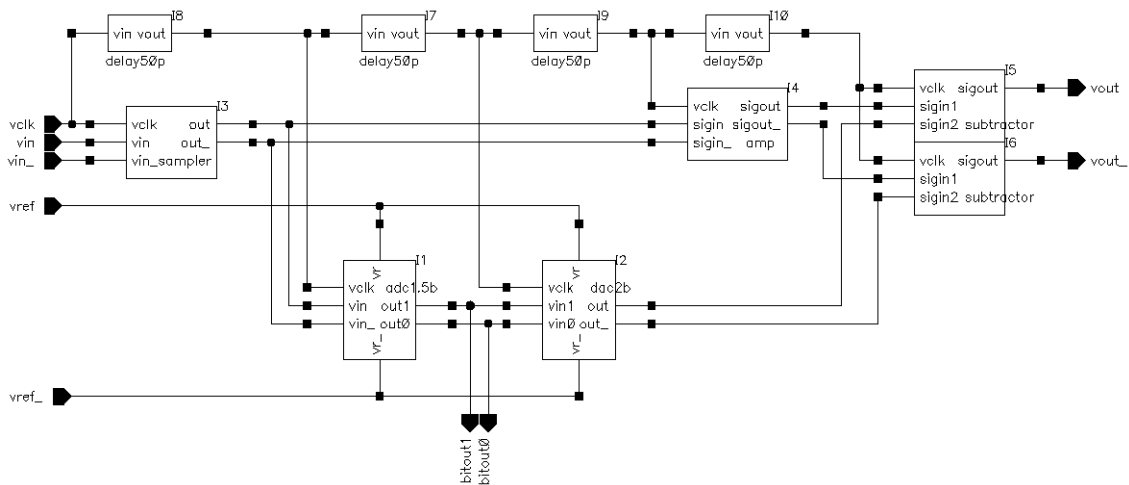


图 2-20 流水线 ADC 子级结构

Fig.2-20 Pipeline ADC sub stage structure

利用建立的仿真平台可以对 ADC 的 INL、DNL 进行测量。也可以对 ADC 的输出结果做离散傅里叶变换 (Discrete Fourier Transform, DFT), 进而分析其 SFDR、SNDR 等频率特性, 并可以得到其有效位数等参数。图 2-22 给出了 INL 测试模块的部分 Verilog-A 源代码。

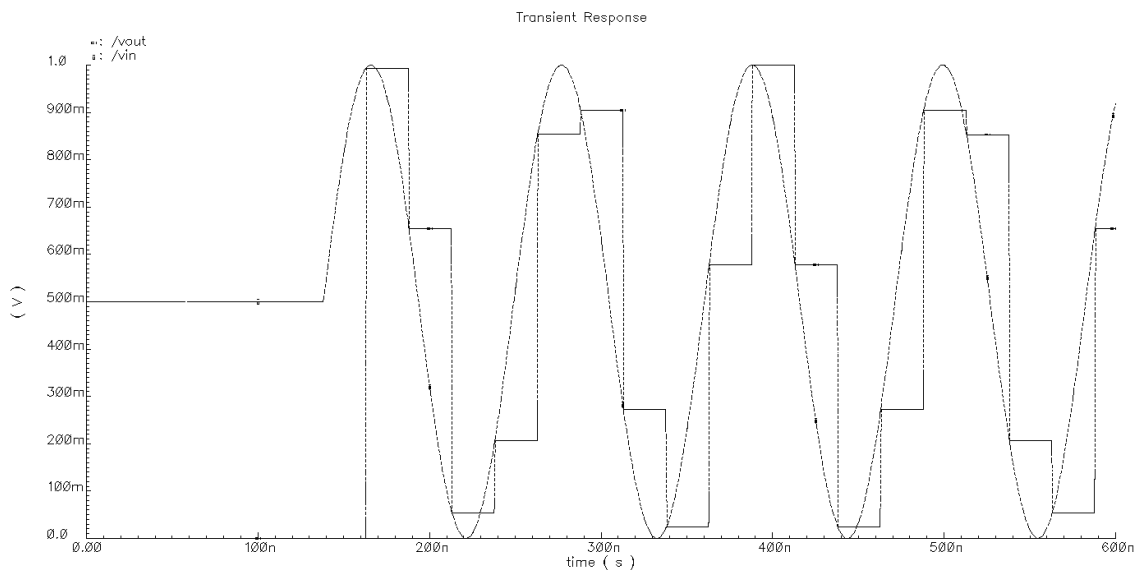


图 2-21 理想 12 位 ADC 行为级模型输入与输出

Fig.2-21 Ideal 12 bits ADC behavioral model input and output

2.3.2 基于 FPGA 的流水线型 ADC 数字校正技术验证平台

采用基于 Verilog-A 的行为级建模仿真平台可以灵活方便地对校正算法的校正效果进行仿真验证, 但是行为级平台对电路功耗等的评估都是建立在理想情况的基础之上, 其跟实际的硬件之间存在一定的差别。当设计进展到一定阶

段之后，需要一个真实平台来对实际情况进行验证。为了对数字校正技术进行硬件化验证，同时缩短设计流程，降低设计成本，采用 FPGA 来对数字校正技术进行验证。

```
@ (timer(tnext_low)) begin
    vclk_val = vlogic_low;
end

if (just_finished) begin // calculate the inl function
    just_finished = 0;

    for (i=0; i < `NUM_OF_CONVS; i = i + 1) begin
        bucket[(code_val[i])] = bucket[(code_val[i])] + 1;
    end

    for (i=1; i < `NUM_OF_CODES-1; i = i + 1) begin
        total_hits = total_hits + bucket[i];
    end

    for (i=1; i < `NUM_OF_CODES-1; i = i + 1) begin
        width[i] = 1.0*bucket[i]/total_hits*(`NUM_OF_CODES-2);
    end

    max_inl = 0;
    max_inl_code = 0;
    inl[0] = 0;
    for (i=1; i < `NUM_OF_CODES-1; i = i + 1) begin
        inl[i] = width[i] + inl[i-1] - 1;
        if (max_inl < abs(inl[i])) begin
            max_inl = abs(inl[i]);
            max_inl_code = i;
        end
    end
end
```

图 2-22 INL 测试单元部分 Verilog-A 代码

Fig.2-22 INL test unit part Verilog-A codes

本论文搭建了一个基于 FPGA 的流水线型 ADC 数字校正技术验证平台，图 2-23 给出了该验证平台的结构示意图。该验证平台采用 Verilog 语言描述完成，由理想 ADC，ROM，ADC 数字模型，数字校正算法模块，异步 FIFO 和串口 (UART) 等几个模块组成。

首先采用 Matlab 对幅值为 1 的正弦波离散采样，并进行量化，将量化后的结果存在 ROM 中，充当理想 ADC 的作用，以作为 ADC 数字模型的输入；然后采用 ADC 数字模型来对实际的 ADC 电路进行模拟；在这里，ADC 数字模型并不是通常所说的模拟数字转换器，其输入是经过理想 ADC 转化的数字输入。该模型的输入输出均为数字信号，故可采用全数字电路设计。它的作用是引入实际 ADC 中的各项误差。该 ADC 数字模型中包含了 ADC 模拟电路中的数据流信息和主要的误差来源。系统输入信号在经过 ADC 数字模型后得到数字输出 D_b ，将 D_b 送入数字校正算法模块，用以对数字校正算法的校正效果进行验证。校正完成后，得到校正后的数字编码 D_{out} ， D_{out} 需要经过串口输出进行数据处理。在这里，串口的波特率采用 115200Bd/s，其传输速率远小于 ADC 数字模型和

数字校正算法在工作时钟下所产生的数据量，所以需使用异步 FIFO 模块对校正输出 D_{out} 做暂时存储。

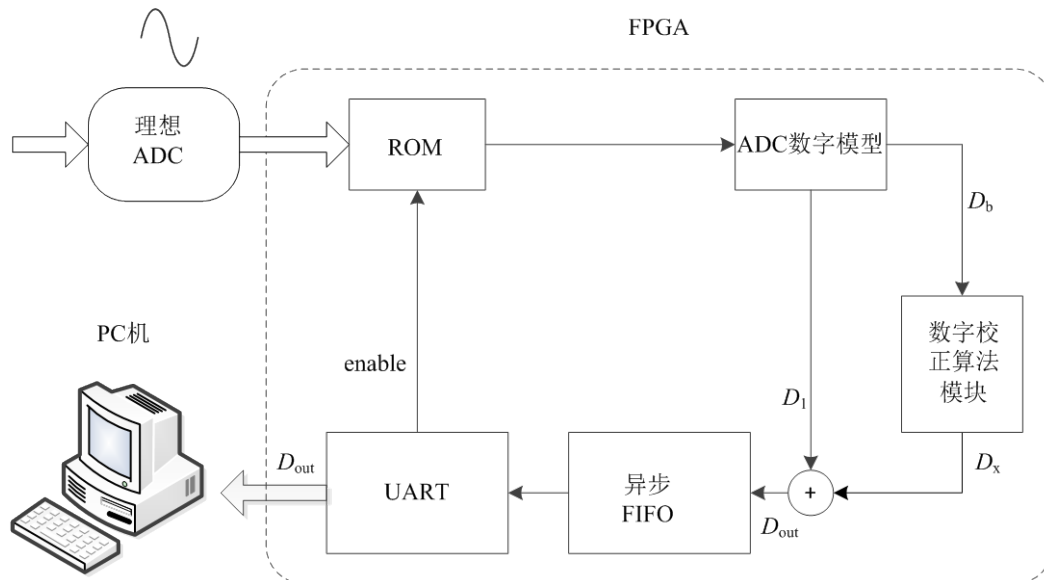


图 2-23 FPGA 验证平台结构示意图

Fig.2-23 FPGA verification platform architecture diagram

平台建立完成后，首先采用 Modelsim 进行仿真，以验证其功能。这一步完成后，使用 Xilinx spartan6 系列 XC6SLX25 芯片进行 FPGA 验证，验证过程如图 2-24 所示。

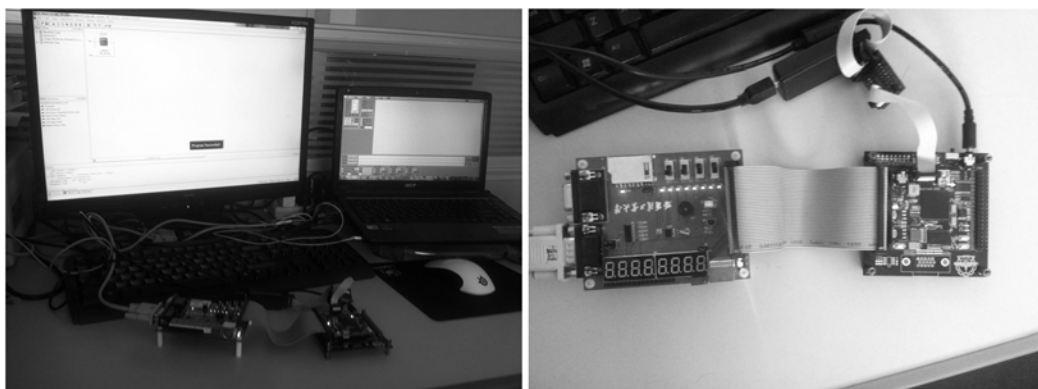


图 2-24 FPGA 验证示意图

Fig.2-24 FPGA verification diagram

在 ADC 数字模型中引入 2% 的电容失配，10% 的增益误差，以及 5 次谐波分量进行仿真验证。图 2-25 给出了引入误差的部分 ADC 数字模型 Verilog 源代码。图 2-26 给出了加入误差后的 ADC 数字模型静态仿真特性曲线。从图中可以看出，引入误差之后，DNL 为 $(-1, 2.2)$ LSB，INL 为 $(-16.2, 16.9)$ LSB。

```

always @ (posedge sys_clk) begin
    if (!sys_rst_n) begin
        data_stage_o <= 12'b000_000_000_000;
        data_i <= 12'b000_000_000_000;
    end

    else if (ready == 2'b01) begin
        data_i <= data_SHA_i;
        data_stage_o <= (2*(data_i - dac_zero)+(data_i - dac_zero))/2;
    end

    else if (ready == 2'b11) begin
        data_i <= data_SHA_i;
        data_stage_o <= (2*(data_i - dac_Vref)+(data_i - dac_Vref))/2;
    end

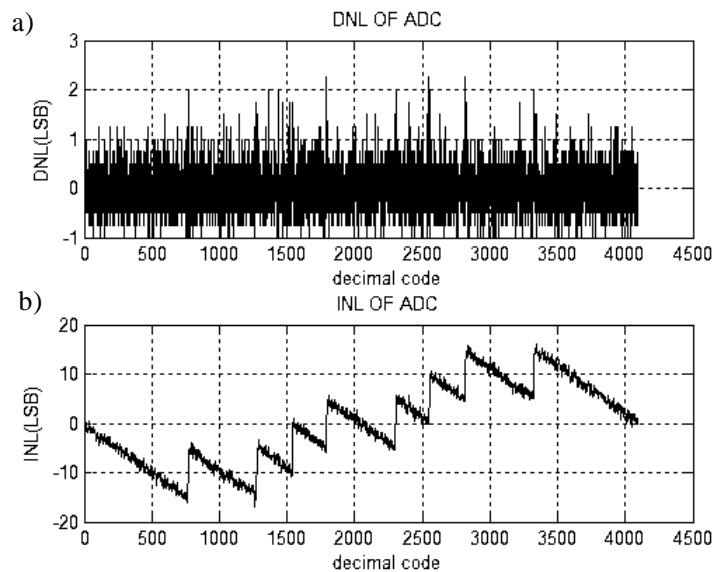
    else if (ready == 2'b00) begin
        data_i <= data_SHA_i;
        data_stage_o <= (2*(data_i - dac_Vrefn)+(data_i - dac_Vrefn))/2;
    end

    else begin
        data_i <= 12'b000_000_000_000;
    end
end

```

图 2-25 ADC 数字模型引入非线性误差部分代码

Fig.2-25 ADC digital model with nonlinear error Verilog codes



a) 加入误差后 DNL 特性

b) 加入误差后 INL 特性

a) DNL with error

b) INL with error

图 2-26 加入非线性误差的静态特性仿真结果

Fig.2-26 Static simulation results with nonlinear error

2.4 本章小结

本章首先对流水线型 ADC 基础理论进行了概述,分别介绍了流水线型 ADC 的工作原理、非理想因素、性能指标以及几种先进的电路设计技术,为后面的研究工作打下理论基础。在此基础上搭建了基于 Verilog-A 的流水线型 ADC 数字校正技术行为级仿真平台和基于 FPGA 的流水线型 ADC 数字校正技术验证平台。采用 Verilog-A 行为级仿真平台对系统进行行为级建模仿真,可以缩短设计周期,降低设计成本;而 FPGA 验证平台可以对校正算法的资源占用和功耗等进行估计。这两项工作为后面各章校正算法的研究及电路设计提供了通用的仿真和验证平台。

第3章 应用分段线性插值法估计非线性误差的数字校正技术

3.1 引言

作为速度与精度折衷之选的流水线型 ADC，面临的最大问题是随着性能提高而急剧增长的功耗，而在这种结构的 ADC 中，前置采样保持电路和各级级间运算放大器占用了大部分的系统功耗。为了降低功耗，人们提出了多种电路设计技术。比如采用低增益的运算放大器、开环放大器和 Class-AB 型放大器等，而这一类的设计都存在一个缺点，就是放大器对非线性失真的抑制作用减弱。在这一背景下，人们设计了各种数字校正方法在后级对这种非线性误差进行校正。

采用统计规律对级间放大器非线性误差进行校正是最常用的一种后台数字校正法。这种校正方法或者利用被伪随机码 (PN) 调制过的信号的统计特性来估计非线性误差值、或者利用 PN 码与除自身之外的其它信号都不相关的特性来分离非线性误差。这类校正算法的优点是不需要设计专门的参考 ADC，也不需要加入测试信号，校正过程在后台进行，不打断正常的模数转换过程，并且能实时跟踪系统外界环境的变化；缺点是算法收敛依赖统计规律，收敛时间较长。

在以前的基于统计规律的数字校正算法中，通常采用统计规律估计非线性误差，然后将该误差存储在 ROM 中，在校正时采用查表法获得误差值^[29,48,112]。这样做的优点是每次校正前不需要计算非线性误差值，可以节约一部分功耗；存在的问题是存储的数据受 ROM 数量的限制，对校正范围和校正精度有一定的影响；并且存储所需的 ROM 会增加硬件开销，导致芯片面积较大，成本较高。为了降低成本、提高校正精度，考虑采用直接计算的方式来获得非线性误差值。基于这一点，本章提出了一种采用分段线性插值法来估计非线性误差值的后台数字校正算法。该算法首先对信号进行 PN 码调制，然后利用被调制后信号的统计规律结合分段线性插值法来估计非线性误差值，并将该值补偿给后台码值实现校正。其中，非线性误差值通过实时计算得到，不需要 ROM 存储器，对校正范围没有限制，并且可以大幅度地降低设计成本。

3.2 统计规律法校正非线性误差理论基础

3.2.1 随机码及其统计特性

在传统的基于统计规律的数字校正算法中，通常需要对信号进行伪随机码调制，利用被调制后信号的统计规律来进行校正。为方便以后章节的描述，在这里，我们对伪随机码及其统计特性进行介绍。

随机码是码值出现规律不可预测的一种码，可以分为真随机码和伪随机码。真随机码码字没有任何规律可循，是完全不可预测的，这种随机码只能由物理随机过程产生，比如通过热噪声来产生。真随机码序列在任何情况下都是不可复制的；伪随机码是具有某种随机序列随机特性的序列码。伪随机码一般通过数学公式产生，随机码序列由产生随机码的算法确定，所以这种码的结构可以预先确定，可重复产生和复制。一般使用的随机码都是伪随机码，这种码的码值在使用范围内基本不会重复、也很难抓住其规律，所以可以当做随机码使用。

3.2.1.1 随机变量的统计特性

由于本文中应用的随机码属于离散型的随机变量，所以在本节中对离散型随机变量相关的定义和特性做以下介绍。假设有离散型随机变量 X ，其中 X 的取值个数是有限的，并且满足公式(3-1)，那么可以定义 $P\{X\}$ 为变量 X 的概率分布列。而对于变量 X ，则将公式(3-2)中的 $F(x)$ 称为 X 的分布函数。一般，同一个离散变量的分布列与分布函数之间满足公式(3-3)中的关系。

$$\begin{cases} P\{X = x_i\} = p_i \\ \sum_i p_i = 1 \end{cases} \quad i = 1, 2, \dots \quad (3-1)$$

$$F(x) = P\{X \leq x\} \quad (3-2)$$

$$\begin{aligned} F(x) &= P\{X \leq x\} \\ &= \sum_{x_i \leq x} P\{X = x_i\} \end{aligned} \quad (3-3)$$

3.2.1.2 码密度柱状图和码密度累积柱状图

在本论文中，我们用随机码的码密度柱状图来代表随机变量的分布列，而随机码的码密度累积柱状图就代表随机变量的分布函数。如图 3-1 所示，其中 X 为随机变量， $P(x_i)$ 为变量的分布列，代表变量在 x_i 点出现的概率，为图中 x_i 点对应的纵坐标值； $F(x_i)$ 为变量的分布函数，代表变量中小于等于 x 的值出现的概率，为图中的阴影部分的面积。

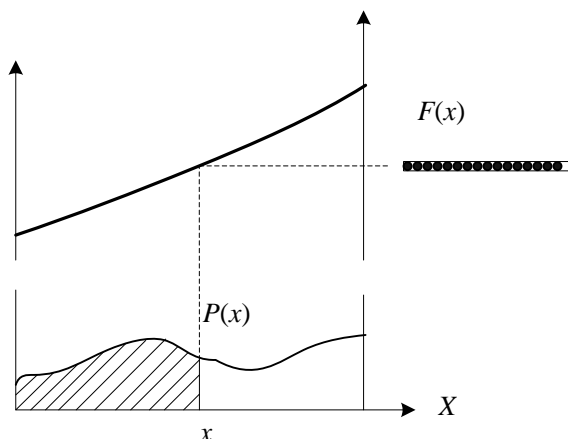


图 3-1 码密度柱状图和码密度累积柱状图

Fig.3-1 Code density histogram and code density accumulated histogram

为了方便在以后章节中的描述，在这里定义码密度柱状图为一段时间内某个采样数值的出现次数，而码密度累计柱状图代表该段时间内小于等于该样本值的值出现的次数。

3.2.2 自适应算法

自适应算法在自适应的校正技术中应用非常普遍^[48,52,59]。在本章中，采用 LMS 算法来促使系统收敛。

在 1.3.1 中介绍的数字校正算法，首先利用信号传输的统计规律来估计非线性误差值，接着对这个误差值进行补偿，然后再根据某个标准，利用统计规律评估校正效果。此时如果满足判决标准，达到预想中的校正效果，那么校正过程终止；如果不满足判决标准，那么校正过程再次重复，直到达到所需的校正效果为止。这一过程就是一个自适应算法的过程。在实际应用中，由于芯片采用的工艺状况、工作状态、外部环境等都是随时会变化的，这就要求校正算法能随时根据外界环境的变化进行调整，这个时候就体现出了自适应算法的优势。

自适应算法有很多种，比较常见的有最小均方算法 (Least Mean Square, LMS)，最小二乘法 (Least Square, LS)，递归最小二乘法 (Recursive Least Square, RLS) 等。其中最小均方算法因为算法复杂度较低，容易在电路中实现而最常被采用。自适应算法最常见的应用就是自适应滤波器。图 3-2 中给出了一个采用最小均方算法实现误差消除的自适应滤波系统，其中 $f(\bullet)$ 为非线性误差的等效函数， $g(\bullet)$ 为自适应滤波器的传输函数。信号 V_{in} 进入系统后分别通过线性路径和带有非线性失真的路径进行处理。在输出端对两路信号进行比较，将两路信号的差值送入 LMS 回路，LMS 回路会对 $g(\bullet)$ 进行自适应调整，直到两路

信号输出相同为止。LMS 算法具有算法简单、运算量小的优点，缺点是收敛速度比 LS 和 RLS 要慢。

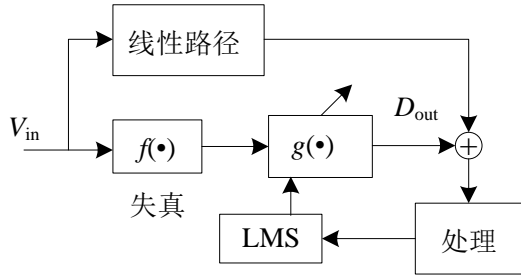


图 3-2 采用最小均方算法的自适应滤波器系统

Fig.3-2 Self-adaptive filter system applying least mean square algorithm

3.3 采用分段线性插值法估计非线性误差的数字校正算法

为了节约系统功耗，采用开环放大器作为流水线型 ADC 的级间余量放大器，而对于开环放大器的非线性误差，采用基于统计规律的数字校正技术进行校正。本章中提出的数字校正算法，在统计规律的辅助下采用分段线性插值法来估计非线性误差，将估计得到的非线性误差补偿给实际输出来达到校正目的。

3.3.1 分段线性插值法校正系统结构

图 3-3 给出了采用了本章提出校正算法的流水线型 ADC 系统结构框图。

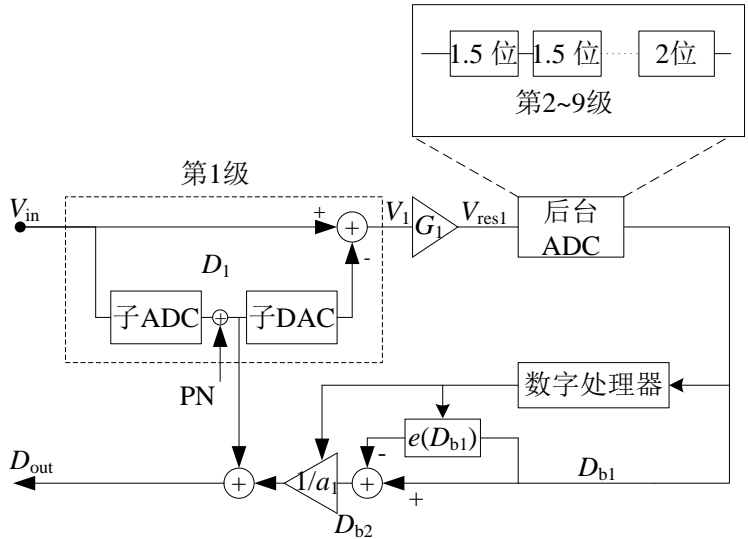


图 3-3 采用统计规律进行校正的流水线型 ADC 系统框图

Fig.3-3 Pipeline ADC system applying statistical raw based calibration

这个系统由一个 3.5 位的首级、7 个每级 1.5 位的子级和一个 2 位的末级拼接而成。校正过程中把除第一级外的其他子级看为一个整体，称为后台 ADC，

对应的输出码值称为后台码值。由于在第一级子 DAC 的输入端加入了 PN 码,使得第一级余量信号 V_{res1} 的输出范围发生了变化。为了保证 V_{res1} 的范围不超出下个子级的输入范围,需要对第二级进行修改,留出 1 位的设计余量。为了节省功耗,将第一级与第二级之间的级间余量放大器设计为开环增益为 8 的开环放大器。由于开环放大器对非线性误差的抑制能力减弱,导致第一级的余量信号通过第一级余量放大器后引入较大的非线性误差。如果这一非线性误差没有得到校正,就会直接影响后级的转换结果,从而使得整个 ADC 系统的转换结果都存在误差。

在校正流程中,ADC 系统可以看成第一级和后台 ADC 两部分。输入信号 V_{in} 经过第一级,产生第一级数字输出码 D_1 。一方面, D_1 送入数据拼接模块等待与后级的转换结果进行拼接;另一方面, D_1 经过 PN 码调制后,进入第一级子 DAC,将输入信号 V_{in} 与子 DAC 的转化结果做差得到调制后的余量信号 V_{res} 。 V_{res} 进入第一级开环余量放大器被放大得到 V_{res1} ,之后 V_{res1} 进入后台 ADC 进行模数转换。

在这里,将除第一级外的子级看为一个整体,这样做的优点是校正速度快,缺点是会造成量化误差的累积,不过这种量化误差可以通过在系统最后增加足够的冗余位来消除。如果不把后台数据看为一个整体,而是对后台数据进行逐级校正,这样不会造成量化误差累计,但是校正速度慢。该设计只在第一级采用开环放大器,而为了进一步节约功耗,开环放大器也可以应用到除第一级之外的其他子级。在本章中为了简化设计复杂度,并明显体现出该后台校正算法的有效性和合理性,只在对整体性能影响最大的第一级采用了这种结构。

3.3.2 分段线性插值法校正原理

图 3-4 给出了本章中采用的基于统计规律的数字辅助校正系统工作原理图。该系统可分为第一子级和后台 ADC 两部分,对传输函数非线性的校正通过数字处理器在后台实现。其中 V_{in} 为系统输入信号, V_{res1} 为第一级余量电压, D_{b1} 为后台 ADC 的输出码值(后台码值), D_{b2} 为经过误差补偿的后台码值, D_{out} 为最终的系统数字输出码, $e(D_b)$ 为非线性误差值(在本设计中指三阶误差值), Δd 为双余量曲线中两条线之间的距离之差, p_1 为一阶误差校正参数。

这种校正方法的原理是通过分段线性插值法估计第一级级间放大器传输函数中的非线性误差值,将这个误差值补偿给实际的传输函数曲线,使得传输函数向直线逼近。在后台校正流程中,求非线性误差和误差补偿的过程会重复进行,直到传输函数曲线变为直线为止。数字处理器将完成分段线性插值、误差计算、补偿等操作。在估计非线性误差时,要借助输入信号的累积柱状图的辅

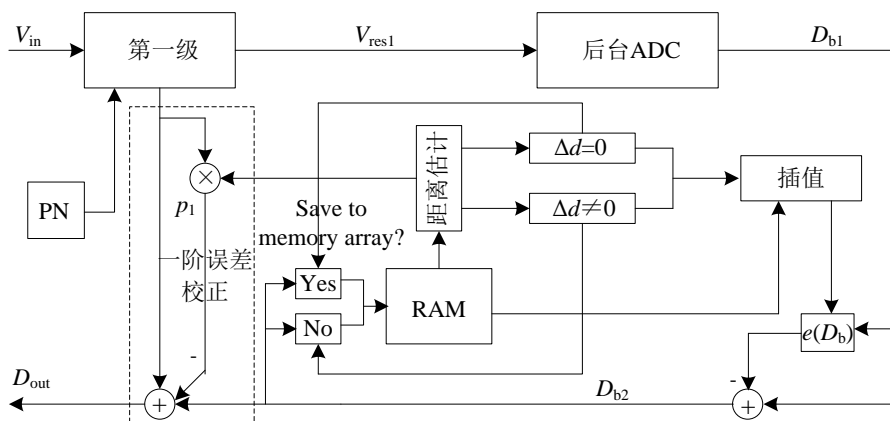


Fig.3-4 Statistical based calibration system working principle diagram

- 48 -

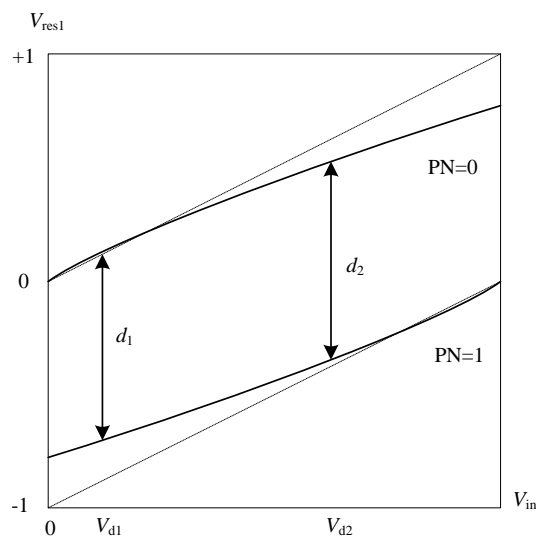
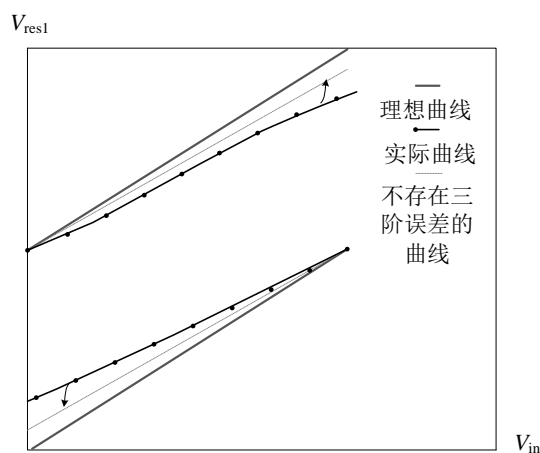
图 3-5 PN 调制后的 V_{res1} 波形图Fig.3-5 Waveform of V_{res1} after PN modulation

图 3-6 双余量曲线逐次逼近过程示意图

Fig.3-6 Double residual curve successive approximation course diagram

在文献[48]中，三阶误差值并不像本设计中这样通过计算得到，而是根据校正参数提前计算好，并且存在 ROM 中，随着校正参数的更新，通过查表来获得具体的误差值，然后对后台数据进行补偿。这种方法存在的问题是所用到的高速 ROM 硬件开销较大，价格昂贵，并且查表过程会消耗额外的功耗。除此之外，对校正参数的更新采用逐次逼近法，这一过程比本设计中采用分段线性插值法收敛要慢。本设计中用于补偿的三阶误差值通过直接计算得到，不需要存储在 ROM 中，可以节约存储器开销，降低系统成本。

3.3.3 开环放大器及传输函数模型

图 3-7 给出了传统的闭环结构运算放大器工作原理图。在开关电容运算放

大器中，误差 E_r 与放大器的开环放大倍数 A_0 满足公式(3-4)的关系，而放大器压摆率 SR 、静态电流 I_s 和负载电容 C_L 满足公式(3-5)的关系。以本设计采用的 12 位分辨率，40 MHz 采样速率，第一级选用 3.5 位结构的流水线型 ADC 为例。为了满足设计精度，需要满足 $E_r < 1/2 \text{ LSB}$ ，此时计算得到放大器的开环增益 A_0 大概为 66 dB。通常设计高增益的运算放大器需要借助增益提高等电路结构才能实现。考虑 KT/C 噪声、电容匹配精度和寄生电容等因素，估计第一级放大电路的负载电容大概为 3 pf。压摆率通过工作电压和速度求得，此时结合负载电容，得到放大电路的最大工作电流约为 3 mA。可以计算得到 3.3 V 电源电压下的静态功耗约为 10 mW。如果放大器采用闭环工作方式，则放大器增益高、结构复杂，并且还要考虑稳定性问题以及寄生电容对速度的影响等，导致实际工作电流比估计值大很多。最终，静态功耗大概为 40 mW。

如果放大器采用开环工作方式，放大倍数只需要 8 倍，选择简单结构的放大器即可，并且工作电流就是 3 mA，功耗大概是 10 mW。

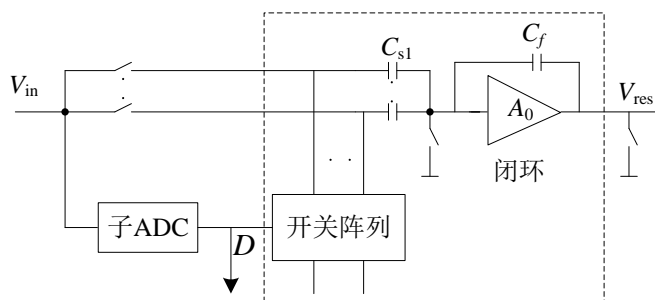


图 3-7 闭环放大器工作原理

Fig.3-7 Closed-loop amplifier working principle

$$E_r = \frac{1}{1 + \beta A_0} < \frac{1}{2} \text{ LSB} \quad (3-4)$$

$$SR = \frac{I_s}{C_L} \quad (3-5)$$

为了进一步的了解开环放大结构与闭环放大结构的区别，图 3-8 以第一级结构为例给出了闭环放大结构和开环放大结构工作原理对比图。传统闭环放大结构通过开关电容反馈来实现放大，放大倍数由采样电容 C_s 与保持电容 C_f 的比值决定，放大倍数的精度取决于放大器的开环增益以及电容比的精度。而开环放大结构不需要反馈电容 C_f ，级间增益就是放大器的开环增益。由于不采用开关电容结构进行放大，这种结构能够在一定程度上避免电容匹配误差。

相对于传统的闭环放大结构，开环放大器的放大倍数直接作用于级间增益，所以这种放大结构的非线性失真更为严重一些，并且开环放大结构对外界温度变化比较敏感，这些误差将在后级电路中通过数字辅助的方式来消除。

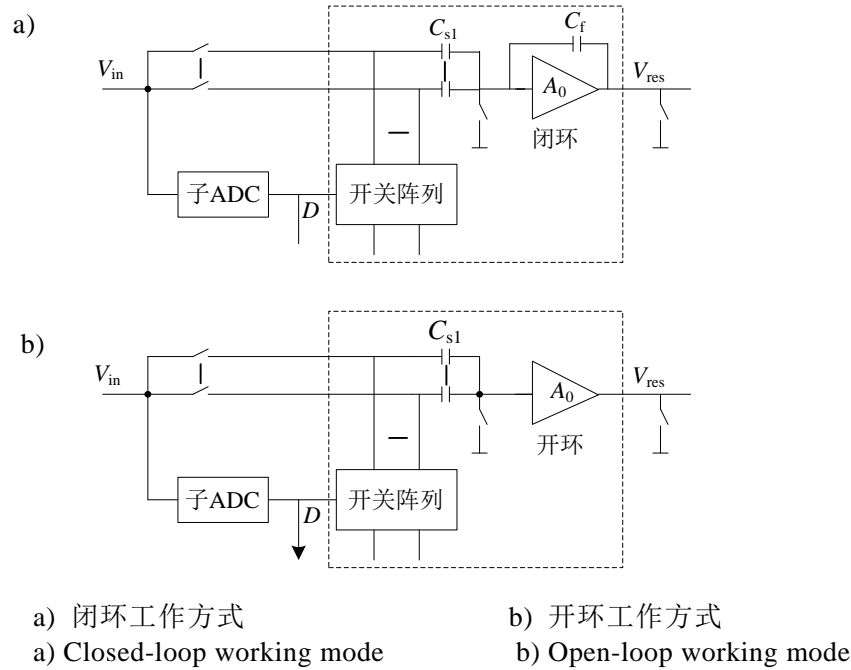


图 3-8 开环工作方式与闭环工作方式工作原理对比图

Fig.3-8 Working principle comparison between open-loop and closed-loop working mode

为了对开环放大器的非线性失真进行校正，需要对开环放大器建立传输函数模型。下面我们从晶体管级分析入手来建立开环放大器的传输函数模型。图 3-9 为差分对管电路，其电压-电流传输特性可以表示为公式(3-6)的形式^[47]。其中 ΔI 和 I_{ss} 分别为对管的输出电流和尾电流， V_{OV} 为输入管的过驱动电压 ($V_{GS}-V_{TH}$)， $\Delta\beta/\beta$ 为差分对管的不匹配因子。公式(3-6)表示的传输函数曲线如图 3-10 所示。

$$\frac{\Delta I}{I_{ss}} = \left(\frac{V_x}{V_{OV}} \right) + \frac{1}{4} \frac{\Delta\beta}{\beta} \left(\frac{V_x}{V_{OV}} \right)^2 - \frac{1}{8} \left(\frac{V_x}{V_{OV}} \right)^3 - \frac{1}{128} \left(\frac{V_x}{V_{OV}} \right)^5 - \dots \quad (3-6)$$

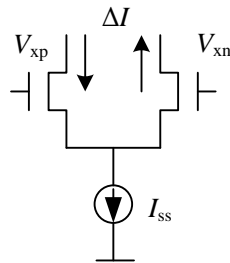


图 3-9 差分对管
Fig.3-9 Differential pair

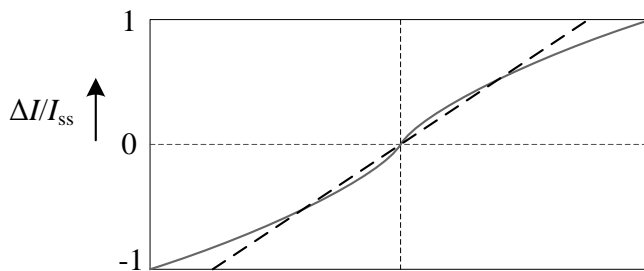


图 3-10 差动输入对管的电压-电流传输特性图

Fig.3-10 Voltage-current transfer characteristic of differential pair

在公式(3-7)中, 定义输入摆动值 α 为 $V_{x\max}$ 与 V_{OV} 的比值, 其中 $V_{x\max}$ 表示差分对输入电压最大值。由公式(3-6)可以画出差动对第一、二、三阶非线性误差项相对于 α 的变化关系图, 见图 3-11 (对于第二阶误差, 假设 $\Delta\beta/\beta$ 为 0.5%)。

$$\alpha = \frac{V_{x\max}}{V_{OV}} \quad (3-7)$$

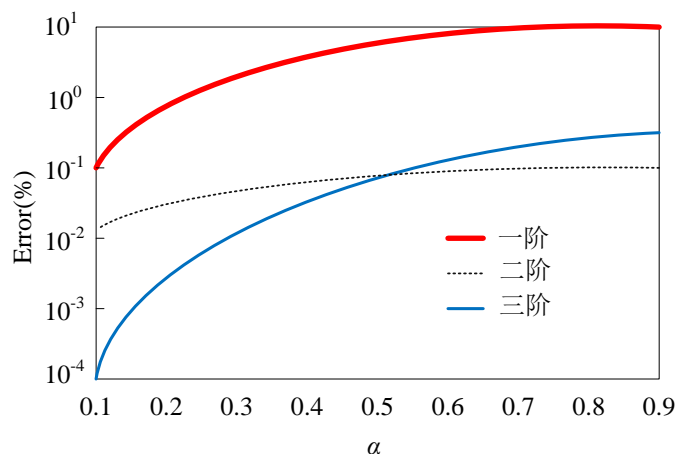

 图 3-11 差动对第一、二、三阶非线性误差相对于 α 的变化关系图^[47]

 Fig.3-11 Relationship of the first, second, third order nonlinear errors to α ^[47]

从图 3-11 可以看出, 当 α 值越大时, 差动对的非线性误差越大。而在 α 中, $V_{x\max}$ 一般是由系统参考电压 V_{ref} 和级间增益 G 决定, 是一个确定的值, 见式(3-8)。此时, 可以通过增大过驱动电压 V_{OV} 的方式来减小 α , 也就是降低差动对的非线性误差, 但是选择太大的 V_{OV} 值会增加功耗。

$$V_{x\max} \cong \frac{V_{ref}}{G} \quad (3-8)$$

由上面的分析可以看出, 选择较大的输入管过驱动电压 V_{OV} 可以降低非线性误差, 但是同时也会增加系统功耗。另一方面, 对非线性误差的校正精度越高, 则数字校正所需的硬件开销越大。为了在模拟电路功耗和数字处理器的复杂度之间做一个合适的折衷, 设计差分输入对管的非线性误差在三阶误差以内

是一个合适的选择。对于本文中设计的 12 位 ADC 结构，需要将三阶以上的误差控制在 $1/2 \text{ LSB}$ ，也就是 2^{-13} 之内。

文献[47]中给出了开环放大器的传输函数表达式见式(3-9)。可见，该表达式是一个多项式形式。通过控制差分对管输入信号范围与输入管过驱动电压的比值，可以把三级以上的误差控制在后级可以容忍的范围之内，而高阶偶数阶误差则通过差分结构来消除，那么，经过简化后的开环放大器传输函数见式(3-10)。这一表达式同样将被用在以后章节中，作为采用开环放大结构的运算放大器通用的传输函数表达式。

$$y = a_1x + a_2x^2 + a_3x^3 + \dots \quad (3-9)$$

$$V_{\text{res}} = a_1V_a + a_3V_a^3 \quad (3-10)$$

3.3.4 PN 调制及双余量曲线

对于输入信号 V_{in} ，经过 PN 调制后， V_{res1} 的表达式见式(3-11)，其中， D_1 为第一级子 ADC 的输出码值。

$$V_{\text{res1}} = a_1 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{2^4} (D_1 + PN) \right] + a_3 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{2^4} (D_1 + PN) \right]^3 \quad (3-11)$$

当调制的 PN 码分别为“0”和“1”时，由公式(3-11)可以得到公式(3-12)和公式(3-13)。

$$V_{\text{res1}}(0) = a_1 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{16} D_1 \right] + a_3 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{16} D_1 \right]^3 \quad (3-12)$$

$$V_{\text{res1}}(1) = a_1 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{16} (D_1 + 1) \right] + a_3 \left[V_{\text{in}} - \frac{V_{\text{ref}}}{16} (D_1 + 1) \right]^3 \quad (3-13)$$

所以，经过 PN 调制的余量曲线变为双余量曲线，如图 3-5，该图中两条曲线之间的距离 d 可通过将公式(3-12)与公式(3-13)做差得到，表达式见式(3-14)。

$$d = V_{\text{res1}}(0) - V_{\text{res1}}(1) = a_1 \frac{V_{\text{ref}}}{16} + a_3 \frac{V_{\text{ref}}}{16} \cdot \left[3V_{\text{in}}^2 + 3V_{\text{in}} \frac{V_{\text{ref}}}{16} (2D_1 + 1) + 3 \left(\frac{V_{\text{ref}}}{16} \right)^2 D_1 (D_1 + 1) + \left(\frac{V_{\text{ref}}}{16} \right)^3 \right] \quad (3-14)$$

如果运算放大器的传输函数是线性的，那么传输函数表达式中的三阶误差项 $a_3=0$ ，将这一结论代入到式(3-14)中，可见此时两条曲线之间的距离值为一个常数；反之，当 a_3 不为“0”时， d 的值会随输入信号的幅度变化。这一结论将被作为判断依据来确定对三阶误差的校正是否完成。

3.3.5 分段线性插值法估计三阶误差及误差补偿

理想的级间运算放大器传输函数是线性的，见式(3-15)，式中的 a_1 应该为 2^{M-1} (M 为第一级子 ADC 位数)，而经过高阶非线性误差控制的实际的传输函数曲线见式(3-16) (忽略偶数阶误差)。公式(3-18)中的传输函数表达式既包含了线性误差，也包含了非线性误差。定义传输函数曲线三阶误差值为 $e(D_b)$ ，这个误差代表的值如图 3-12 中阴影部分所示。由前面的校正原理可知，为了实现校正，需要估计 $e(D_b)$ 的值并把这个值补偿给后台 ADC 的输出码值，补偿原理见图 3-12 (a)。

$$V_{\text{res}} = a_1 V_i \quad (3-15)$$

$$V_{\text{res}} = a_1 V_i + a_3 V_i^3 \quad (3-16)$$

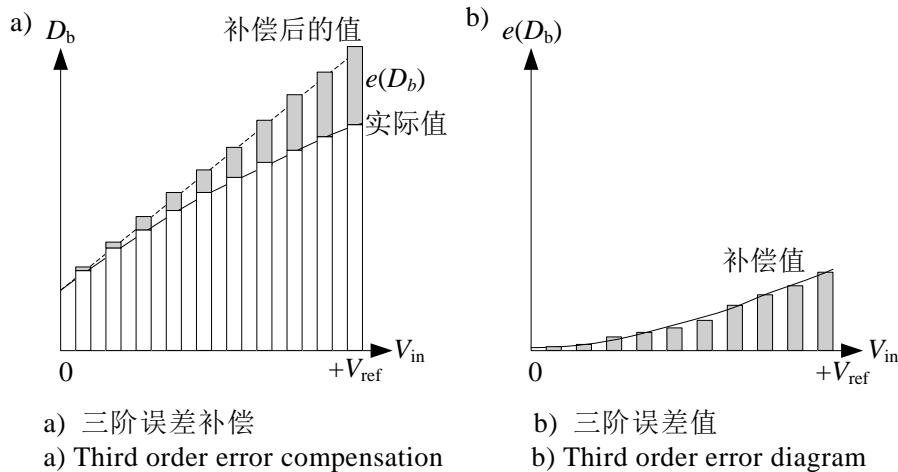


图 3-12 三阶误差补偿及三阶误差值示意图

Fig.3-12 Third order error compensation and third order error diagram

一般通信系统中的信号经过采样或调制后，都会满足一个统计规律，即小于某个值 V 的信号值出现的概率与信号总的出现次数的比率与信号的大小成比例^[47]。基于这一规律，我们就可以以后台 ADC 的输出码值 (后台码值) 为纵坐标，而其对应的累积柱状图为横坐标来计算误差值。本设计中通过局部分段线性插值法来估计三阶误差的值，原理见图 3-13。该方法首先选取实际曲线上与某一点相近的两点，通过这两点作一条直线，然后求得该点在直线上对应的纵坐标，把这个纵坐标与原来曲线上的点纵坐标做差求得非线性误差值。具体实施过程如下：

每当一个后台码值 D_{bx} 进入校准路径时，搜索机制开始工作。它在两组 RAM 存储的数据中分别寻找与 D_{bx} 距离最近的两个码值以及对应的累计柱状图，以双余量曲线其中的一条线为例，这两组数据在余量曲线中所对应的点分别记为

点 $I(i, a[i])$ 和点 $J(j, a[j])$, 而 D_{bx} 以及相应的累积柱状图所对应的点记为 $(D_{bx}, a[D_{bx}])$ 。在点 I 与点 J 之间作直线, 然后在直线上寻找累积柱状图 $a[D_{bx}]$ 所对应的点, 对应的码值记为 D'_{bx} 。将 D_{bx} 与 D'_{bx} 做差求得补偿误差的值。点 I 、点 J 与 D_{bx} 所对应的点的位置关系有三种情况: a) “ D_{bx} ” 所对应的点在点 I 和点 J 之间, 这是最常见的一种情况, 这种情况反映在余量曲线中如图 3-14 a) 所示, 此时三阶误差值的计算方法见式(3-17); b) “ D_{bx} ” 是存储的所有码值中最大的一个, 而 “ i ” 是距离其最近的码值, 这种情况如图 3-14 b) 所示, 对应的三阶误差计算公式见式(3-18); c) “ D_{bx} ” 是存储的所有码值中最小的一个, 而 “ i ” 是距离其最近的码值, 这种情况如图 3-14 c) 所示, 对应的三阶误差计算公式见式(3-19)。

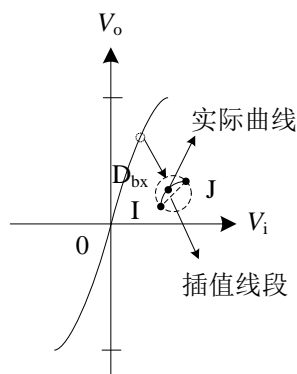


图 3-13 局部分段线性插值原理图

Fig.3-13 Local piece wise linear interpolation principle diagram

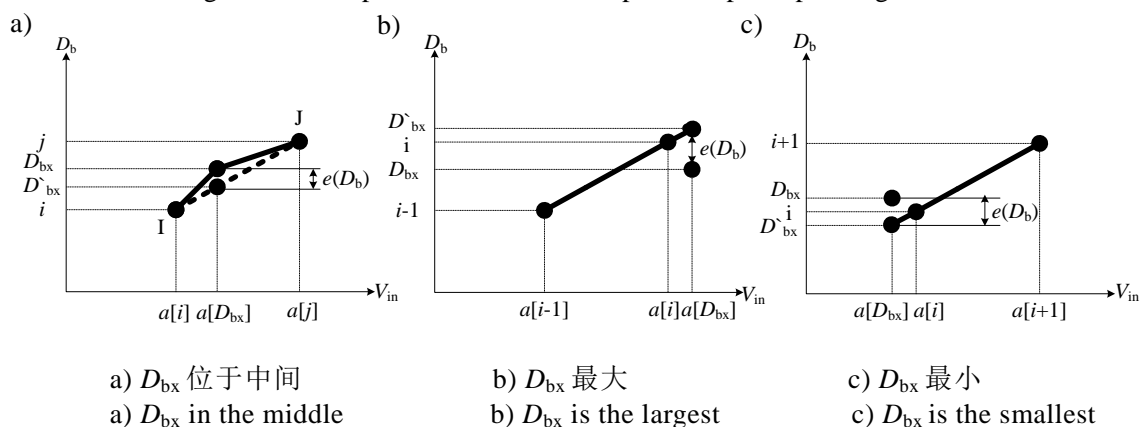


图 3-14 余量曲线直线逼近过程

Fig.3-14 Approaching course of residual curve

每当一个后台码值进入数字处理器时, 校正系统都会给出相应的“理想”后台码值, 而对应的三阶误差值通过将实际码值与“理想”码值做差得到。

通过对双余量曲线进行三阶误差补偿, 对被“0”调制过的码值所对应余量曲线来说所有存储在 RAM 中的数据所对应的点都逼近同一条直线, 被“1”调

制过的码值所对应的余量曲线也是同样的情况。所以，当三阶误差校正完成后，双余量曲线应该由两条平行的直线构成，如图 3-6。两条线是否为平行直线的判决标准是两条线之间的距离 d 。对于两个随机选取的输入信号 V_{d1} 和 V_{d2} ， $\Delta d = d_1 - d_2$ 。如果 Δd 为“0”，那么在曲线中任意位置上，两条曲线之间的距离都是相等的，这时候两条曲线都是直线并且是平行的，三阶误差完全被校正，反之则没有达到预想中的校正效果。 Δd 不为 0，说明校正还没有结束，算法不收敛。这时候被校正后的后台码值会存在 RAM 中，然后继续校正下一次流程，这是一个最小均方算法的过程，最终 LMS 环路会迫使 Δd 趋近于 0。

$$e(D_{bx}) = D_{bx} - \left[i + \frac{j-i}{a[j] - a[i]} (a[D_{bx}] - a[i]) \right] \quad (3-17)$$

$$e(D_{bx}) = D_{bx} - \left[i + \frac{i - (i-1)}{a[i] - a[i-1]} (a[D_{bx}] - a[i]) \right] \quad (3-18)$$

$$e(D_{bx}) = D_{bx} + \left[i - \frac{(i+1)-i}{a[i+1] - a[i]} (a[i] - a[D_{bx}]) \right] \quad (3-19)$$

求得双余量曲线中两条线之间距离 (d_1 或 d_2) 的过程，称为距离估计，这一过程也在统计规律的辅助下完成。伪随机码中“0”和“1”出现的概率各占 50%，那么对于经过伪随机码调制后两条线上的点，相同横坐标对应的累积柱状图应该是近似相等的。假设已知其中一条线上的某点纵坐标 y_{1a} ，见图 3-15，为了找到另一条线上对应的点纵坐标 y_{1b} ，只需要寻找与该点累积柱状图相近的另一条线上的点即可。最终两条曲线之间的距离由 y_{1a} 和 y_{1b} 做差得到。

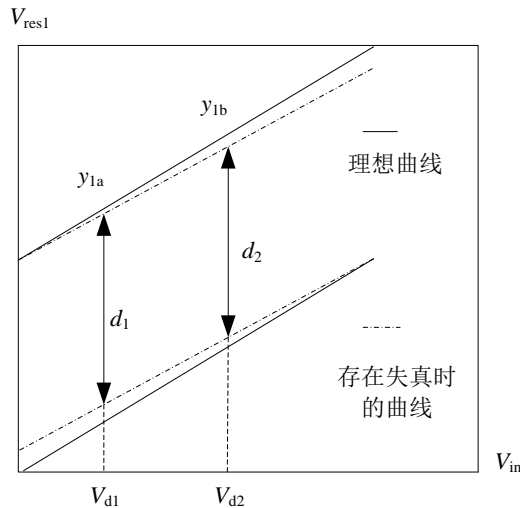


图 3-15 双余量曲线

Fig.3-15 Double residual curve

3.3.6 一阶误差校正

当三阶误差被完全校正后，双曲余量曲线变为两条平行的曲线，此时不能确定是否存在一阶误差，因为其取决于两条直线的斜率。如果两条直线的斜率 a_1 与级间运算放大器的放大倍数 G_1 相等，那么直线与理想的传输函数曲线重合，此时不需要再校正。如果直线与理想的传输函数不重合，那么此时存在的误差属于线性误差，需要继续校正。

当 Δd 为 0 时，双曲余量曲线由存在失真时的抛物线变为两条平行的直线。由式(3-14)可知，此时传输函数中三次项系数 a_3 的值为 0，所以一次项系数 a_1 可以结合曲线之间的距离值 d 求出来。在最后对第一级子 ADC 的输出码值和后台输出码值进行数据拼接之前，需要将后台码值除以系数 a_1 ，这一运算在数字域实现起来比较复杂，所以对这一部分做如图 3-16 的等效^[47]。经过等效之后，只需要把第一级的输出码值和后台码值进行错位相加即可。在校正过程中，把对传输函数中一次项系数的校正归结为校正参数 p_1 ，见式(3-20)。具体校正时，将第一级的输出码值与 p_1 相乘后，再与经过三阶误差校正的后台码值相加即可，见图 3-4。

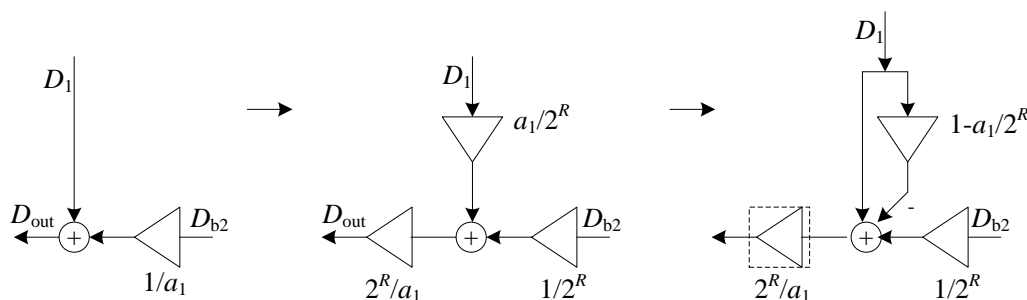


图 3-16 一阶误差校正等效图^[47]

Fig.3-16 Equivalent course for first order error calibration^[47]

$$p_1 = 1 - \frac{a_1}{2^R} \quad (3-20)$$

3.3.7 校正参数更新及算法收敛

本设计中的校正过程在 LMS 算法的控制下重复进行，直到校正完成为止，而这一过程都是在后台进行，不打断正常的 A/D 转换流程。对于后台校正系统来说，除了不打断正常的 A/D 转换流程外，对于非线性误差的校正还应该是实时的，所以校正参数和校正数据都应该周期性的更新。在本设计中，对校正参数的更新是通过更新实时存储的数据来实现的。本设计中 RAM 的最大存储容量为 2^8 比特，当 RAM 中存储的数据达到饱和时，RAM 会被清零，接着重新存

储收集的实时数据。

基于统计的校正算法收敛依赖信号传输的统计规律。在采用分段线性插值法估计三阶误差值时，需要以 RAM 中存储的累积柱状图为横坐标，其对应的后台码值为纵坐标进行分段线性插值运算。此时要求输入信号满足两点：第一，输入信号样本的数量足够多。基于统计规律的校正算法的收敛高度依赖信号传输的统计规律，而这种统计规律只有在样本数满足一定的数量时才能够具备；第二，输入信号足够多样化，以保证样本的多样化。本设计中对输入信号没有任何特殊的要求，所以样本的采集是一个非常长的过程。由文献[47]中的分析，这一过程大概是 50000 次采样的时间。

3.3.8 硬件开销与功耗

本章中校正算法的硬件开销主要集中于累积柱状图的计算、距离估计和三阶误差估计。两组 RAM 存储器被用来模仿计数器的功能，用于统计双曲余量曲线的累积柱状图，分别记为计数器 A 和计数器 B。其中，A 用于统计被伪随机码“1”调制过的后台码值，而 B 用来存储被“0”调制过的后台码值。RAM 存储器的数量取决于后台码值的数量。对于本章设计而言，后台 ADC 码值为 9 位，那么总的 RAM 数量为 2×2^9 个 8 比特（约 8K）的 RAM 单元。本设计中的三阶误差值不需要存储在 ROM 存储器中，而是通过直接计算得到。在计算三阶误差值时需要用到分段线性插值，需要一部分硬件开销，插值操作在每个采样周期都会运行一次，计算过程只需要简单的加法、乘法等操作。距离估计操作在每次 RAM 清零之前才进行一次，这一周期大约是 N ($N=2^{16}$) 个采样周期，所以功耗可以忽略不计。通过综合工具进行综合评估，在 0.18 μm CMOS 工艺，3.3 V 电源电压下，数字处理部分总共需要约 3200 个逻辑门，静态功耗约为 4.4 mW。表 3-1 给出了相关参考文献中硬件开销和功耗等与本方案的对比。

表 3-1 本方案与相关参考文献的硬件功耗等对比

Table3-1 Comparison of hardware and power for some related literatures and this work

文献	工艺	硬件开销 (gates)	RAM/ SRAM (bits)	ROM (bits)	数字功耗 (mW)
文献[29]	0.18 μm	--	--	60 K	10
文献[48]	0.35 μm	8400	512	64 K	6.6
文献[58]	0.18 μm	912+--	450+--	--	13.2
本方案	0.18 μm	3200	8 K	0	4.4

从表 3-1 可以看出,在文献[48]中,不仅用到 RAM 存储器,还需要大量的 ROM 存储器来存储三阶误差,通过查表法获得误差值来进行补偿。文献[29]在文献[48]的基础上采用了优化算法来压缩 ROM 的数量,但是仍然需要一定数量的 ROM。在文献[48]中,数字处理部分硬件开销大概为 8400 个逻辑门,数字功耗为 6.6 mW;在文献[29]中,数字部分的功耗约为 10 mW。而文献[58]中采用了参考 ADC,在增加了模拟硬件开销的基础上,数字部分的功耗比本方案高。相比之下,本设计中的硬件开销相对较小,并且在节约了模拟部分功耗的基础上,数字部分功耗并不算大。

3.4 分段线性插值法校正仿真与分析

为了对这种校正算法的校正效果进行验证,应用建立的行为级仿真平台进行仿真。将算法应用在一个 12 位, 40 MHz 采样速率,第一级采用开环放大器的流水线型 ADC 中。仿真采用的工艺为 CMOS 工艺,电源电压为 3.3V,输入信号 V_{pp} 为 2V。

仿真时开环放大器的传输函数选为三次多项式形式。通过对实际电路在 0.18 μm CMOS 的工艺下的参数分析,模拟实际开环放大器电路加入一定的线性和非线性误差。在表 3-2 和表 3-3 中分别列出了一阶误差比率由-15%到 15%之间,三阶误差值分别为-30 到 30 之间时,对应的校正前后 SFDR 值。并根据仿真数据分别做出了校正前后 SFDR 随一阶误差和三阶误差误差变化图,如图 3-17 所示。从表 3-2、表 3-3 和图 3-17 可以看出,校正后的 SFDR 并没有随着误差值的加大而明显下降,可见该校正技术对于这一范围内的一阶及三阶误差都有较好的校正效果,也从一定程度上验证了该校正技术对非线性误差的校正范围不受存储器容量的限制这一点。

表 3-2 一阶误差参数及校正前后 SFDR

Table3-2 Linear error parameters and SFDR before and after calibration

组别	1	2	3	4	5	6	7
一次项系数	6.8	7.2	7.6	8	8.4	8.8	9.2
三次项系数	-15	-15	-15	-15	-15	-15	-15
校正前 SFDR(dB)	42.8	45.7	50.3	60.6	60.2	53.0	50.0
校正后 SFDR(dB)	76.1	78.2	81.5	82.3	81.6	79.8	77.8

表 3-3 三阶误差参数及校正前后 SFDR

Table3-3 Third order error parameters and SFDR before and after calibration

组别	1	2	3	4	5	6	7
一次项系数	7.6	7.6	7.6	7.6	7.6	7.6	7.6
三次项系数	-30	-20	-10	0	10	20	30
校正前 SFDR(dB)	48.0	49.5	51.3	52.3	56.7	61.5	63.8
校正后 SFDR(dB)	76.6	78.3	81.9	82.1	81.5	79.7	78.6

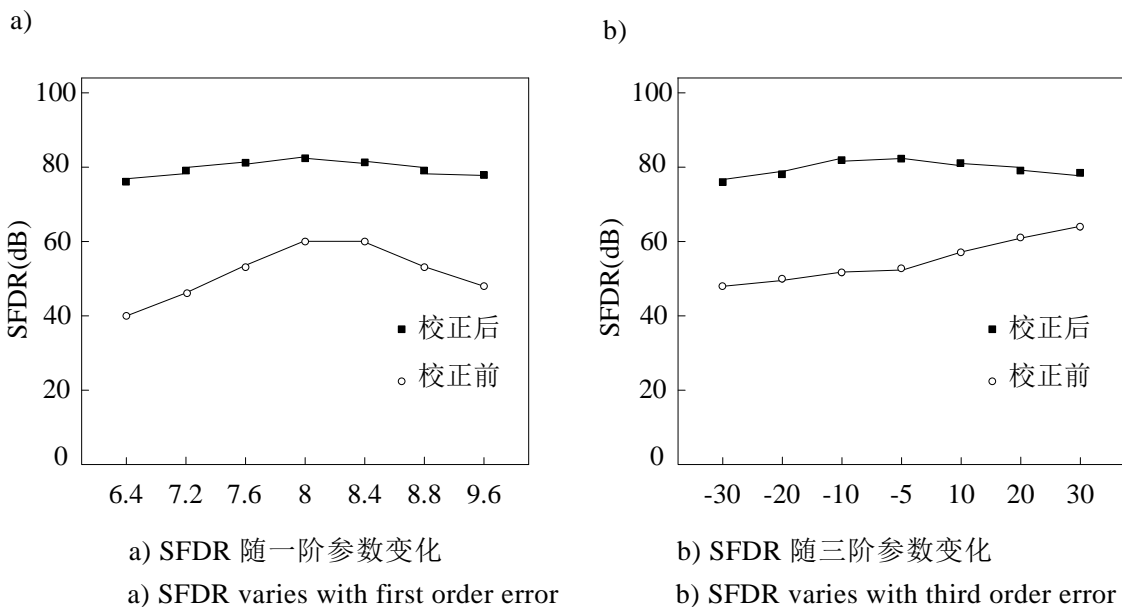


图 3-17 校正前后 SFDR 随误差变化示意图

Fig.3-17 SFDR varies with error before and after calibration

在开环放大器传输函数模型中加入 5% 的一阶误差，二阶误差系数为 0，三阶误差系数选为典型值 15。分别选取输入信号频率在远离奈奎斯特频率和奈奎斯特频率附近，对系统进行仿真验证。表 3-4 给出了该仿真条件下校正前后的静态和动态仿真结果数据。图 3-18 给出了该设计的静态特性仿真结果。校正前，ADC 的 DNL 范围为 $(-1, 1)$ LSB，INL 为 $(-20, 7.5)$ LSB，此时由于开环放大器的非线性失真较严重，导致系统线性度非常差。校正后，DNL 提高到 $(-0.25, 0.25)$ LSB，INL 提高到 $(-1, 0.25)$ LSB，可见校正效果非常明显。图 3-19 给出了输入信号频率为 1 MHz 时的动态特性仿真结果，校正前 SFDR 只有 60.1 dB，校正后，SFDR 提高到 82.7 dB。

表 3-4 仿真性能表

Table3-4 Simulation performance summary

参数		数值	
		校正前	校正后
DNL (LSB)		(-1, 1)	(-0.25, 0.25)
INL (LSB)		(-20, 7.5)	(-1, 0.25)
SFDR (dB)	$f_{in}=1\text{M}$	60.1	82.7
	$f_{in}=19.8\text{ M}$	60.1	82.5
SNDR (dB)	$f_{in}=1\text{M}$	52.3	73.2
	$f_{in}=19.8\text{ M}$	52.1	72.6
ENOB (bits)	$f_{in}=1\text{M}$	8.4	11.9
	$f_{in}=19.8\text{ M}$	8.4	11.8

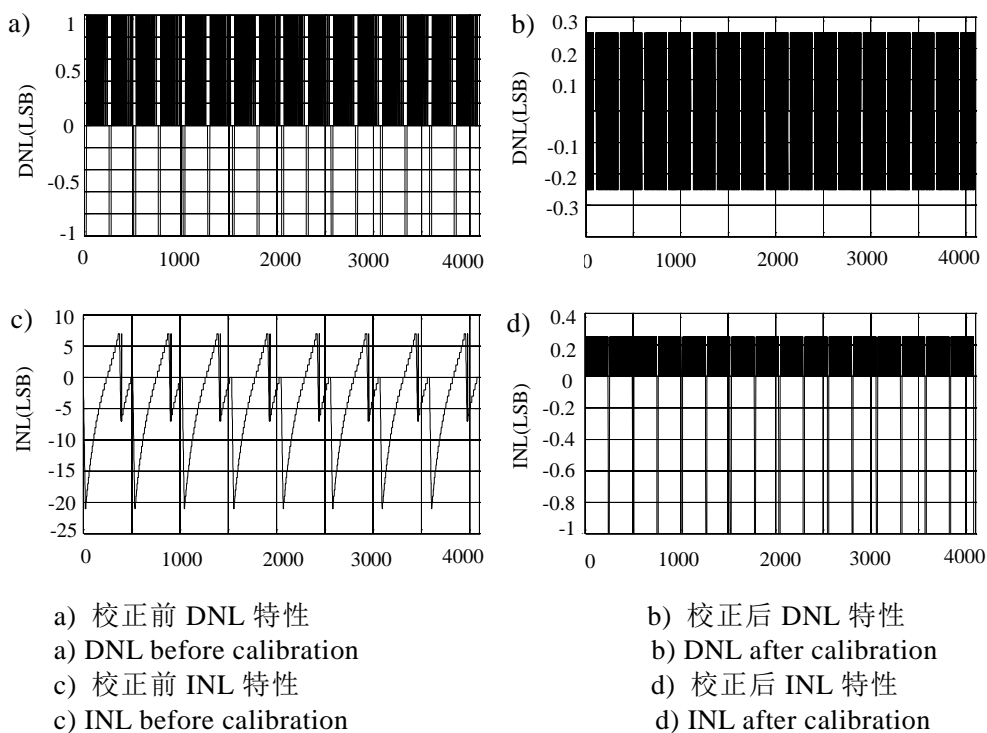


图 3-18 校正前后的 INL 与 DNL 特性

Fig.3-18 INL and DNL characteristic before and after calibration

图 3-20 给出了该校正算法中三阶误差校正的收敛过程。可见，采用分段线性插值法，算法逐次逼近过程可在 300~500 个采样点，也就是 150~250 次插值计算后达到收敛。

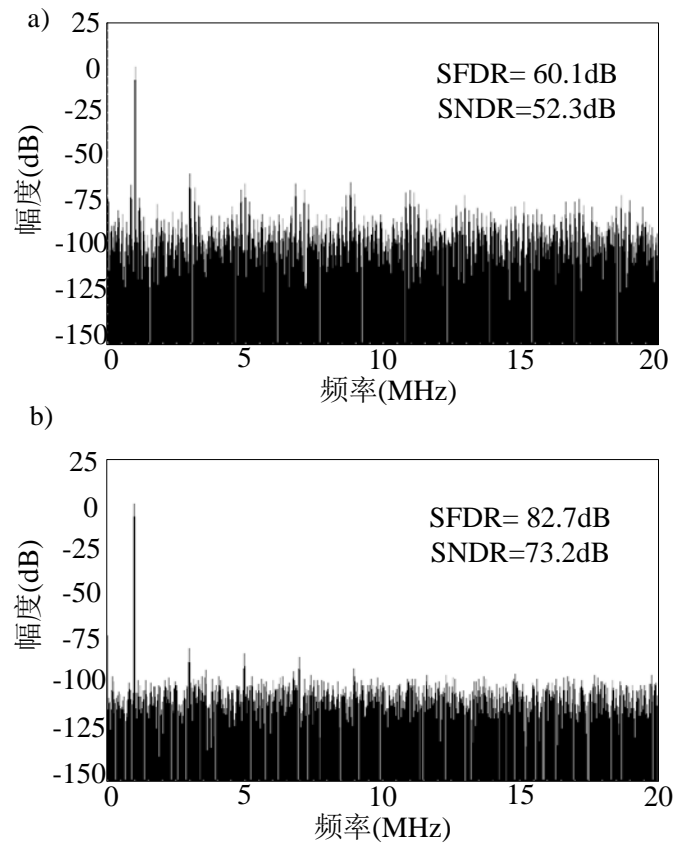


图 3-19 输入信号为 1 MHz 时的动态特性曲线

Fig.3-19 Dynamic charasteric curve with an input signal of 1 MHz

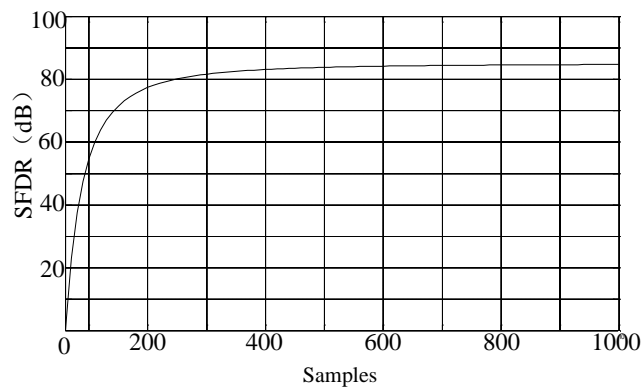


图 3-20 算法收敛过程图

Fig.3-20 Algorithm convergence course diagram

3.5 本章小结

本章通过对现有的基于统计规律的数字校正技术的研究，提出了一种采用分段线性插值法的基于统计规律的数字校正技术。区别于传统的用查表方式来估计非线性误差的过程，该设计的误差值在分段线性插值法的辅助下通过直接计算得到。首先，采用这种方法得到的误差值并不是估计值，而是准确计算值，值较准确，校正精度高。其次，该校正技术校正范围不受 ROM 存储容量的限制，校正范围大。再次，该算法不需要 ROM 存储器，仅需要 2×2^9 个 8 比特的 RAM 单元，相对于采用查表法的设计，可以节约 ROM 存储器，从而可以降低设计成本。采用综合工具对该算法进行逻辑综合和功耗估计，结果表明所用的数字硬件开销为 3200 个逻辑门，数字功耗为 4.4 mW。对算法校正效果的仿真结果表明，对于 1 MHz 的输入信号，采用校正算法后，系统 SFDR 由 60.1 dB 提高到 82.7 dB，可见这种校正算法能够有效的提高系统线性度。

第 4 章 基于 MDAC 传输函数模型的数字校正技术

4.1 引言

当流水线型 ADC 的分辨率达到 12 位以上时,对级间余量放大器的性能和 MDAC 电容匹配度的要求都变得很高,导致模拟部分电路设计变得十分困难,并且系统功耗迅速增大。而如果级间余量放大器开环增益较低,MDAC 电容不匹配的话,就会引入一系列的非理想因素。其中既包括线性误差又包括非线性误差,而这两种误差最终都会影响 ADC 的性能。流水线型 ADC 中的非理想因素可以通过建立 MDAC 传输函数模型的方法来估计,这种校正方法不仅可以校正级间余量放大器的线性和非线性误差,还可以校正 MDAC 电容不匹配造成的误差。

为了同时校正级间运算放大器误差和 MDAC 电容匹配误差,研究者们提出了多种校正方案^[53-55,113-117]。在文献[53-58]中,高精度、低速度的 ADC 被用作参考 ADC,以参考 ADC 的输出码值作为插值节点,通过建立 MDAC 的传输函数模型来估计非线性误差。这种方法存在的问题是需要专门设计一个额外的参考 ADC,这样会增加模拟部分硬件开销并且设计难度较大。为了避免专门设计参考 ADC,一些研究者提出了用虚拟 ADC 来代替实际 ADC 的结构。在文献[59, 61]中, Peng 分别采用虚拟 ADC 结构和偏移双通道结构,来对主 ADC 进行非线性校正;虚拟 ADC 结构对输入信号有一定的限制。偏移双通道技术每一次采样操作对应两次模数转换操作,所以其采样速度慢,吞吐率低。另一种可选的校正方法是通过加入测试信号来加速算法收敛^[66-67],但是测试信号的加入会对系统速度有一定的影响。鉴于上述校正算法中存在的各种问题,考虑采用统计规律来建立 MDAC 传输函数模型。

本章提出一种利用信号传输统计规律来建立 MDAC 传输函数模型的数字校正算法。该算法在统计规律的辅助下建立 MDAC 的传输函数模型,不需要专门设计参考 ADC、对输入信号没有要求、也不用加入测试信号。仿真结果表明,该算法可以有效地提高系统线性度。

4.2 多项式插值理论基础

在对流水线型 ADC 的校正过程中,子级的传输函数是未知的。为了得到传输函数,只能通过统计输入输出值来计算传输函数参数。同样,在实际应用中,很多问题的外在规律都可以通过函数 $y=f(x)$ 来表示,而在处理具体问题时,有

时只能得到函数中有限点的数据,无法得到具体的函数表达式。有限的数据往往不能满足需要,这时候就需要有一个既能反映函数 $f(x)$ 的特性,又便于计算的较简单的函数来近似 $f(x)$,于是就出现了插值法的概念。以流水线型 ADC 子级传输函数为例,由于事先并不能得到具体的传输函数,只能统计输入输出值,所以根据已知的输入输出值来构建传输函数的过程,就是求插值函数的过程,而根据插值函数求得传输函数表达式中没出现过的点的过程,就是插值的过程。

假设 $y=f(x)$ 定义在数值 a 和 b 之间,并且已知在点 $a \leq x_0 < x_1 < \dots < x_n \leq b$ 上对应的函数值 y_0, y_1, \dots, y_n , 如果存在一个简单函数 $P(x)$, 满足式(4-1):

$$P(x_i) = y_i (i=1,2,\dots,n) \quad (4-1)$$

那么, $P(x)$ 就称为 $f(x)$ 的插值函数,点 $(x_0, y_0), (x_1, y_1), \dots, (x_n, y_n)$ 称为插值节点,而包含这些插值节点的区间 $[a,b]$ 称为插值区间,求插值函数 $P(x)$ 的方法称为插值法。通俗的说,插值法就是求得曲线 $y=P(x)$, 使得给定的 $n+1$ 个点都通过 $P(x)$, 并且此曲线能够近似已知曲线 $y=f(x)$, 如图 4-1 所示。

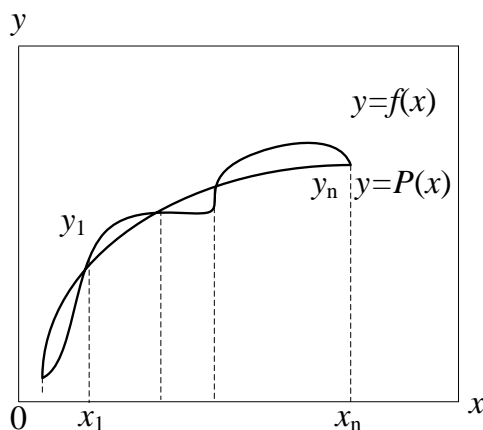


图 4-1 插值法原理图

Fig.4-1 Interpolation principle diagram

插值法是一种古老的数学方法,在理论和实践上的应用都非常广泛。近年来随着信息技术的发展,各种插值法在数字信号处理领域更是发挥着不可替代的作用。

4.3 采用传输函数建模法校正流水线型 ADC

流水线型 ADC 的线性度主要受 MDAC 电容不匹配和级间运算放大器增益误差和增益非线性误差影响。传统意义上,MDAC 电容的大小由 KT/C 噪声决定,但是另一方面,还要满足匹配精度的要求。在高分辨率的流水线型 ADC 设计中,为了达到较小的失配率,电容往往需要做的很大。一般来说,为了满足

匹配度要求,对 MDAC 电容大小的要求比单纯满足 KT/C 噪声的要求高得多。为了提高线性度,需要大幅度加大主 ADC 电容或者提高级间运算放大器的增益,这样不可避免的会增大 ADC 系统的功耗。为了降低功耗压力,需要控制电容大小,这就需要通过其它途径来校正 MDAC 电容的失配。最常采用的方法就是通过数字校正方法来对 MDAC 电容失配进行补偿。MDAC 电容失配误差和级间运算放大器误差结合起来构成 MDAC 误差。近年来,研究者们提出了一系列的数字校正方法来同时校正 MDAC 中的线性和非线性误差,这样就不用提高 MDAC 电路设计参数,可以降低功耗。这些校正方法有一个共同的特点是通过高精度(精度高于主 ADC)插值节点的辅助,来建立 MDAC 传输函数模型,从而利用插值法来对传输函数中的误差进行校正。

下面以最常用的参考 ADC 结构为例,详细介绍这种校正方法的工作原理。图 4-2 给出了采用参考 ADC 结构进行后台数字校正的流水线型 ADC 结构图。该 ADC 由一个高速度、低分辨率的主 ADC 和一个低速度、高分辨率的参考 ADC 组成。不同于以往的设计,该设计中对非线性误差的校正并不是将后台码值看为一个整体,而是对误差进行逐级校正。这种做法相对于以前的设计有一个好处是可以避免后台 ADC 量化误差的累积。流水线型 ADC 子级误差对整体线性度的影响从系统前端到后端逐级减弱,所以通常需要校正的只有前面几级。

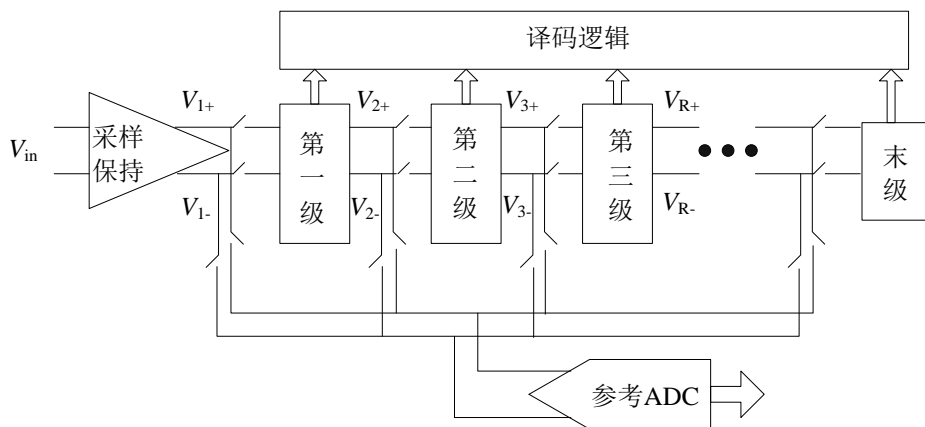


图 4-2 使用参考 ADC 校正流水线型 ADC 结构图

Fig.4-2 Pipeline ADC calibration architecture applying reference ADC

为了同时对 MDAC 电容失配误差和级间余量放大器增益误差进行校正,需要建立 MDAC 传输函数模型。传输函数模型建立通过参考 ADC 的辅助来完成。

在文献[58]中,设计主 ADC 为 12 位、20 MHz,参考 ADC 为 14 位、采样频率为主 ADC 的 $1/32$ 。该设计采用 6 级 2.5 位/级结构组合而成,其中前 3 级 MDAC 采用了非线性误差校正。

ADC 系统工作流程可分为两部分:测试模式和恢复模式。图 4-2 中的时钟控制系统在两个工作模式之间切换。在测试模式下,参考 ADC 开始工作。对于

输入信号 (V_{in}, i), 参考 ADC 转换得到每级 MDAC 所对应的输出值。此时, 对于每个需要校正的 MDAC, 经过参考 ADC 工作后, 得到输入输出采样点 $((X_j, i), (Y_j, i))$, 其中, (X_j, i) 为第 j 级 MDAC 的第 i 个输入码值, (Y_j, i) 为对应的输出码值, 这些采样点稍后被用来建立传输函数模型。对于文献[58]中的参考 ADC 来说, X_i 和 Y_i 都为 14 位, 那么, 每个采样点的码字长度为 2^8 位。对于每级 MDAC, 传输函数都要被采样数段, 这样就相当于每段传输函数被分为几个插值段, 如图 4-3 所示。每个插值段的直线斜率可表示为公式(4-2)的形式, 在参考 ADC 工作过后, 这一数值将被存储起来。

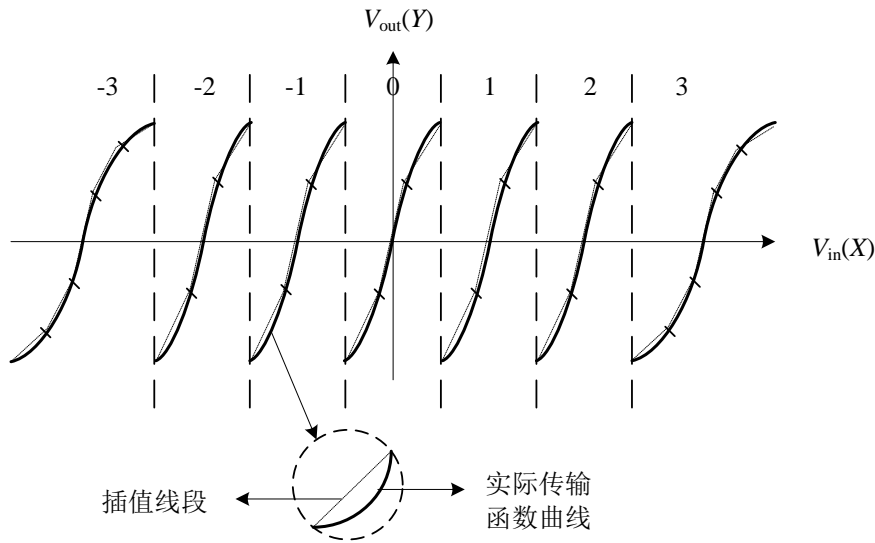


图 4-3 通过插值恢复 MDAC 输入码值示意图

Fig.4-3 To recover MDAC input codes applying interpolation

$$S_{j,i} = \frac{X_{j,i+1} - X_{j,i}}{Y_{j,i+1} - Y_{j,i}} \quad (4-2)$$

在恢复模式下, 时钟控制参考 ADC 停止工作, 主 ADC 转换流程开始, 此时输入信号进入主 ADC 转换为原始码。恢复过程其实指的是利用在测试模式下建立好的传输函数模型, 由量化后的本级数字码值 ($D_{res, j+1}$) 和对应的余量码值 (P_j) 来估计前一级输入码值 ($D_{res, j}$) 的过程。理想情况下, ($D_{res, j+1}$)、(P_j)、($D_{res, j}$) 满足式(4-3)的关系。恢复过程从系统末端开始, 向前端逐级进行。对于不需要校正的子级, 按照公式(4-3)进行恢复; 对于需要校正的子级, 通过建立的传输函数模型, 由插值法估计前级输入值, 见式(4-4)。这一过程从后级到前级重复进行, 直到第一级 MDAC 为止。估计得到的第一级 MDAC 输出码值就是经过校正的输出码值。

$$D_{res, j} = D_{res, j+1} + 4P_j \quad (4-3)$$

$$D_{res, j} = S_{j,x} \times (D_{res, j+1} - Y_{j,x}) + X_{j,x} \quad (4-4)$$

4.4 基于统计规律的传输函数建模法

采用参考 ADC 法建立传输函数模型主要的问题是设计专门的 ADC，这样会增加额外的模拟电路面积，并且参考 ADC 的设计难度较大。另一方面，要求进入两条通路的输入信号在时间上保持一致，这就对采样保持电路提出了更高的要求，无采样保持电路结构的应用比较困难。为了解决这些问题，在本设计中，利用信号传输的统计规律来建立传输函数模型，从而可以免去额外的参考 ADC 设计，也不用加入专门的测试信号。

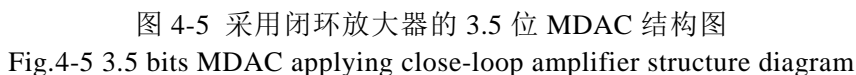
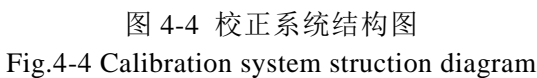
4.4.1 MDAC 传输函数建模法校正系统结构

图 4-4 采用本章提出的数字校正技术的流水线 ADC 系统结构图。图中第一级子 ADC 为 3.5 位，第二级到第八级为每级 1.5 位，最后一级为 2 位。校正过程中，将除第一级外的其它子级看为一个整体，称为后台 ADC。图中 V_{in} 为 ADC 的输入电压， D_1 为第一子级的输出码值， V_{res1} 为第一级余量电压， D_b 为后台 ADC 的输出码值，称为后台码值， D_{b1} 为经过校正的后台码值， D_{out} 为系统最终的输出码值。第一级与第二级间的余量放大器采用低增益的放大器。输入信号 V_{in} 进入第一级子 ADC 进行转换，得到第一级的数字码 D_1 。一方面， D_1 被送入数字处理器等待最后的数字校正和拼接。另一方面， D_1 经过第一级子 DAC 转换为模拟信号， V_{in} 与这个模拟信号相减得到余量电压 V_1 ， V_1 被第一级级间放大器放大得到第一级的余量电压 V_{res1} ， V_{res1} 被送入后台 ADC 进行后级的转换，转换得到后台码值 D_b ，然后再将 D_b 送入数字后台校正系统进行校正。由于第一级级间余量放大器的增益较低，所以经过放大后的余量信号中包含了非线性误差信息，这一非线性将体现在后台数据 D_b 中。图中 $e(D_b)$ 表示误差函数，通过后台校正系统获得，而 D_{b1} 是由 D_b 减去误差函数 $e(D_b)$ 所得到的 V_{res1} 所对应的数字量，最终由 D_{b1} 与 D_1 进行错位相加而获得最后的转换结果 D_{out} 。

4.4.2 MDAC 误差模型

图 4-5 是一个采用闭环放大器结构的 3.5 位 MDAC 结构图，其中 V_{in} 为子级输入信号， V_{cm} 为共模电压， V_{res} 为放大后的余量电压， G 为放大器的开环放大倍数， $C_{s1}-C_{s7}$ 为采样电容， C_f 为保持电容， V_{ref} 和 $-V_{ref}$ 为参考电平。

该 MDAC 传输函数见式(4-5)，其中 C_Σ 为所有的采样电容值之和， V_{DAC} 为对应的子 ADC 电压。在这里，虽然 MDAC 的放大倍数是线性的，但是该放大倍数与理想的 MDAC 放大倍数（对于 3.5 位的 MDAC，理想放大倍数为 8）之间的差值会引起非线性。



基于第三章对开环放大器的分析，放大器的开环传输函数可以表示为式(4-6)的形式，其中 a_1 、 a_3 分别为一阶、三阶误差系数。当放大器闭环应用时，运算放大器的闭环传输函数见式(4-7)^[67]，其中 f 为反馈因子。由式(4-7)可见，当放大器增益较高时，三阶误差项非常小，可以忽略；而当采用低开环增益的放大器时，三阶误差迅速增大，变得不可忽略。

$$y = a_1 x + a_3 x^3 \quad (4-6)$$

$$y = \frac{a_1}{1 + fa_1} x + \frac{a_1^3}{(1 + fa_1)^4} x^3 \quad (4-7)$$

基于上面的分析，在后面的校正过程中，把 MDAC 的传输函数建立为三次多项式的形式。

4.4.3 误差补偿

理想情况下，MDAC 中不存在非线性误差，那么流水线型 ADC 子级的传输函数为直线。当非线性存在时，放大电路的放大倍数随输入信号的大小而变化，造成传输函数曲线失真。存在失真时，第一级余量信号 V_{resi} 由两部分组成：理想的余量值 V_{resi} 和误差值 $e(D_b)$ ，如图 4-6 所示，其中 V_{in} 为子级输入电压， V_{res1} 为输出电压。此时传输函数曲线由理想情况下的直线变为非理想的曲线，如图 4-7 所示。

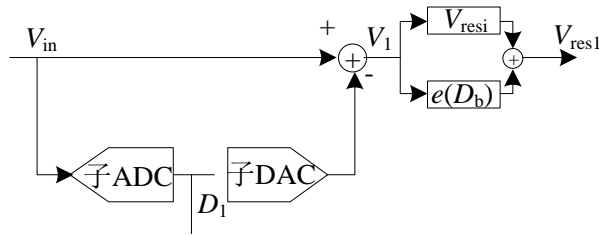


图 4-6 第一级信号传输示意图

Fig.4-6 First stage signal transmission diagram

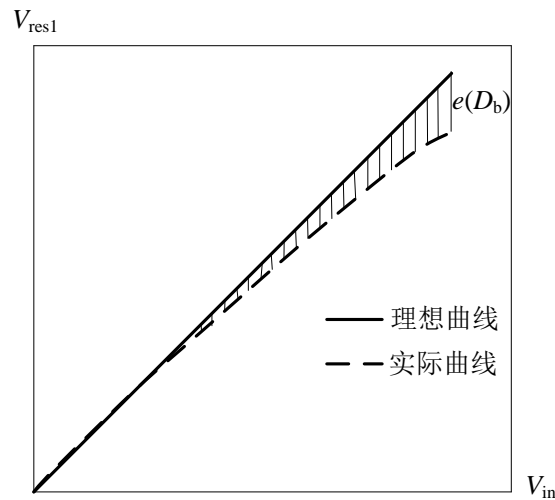


图 4-7 理想余量曲线与非理想余量曲线对比图

Fig.4-7 Comparasion between ideal and non-ideal residual curve

图 4-7 中的阴影部分表示实际传输函数曲线与理想函数曲线的差距, 即 $e(D_b)$ 。为了对传输函数进行校正, 需要建立理想的传输函数模型, 从而估计理想的后台 ADC 输出码值 (后台码值), 然后把实际的后台码值和理想的后台码值做差得到 $e(D_b)$, 最后把得到的差值补偿给实际的码值实现校正。

4.4.4 采用统计规律建立传输函数模型及误差估计

本章提出的校正算法首先在统计规律的辅助下建立第一级 MDAC 传输函数模型, 然后通过多项式插值来估计理想的后台码值, 由理想码值和后台码值之差得到非线性误差值 $e(D_b)$ 。在建立传输函数模型, 也就是求插值函数之前, 首先需要得到一组插值节点的数据, 这一过程可以通过设计参考 ADC、加入测试信号等方式实现。在本设计中, 插值节点数据通过统计规律获得。

在通讯系统中, 一般信号经过采样后都会满足信号传输的统计规律, 即小于某个值 V 的信号值出现的概率与信号总的出现次数的比率与信号的大小成比例, 在第三章中也用到了这一结论。本章建立传输函数模型的过程也借助统计输入信号累积柱状图的方式来实现。用输入信号的累积柱状图来代表输入信号的幅度, 代表 MDAC 的输入值, 后台 ADC 的输出码值来代表 MDAC 的输出。计算插值函数时以后台码值为纵坐标, 其对应的累计柱状图为横坐标, 通过解多项式方程组来求得插值函数。

通过 4.4.2 中的分析可见, MDAC 的传输函数为三次多项式形式。在这里用 y 代表 MDAC 输出值, x 代表输入值, 那么传输函数表达式见式(4-8), 其中 c_1 和 c_3 分别为第一、三阶误差参数。图 4-8 给出了三次多项式传输函数模型建立的示意图。从存储的数据所提供的插值节点中选取任意相邻的三组建立三次多项式模型, 模型建立后, 每一个后台码值都能通过校正系统由此模型求得理想的码值。

$$y = y_0 + c_1(x - x_0) + c_3(x - x_0)^3 \quad (4-8)$$

在校正过程中, 首先在 RAM 存储的数据中寻找与 D_b 最相邻的三个码值以及对应的累积柱状图, 记为坐标分别为 (x_0, y_0) , (x_1, y_1) , (x_2, y_2) 的三个点。于是公式(4-8)中的三次多项式扩展为公式(4-9)中的三次方程组。将公式(4-9)表示为矩阵形式, 见式(4-10)。由公式(4-10)通过一步逆矩阵运算可以得到公式(4-11)。通过矩阵运算解公式(4-11)中的方程, 可以求得传输方程中的参数 c_1 和 c_3 , 从而求得传输函数模型。

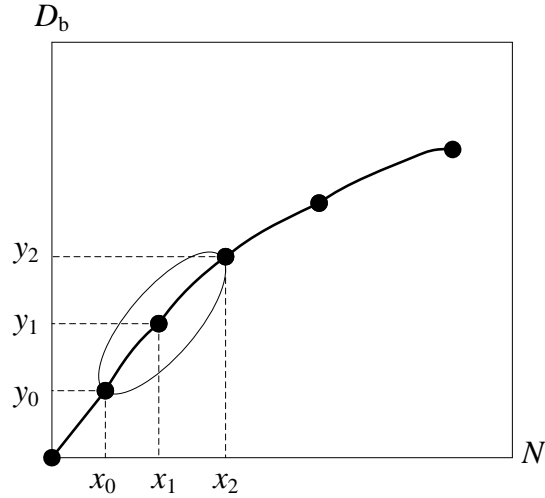


图 4-8 三次多项式传输函数模型建立示意图

Fig.4-8 Cubic polynomial transfer function model construction diagram

$$\begin{cases} y_1 = y_0 + c_1(x_1 - x_0) + c_3(x_1 - x_0)^3 \\ y_2 = y_0 + c_1(x_2 - x_0) + c_3(x_2 - x_0)^3 \end{cases} \quad (4-9)$$

$$\begin{bmatrix} (y_1 - y_0) \\ (y_2 - y_0) \end{bmatrix} = \begin{bmatrix} c_1 \\ c_3 \end{bmatrix} \begin{bmatrix} (x_1 - x_0)(x_1 - x_0)^3 \\ (x_2 - x_0)(x_2 - x_0)^3 \end{bmatrix} \quad (4-10)$$

$$\begin{bmatrix} c_1 \\ c_3 \end{bmatrix} = \begin{bmatrix} (x_1 - x_0)(x_1 - x_0)^3 \\ (x_2 - x_0)(x_2 - x_0)^3 \end{bmatrix}^{-1} \begin{bmatrix} (y_1 - y_0) \\ (y_2 - y_0) \end{bmatrix} \quad (4-11)$$

4.4.5 后台校正原理

图 4-9 给出了本章中提出的数字校正算法工作原理图。输入信号 V_{in} 经过第一级子 ADC 转换后，得到余量信号，这个余量信号稍后被开环放大器放大得到 V_{res1} ， V_{res1} 经过后台 ADC 转化得到后台数字码 D_b ，之后 D_b 进入数字处理器进行处理。

首先，在校正生效之前，需要统计输入信号的累积柱状图。采用一组 RAM 存储器来模仿计数器的功能，统计后台码值的累积柱状图。每个存储器的编号代表一个码值，对应的存储器用来存储这个码值对应的累积柱状图。每当一个后台码值进入后台校正机制，对应的计数器计数值加“1”。当存储足够数量的后台码值之后，校正开始。假设此时的后台码值为 D_b ，那么首先在存储的数据中选取与 D_b 值相邻的三点。然后把选取的数据送入矩阵运算器，通过求逆矩阵、

解矩阵方程等运算求得传输函数模型参数 c_1 和 c_3 ，传输函数模型建立。在校正阶段，把 D_b 代入建立的多项式传输函数模型，通过插值运算得到理想的后台码值 D_{bi} 。将 D_{bi} 与实际码值 D_b 做差，求得误差值 $e(D_b)$ 。将这个误差值补偿给后台 ADC 的输出码值得到校正后的后台码值 D_{b1} 。最后将第一级的输出码值 D_1 和 D_{b1} 做数据拼接，得到最终的输出码值 D_{out} 。

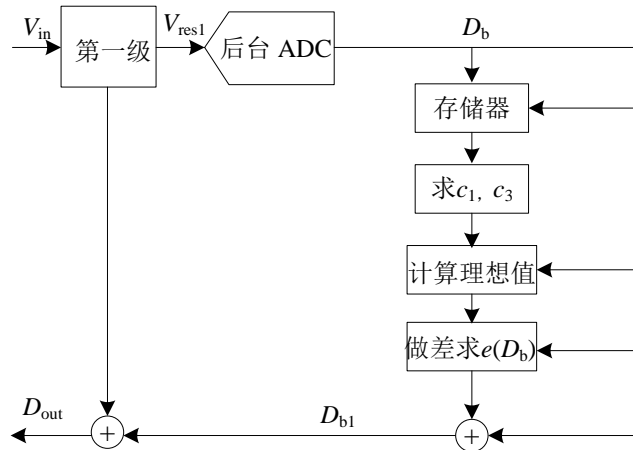


图 4-9 后台校正工作原理图

Fig.4-9 Background calibration working principle

在校正过程中，对每个码值校正之前都需要从存储的数据中选取与 D_b 最相邻的三个点用来构建传输函数模型，所以校正精度与插值节点的密度和选择的传输函数模型类型都有关系。插值节点密度越大，建立的传输函数模型片段拼接起来越接近实际的传输函数曲线，当然计算量也越大。由于在设计过程中将传输函数设定为三次多项式形式，那么传输函数模型选为三次多形式模型最接近实际的传输函数，所以校正精度最高。如果传输函数模型设定为其它类型，比如分段线性模型，那么校正精度比多项式模型低，但是插值计算量和功耗也会比三次多项式低。在实际工作中，RAM 中的数据按一定的周期（远大于采样周期）更新，校正参数能够随着校正的进行不断变化，所以这种校正方式能够跟踪外界环境的变化。

4.4.6 硬件开销与功耗

插值精度，也就是插值函数与实际函数的差别可以用插值余项的大小来衡量^[118]。三次多项式的插值余项表达式见式(4-12)，其中 $f(x)$ 表示实际函数， $P(x)$ 表示插值函数，也就是构建的传输函数模型， $R(x)$ 为插值余项，表示插值函数与实际函数的差值。 $f^{(3)}(t)$ 为 $f(x)$ 在“ t ”处的三阶导数。 x_0, x_1, x_2 ($x_0 < x_1 < x_2$) 分别为三个插值节点的横坐标。变量 t ($x_0 \leq t \leq x_2$)，为 x_0 和 x_2 之间的某一个值（该

值的具体大小无法确定)。 x 与 x_0 、 x_1 、 x_2 的差值都在插值节点一个码值的量级, 即 $(x-x_0)$, $(x-x_1)$, $(x-x_2) \approx V_{\text{ref}}/2^7$ 。由公式(4-12)可得 $R(x)$ 大约在 2^{-21} 数量级。也就是说, 采用本文提出的多项式插值, 可以把传输函数模型的误差控制在 2^{-21} 数量级。

$$\begin{aligned} R(x) &= f(x) - P(x) \\ &= \frac{f^{(3)}(t)}{6} (x-x_0)(x-x_1)(x-x_2) \end{aligned} \quad (4-12)$$

本校正方法只需要计算一组累积柱状图, 在每 4 组后台码值中选取一组作为插值节点。本设计中的后台 ADC 为 9 位, 后台码值一共有 $2^9=512$ 个码值, 所需要的插值节点为 $512/4=128$ 个, 每个插值节点需要用一个 8 比特的 RAM 来统计累积柱状图, 所以总共只需要 128 个 8 比特 (1K) 的 RAM 存储单元即可。本设计中不需要查找表和 ROM 来存储误差值。

在硬件开销方面, 本设计中主要的硬件消耗存在于统计累计柱状图、多项式建模、插值运算、误差值计算中。同第三章一样, 本设计中的校正不是从最后一位开始由后往前逐级校正, 而是把 9 位后台 ADC 的输出看为一个整体来进行多项式建模, 所以只需要一套硬件消耗。多项式建模涉及到矩阵运算, 而一次求逆矩阵的过程只需要几次加法、乘法操作, 这一过程采用加法、乘法器实现即可; 而插值运算和计算误差值也只需要一些加法器和乘法器。这一部分通过 Verilog 语言描述, 使用综合工具对代码进行逻辑综合, 能够得到 RTL 级的面积和功耗的估计值。通过评估, 最终得到该部分需要的硬件大概为 8400 个逻辑门。

与通过查表法获得误差值的校正方法相比, 本设计中实时建模增加的功耗是建立模型和计算每个码值对应的误差值时的功耗, 由于这一过程全部采用数字电路完成, 相较于以增加模拟电路为代价的校正方案具有一定的优势。选取工作电压为 1.8 V, 工艺为 $0.18 \mu\text{m}$ CMOS 的工艺进行逻辑综合, 得到这部分硬件电路的功耗约为 22 mW。

4.5 MDAC 传输函数建模法仿真与分析

为了对校正算法的校正效果进行验证, 采用建立的行为级仿真平台对应用本校正算法的流水线型 ADC 系统进行仿真。电路部分采用分辨率为 12 位, 采样速度为 40 MHz 的流水线型 ADC, 电源电压为 3.3 V, 输入信号 V_{pp} 为 2V。设计第一级和第二级之间的余量放大器采用低开环增益的闭环放大器, 放大器的开环增益为 24 dB, 同时加入 2% 的电容失配误差。

在输入信号分别为 117.2 KHz (远离奈奎斯特频率) 和 19.96 MHz (奈奎斯

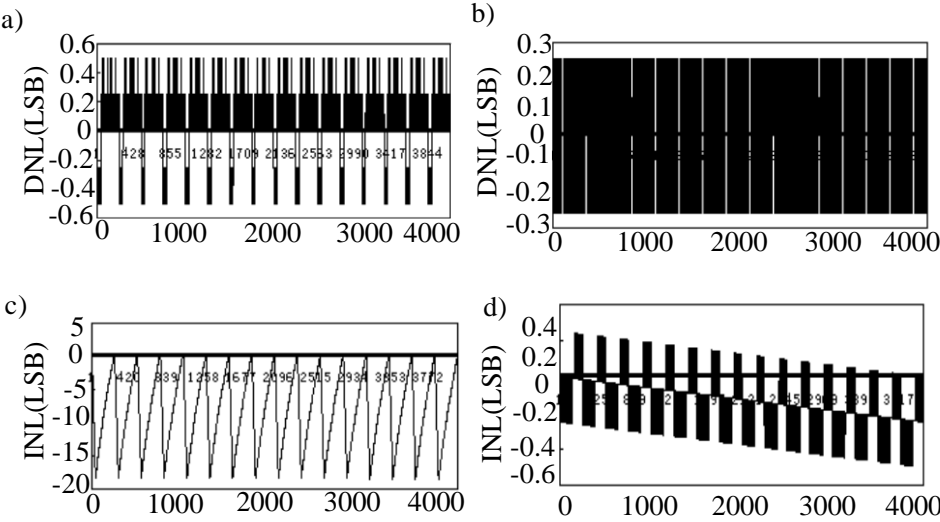
特频率附近) 时, 对系统进行了仿真验证。表 4-1 列出了本章设计中校正前后的仿真数据。

图 4-10 分别给出了在该仿真条件下后台校正流水线系统校正前后的 DNL 和 INL 特性。可见, 经过校正后, DNL 由 $(-0.5, 0.5)$ LSB 提高到 $(-0.25, 0.25)$ LSB, INL 由 $(-18, 0.5)$ LSB 提高到 $(-0.5, 0.25)$ LSB。

表 4-1 仿真性能表

Table4-1 Simulation performance summary

参数		数值	
		校正前	校正后
DNL (LSB)		$(-0.5, 0.5)$	$(-0.25, 0.25)$
INL (LSB)		$(-18, 0.5)$	$(-0.5, 0.25)$
SFDR (dB)	$f_{in}=117.2$ K	48.5	78.9
	$f_{in}=19.96$ M	47.3	78.6
SNDR (dB)	$f_{in}=117.2$ K	42.6	72.3
	$f_{in}=19.96$ M	40.2	70.8
ENOB (bits)	$f_{in}=117.2$ K	6.8	11.7
	$f_{in}=19.96$ M	6.4	11.5



a) 校正前 DNL 特性
a) DNL before calibration
b) 校正后 DNL 特性
b) DNL after calibration
c) 校正前 INL 特性
c) INL before calibration
d) 校正后 INL 特性
d) INL after calibration

图 4-10 校正前后的 INL 与 DNL 特性

Fig.4-10 INL and DNL characteristic before and after calibration

图 4-11 给出了校正前后的动态特性曲线。当输入信号频率为 117.2 KHz 时，校正前 SFDR 和 SNDR 分别为 48.5 dB 和 42.6 dB，校正后分别提高到 78.9 dB 和 72.3 dB。同时可以计算得到 THD 为-73.6 dB，以及经过校正后该 ADC 的有效位数为 11.7 位。

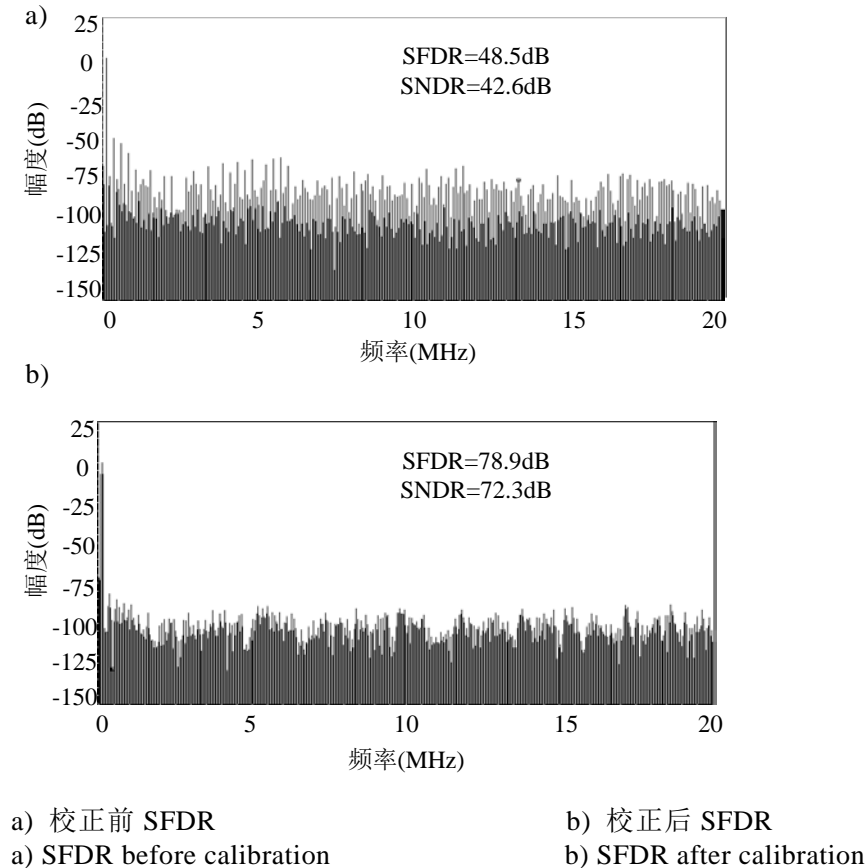


图 4-11 校正前后的 SFDR
Fig.4-11 SFDR brfore and after calibration

4.6 本章小结

本章首先介绍了基于 MDAC 传输函数模型的数字校正技术，针对以前的设计中需要额外设计参考 ADC 的问题，提出了一种改进的数字校正技术。文中首先分析了第一级 MDAC 的传输函数模型，然后利用统计规律来建立 MDAC 传输函数模型。在校正过程中，采用多项式插值法对非线性误差进行估计，并加以补偿实现校正。这种校正技术采用信号传输的统计规律来建立传输函数模型，不需要设计专门的 ADC，从而大大地降低了模拟部分的硬件开销和模拟电路设计难度；采用综合工具对该校正技术的数字硬件开销和数字部分功耗进行估计，得到数字部分硬件开销约为 8400 个逻辑门，功耗约为 22 mW。对校正效果的仿真结果表明，对于 117.2 KHz 的输入信号，校正前后 SFDR 从 48.5 dB 提高到

78.9 dB，可见这种校正方法能够有效的校正 MDAC 中放大器误差和电容失配误差，从而大幅度提高流水线型 ADC 的性能。

第 5 章 基于开环放大器传输函数模型的数字校正技术

5.1 引言

为了降低级间运算放大器的功耗,进而降低流水线型 ADC 系统功耗,设计者们尝试采用其他结构的放大器来代替传统的闭环放大器,来作为级间余量放大器。比如在文献[66]中,KIM 提出了一种采用 Class-AB 型运算放大器作为级间增益运放的流水线型 ADC,并且设计了相应的误差校正机制来解决 Class-AB 型运算放大器中非线性失真较高的问题。Class-AB 型运算放大器常用于功率放大中,这种放大器虽然效率比较高,但同时存在的非线性失真也比常用的 Class-A 型运算放大器更加严重。为了校正这种非线性失真,作者采用了一种加入测试信号来建立运算放大器传输函数模型的校正算法,这种校正算法可以校正 Class-AB 型运算放大器造成的非线性失真,但是采用三次样条插值法对 Class-AB 型运算放大器的传输函数进行近似,校正精度有一定的局限性。在文献[67]中,Daito 采用低增益的闭环放大器作为级间余量放大器,用线性函数来对放大器的传输函数进行近似,校正精度同样受限。

为了提高校正精度,本章提出了一种基于开环放大器传输函数模型的确定性数字校正算法。设计级间运算放大器仍然采用第三章介绍过的开环放大结构,然后选用最接近实际传输函数的多项式来对开环放大器的传输函数进行近似。通过加入测试信号的方式,建立第一级级间余量放大器传输函数模型,通过该模型结合后面子级的输出码值来估计理想的运算放大器输入码值。为了完成校正,在第一级 MDAC 中采用电容分裂法来增加参考电压,以提高测试信号提供的插值节点的精度;结合这种校正算法,设计了相应的时钟策略,保证系统在测试模式与正常转换模式之间切换。

为了结合实际电路对这种校正技术进行进一步验证,本论文应用这种校正方式设计了一款 12 位分辨率,40 MHz 采样率的流水线型 ADC。在这款 ADC 中,采用了无采样保持放大电路结构,并且在第一级中留出一位的冗余位,用以校正无采样保持电路结构中存在的孔阑误差和第一级子 ADC 中比较器失调误差等;设计了一个放大倍数为 4 的开环放大器作为第一级与第二级之间的级间运算放大器;为了进一步降低功耗,采用了 Stage-scaling、运放共享等电路设计技术,并最终实现了一款集成了 RAM 和数字处理器的版图,来对上述设计技术在降低版图面积方面效果和数字校正算法的片上可集成性进行验证。

5.2 采用多项式传输函数模型的数字校正算法

在流水线型 ADC 中，越靠近系统前端的子级误差对整个系统的误差越大，所以一般只需要对流水线型 ADC 的前几级进行误差校正即可。同前面的设计一样，为了清楚的体现本设计中的校正技术对第一级开环运算放大器的校正作用并且简化设计，本文只对采用开环放大器的第一级级间余量放大器传输函数的非线性进行校正，而对于后面的子级，只对线性误差进行校正。实际上，这种校正方法不仅仅可以应用于对开环放大器传输函数非线性的校正，同时也可以校正由于级间余量放大器增益有限而引起的增益误差和增益非线性误差，所以这种方法也可以扩展到后面的子级。

5.2.1 校正系统结构

图 5-1 给出了本章设计的校正系统结构框图。整个流水线型 ADC 由第一级 3.5 位加上 7 级 1.5 位/级结构的子级和一个 2 位的末级组成。第一级和第二级之间的余量放大器采用开环放大结构。对于开环放大器引起的增益非线性误差，采用数字校正算法进行校正。同第三、四章的设计一样，在校正过程中把除第一级外的子级看为一个整体，称为后台 ADC，输出的数字码称为后台码值。

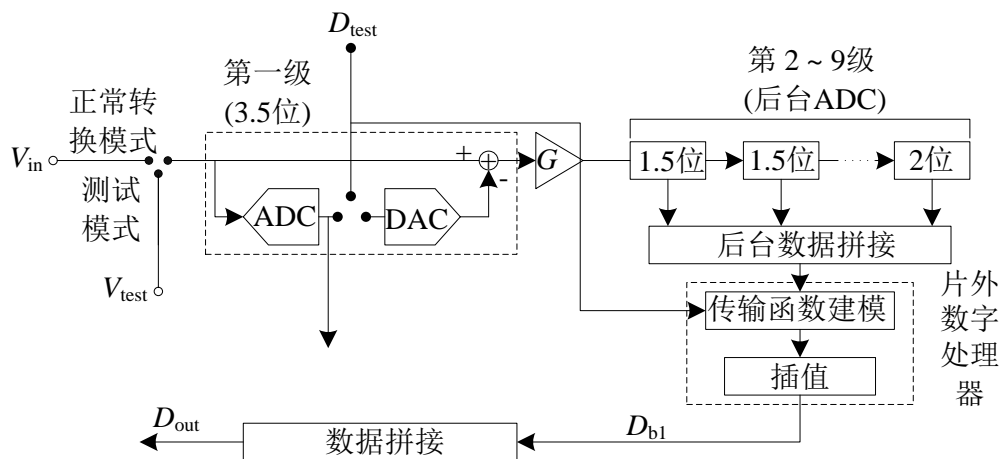


图 5-1 基于多项式传输函数的校正系统结构图

Fig.5-1 Polynomial transfer function based calibration system structure diagram

5.2.2 第一级 MDAC 及传输函数模型

在 2.2.1 中，分别讨论了开环结构的放大器和闭环结构的运算放大器工作过程。对于应用开环放大器的 MDAC，级间增益非线性误差取决于开环放大器，而闭环工作方式的增益非线性同时受放大器的开环增益和电容失配的影响。所以，相对于传统的闭环工作方式，采用开环放大器不需要考虑电容失配对级间

增益的影响，只需要考虑开环放大器的传输函数即可。

由第三章的分析可知，开环放大器的传输函数可以表示为多项式的形式，如式(5-1)。为了对其中的非线性进行校正，需要采用多项式插值。在插值过程中，校正精度由插值多项式的次数决定。插值多项式次数越高，越接近于实际的传输函数，能达到的校正精度越高；比如在文献[67]中，插值函数采用线性函数，校正后 SFDR 能提高约 7.5 dB；在文献[66]中，插值函数采用三次多项式函数，校正后 SFDR 能提高约 25.5 dB。然而，在满足高精度的同时，高次多项式插值运算所需的计算量也更高，这就意味着更高的硬件开销和功耗。

$$y = a_1x + a_2x^2 + a_3x^3 + \dots \quad (5-1)$$

为了达到更高的校正精度，需要选用更接近实际传输函数的插值函数来对放大器的传输函数进行近似。对于本设计来说，为了达到比文献[66]更高的校正精度，需要采用更高次数的插值多项式，例如五次多项式、七次多项式等。然而，随着插值函数次数增加，完成插值运算所需的硬件开销和功耗将呈几倍的增长，当多项式次数达到 5 次及以上时，校正将变得非常不经济。另一方面，对于开环放大器来说，在电路设计中，可以通过对开环放大器的差分输入对管的输入电压范围和过驱动电压进行控制，将放大器传输函数中三次以上的奇数级次谐波成分控制在一个很小的范围之内(不影响后级的转化结果)，同时采用全差分结构抑制偶数次谐波成分。最终，开环放大器的传输函数与不含二次项的三次多项式最接近，如式(5-2)。所以，为了达到更高的校正精度，我们选取插值函数为不含二次项的三次多项式形式。

$$y = a_1x + a_3x^3 \quad (5-2)$$

在本设计中，把开环放大器的输入信号表示为输出信号的函数。因为校正过程是通过后台输出估计输入来完成的，这样做可以免去一步求反函数的过程，可以大幅度地简化计算量，从而节省硬件和功耗开销。最终，建立的传输函数模型见式(5-3)。

$$x = x_0 + c_1(y - y_0) + c_3(y - y_0)^3 \quad (5-3)$$

图 5-2 给出了第一级子 ADC 的传输函数曲线。对于本章设计中第一级 3.5 位结构，该曲线可分为 15 段。在理想情况下，该曲线中每一段都应该为直线，如图 5-2 a)所示。当存在非线性失真时，曲线的形状发生变化，由前面的分析可知，失真后的传输函数为三次多项式形式，所以传输函数曲线变为图 5-2 b)中的抛物线形式。

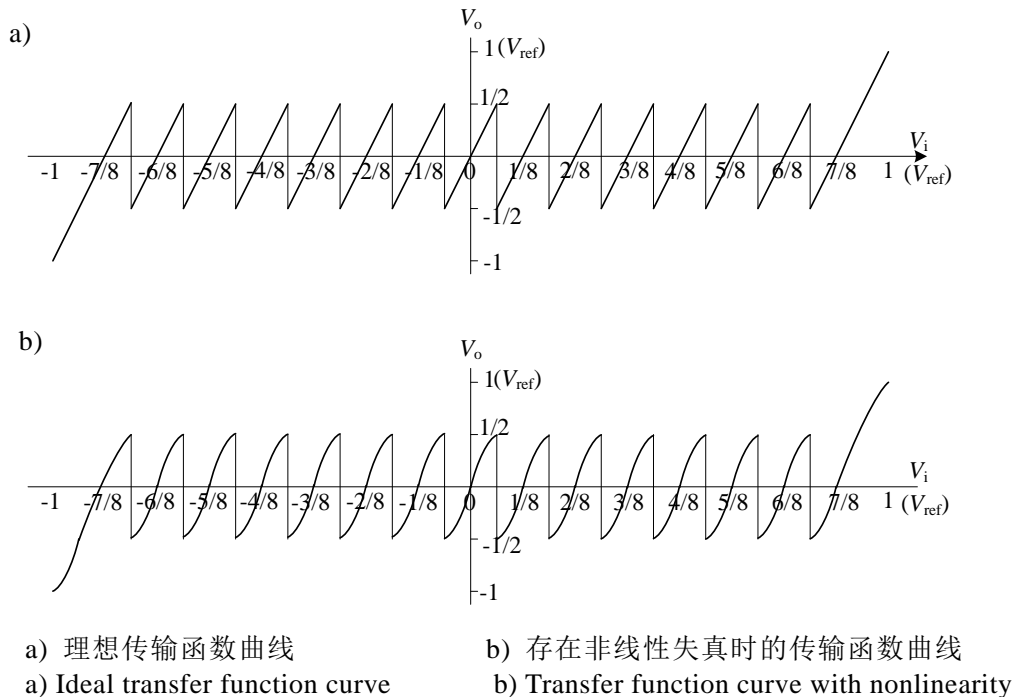


图 5-2 理想与非理想情况下第一级传输函数曲线
Fig.5-2 Ideal and non-ideal first stage transfer function curve

5.2.3 校正原理

本章中采用的校正技术数字处理部分的工作原理如图 5-3 所示。校正系统分为第一级和后台 ADC 两部分。该校正结构中对于第一级非线性误差的校正也是从后级向前级进行的。为了简化，只对第一级级间运算放大器中的非线性误差进行校正。该方法对非线性误差的校正原理是对第一级的开环放大器传输函数进行多项式建模，利用建立的多项式模型，结合后台 ADC 的输出码值来估计放大器的输入码值，最后结合第一级子 ADC 的数字输出码得到最终的 A/D 转换结果。传输函数模型的建立通过加入测试信号来完成。系统工作流程分为校正周期和正常转换周期，分别由相应的时钟控制。在校正周期，分别在系统输入端和第一级子 DAC 的输入端输入相应的测试信号。为了提高测试信号的精度，对第一级子 DAC 进行改进，采用电容分裂法，使得测试信号的精度比正常转换的输出结果精度大约高 3 位。

在校正周期，系统输入端输入测试信号，测试信号经过第一级子 DAC 转化为模拟量，然后与输入端的输入信号值相减后进入级间运算放大器，得到放大后的余量信号 V_{res1} 。 V_{res1} 经过后台 ADC 转化后得到后台码值 D_b ，这个码值跟输入信号所对应的数字码值结合起来作为插值节点，用来计算传输函数模型，也就是插值函数。在正常转换周期，后台 ADC 转换所得的后台数据 D_b 被代入建立的三次多项式模型，用来估计对应的开环放大器理想输入码值，这一过程

就是三次多项式插值的过程。

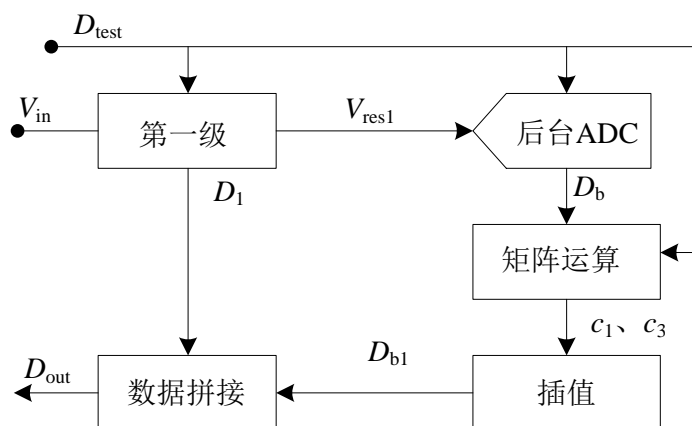


图 5-3 采用传输函数建模的校正技术数字处理原理图

Fig.5-3 Calibration technique applying transfer function modeling digital processing principle

当测试信号进入系统之后，数字处理模块就开始根据选定的传输函数模型结合测试信号通过矩阵运算求解传输函数各项参数值。对于三组测试信号值 (x_0, y_0) , (x_1, y_1) , (x_2, y_2) ，代入传输函数表达式可以得到如公式(5-4)的方程组：

$$\begin{cases} x_1 = x_0 + c_1(y_1 - y_0) + c_3(y_1 - y_0)^3 \\ x_2 = x_0 + c_1(y_2 - y_0) + c_3(y_2 - y_0)^3 \end{cases} \quad (5-4)$$

公式(5-4)也可以表示成矩阵的形式，见式(5-5)：

$$\begin{bmatrix} x_1 - x_0 \\ x_2 - x_0 \end{bmatrix} = \begin{bmatrix} c_1 \\ c_3 \end{bmatrix} \begin{bmatrix} (y_1 - y_0)(y_1 - y_0)^3 \\ (y_2 - y_0)(y_2 - y_0)^3 \end{bmatrix} \quad (5-5)$$

对公式(5-5)通过一步矩阵运算求逆矩阵，可以求得传输函数参数值 c_1 、 c_3 见式(5-6)。

$$\begin{bmatrix} c_1 \\ c_3 \end{bmatrix} = \begin{bmatrix} (y_1 - y_0)(y_1 - y_0)^3 \\ (y_2 - y_0)(y_2 - y_0)^3 \end{bmatrix}^{-1} \begin{bmatrix} x_1 - x_0 \\ x_2 - x_0 \end{bmatrix} \quad (5-6)$$

在正常转换周期，当后台 ADC 的转化结果进入校正系统时，就可以将这个码值代入建立好的传输函数模型，通过插值运算估计开环放大器的理想输入码值，然后对第一级子 ADC 的输出码值和估计所得的理想码值做数据拼接，求得最终的输出码值。

本章建立的传输函数模型是输出值 X 相对于输入值 Y 的函数，这一点与上一章中建立 Y 相对于 X 函数的建模方法是有区别的。

5.2.4 测试信号与时钟

为了加速算法收敛，同时为传输函数建模提供插值节点，在正常的模数转换开始之前，需要在系统输入端加入测试信号。系统工作分为测试周期和正常转换周期两部分。每个部分又都分为4个阶段：复位、采样、比较、放大，分别由4个互不相交叠的时钟 Φ_1 、 Φ_2 、 Φ_3 、 Φ_4 控制。由于传输函数模型的建立过程是一个相对来说比较繁琐的过程，为了节约功耗，设计校正周期为每8个正常转换周期出现一次。系统的时钟图如图5-4所示。

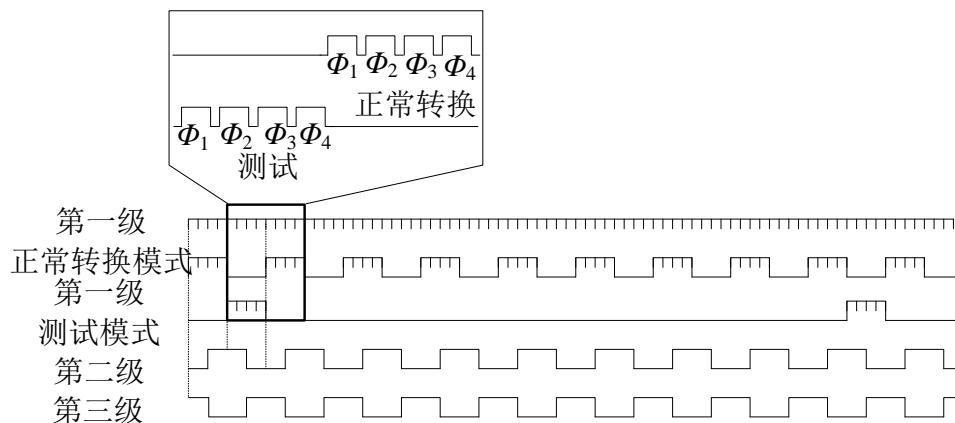


图 5-4 系统时钟示意图

Fig.5-4 System clock diagram

图5-5给出了3.5位MDAC的等效工作原理图。其中， $\Phi_1 \sim \Phi_4$ 为一组时钟，分别在复位、采样、比较、放大阶段有效， Φ_{2e} 和 Φ_{4e} 的时钟沿分别比 Φ_2 和 Φ_4 有稍微的延迟； $C_{s1} \sim C_{s7}$ 为采样电容， C_f 为保持电容； V_{res1} 为放大后的第一子ADC的余量电压； V_{cm} 为共模电压。

在校正周期，系统输入端接测试信号 V_{test} ，子DAC输入端接相应的测试信号码值。当 Φ_1 有效时为复位阶段，此时各个电容器上的电荷都被清零，从而消除上一次工作而留下的残余电荷对输出结果造成的影响。当 Φ_2 有效时进入采样阶段，此时采样电容对测试信号进行采样。 Φ_3 有效时为比较阶段，此时子DAC工作，将其输出电平按照测试信号码值的大小转换到正确的电平值。 Φ_4 有效时为放大阶段，采样电容上的电荷转移到放大电容上，实现余量信号的放大。

正常转换周期，系统输入端接正常输入信号 V_{in} 。在这一周期，采样电容采样到的是正常转换信号，其它的流程都遵循与校正周期同样的步骤。整个工作流程由时钟控制开关的闭合和关断，以保证系统在校正模式与正常转换模式之间切换。

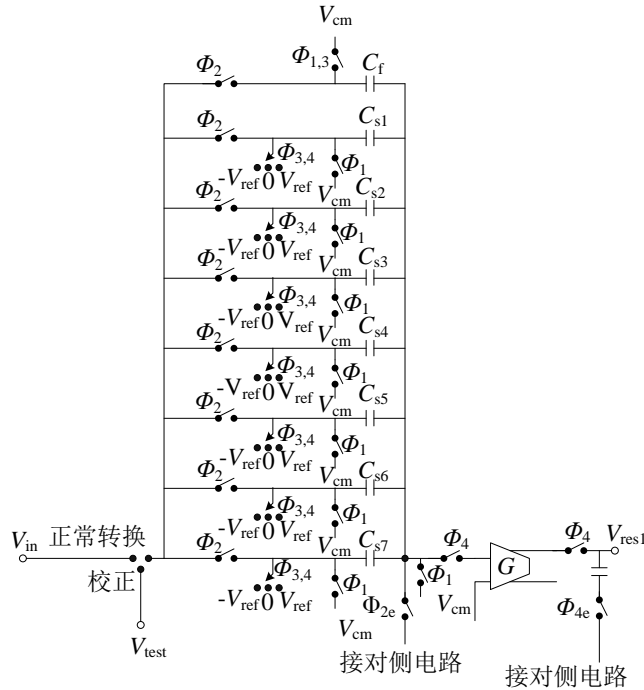


图 5-5 3.5 位 MDAC 等效工作原理图

Fig.5-5 3.5 bits MDAC working principle equivalent diagram

5.2.5 收敛时间与硬件开销

在本章所用到的校正方法中，算法的收敛通过加入测试信号实现，这种校正算法属于确定性的校正算法。在校正周期，测试信号被加入系统输入端，传输函数模型建立；在正常转换周期，后台码值通过多项式插值法估计得到对应的理想输入码值。建立传输函数模型和插值运算等过程全部由数字处理模块实现。相对于模拟电路来说，数字电路的速度要快得多，所以这一校正过程完全可以在一个时钟采样周期内实现。同时，由于测试信号的加入，这种确定性的校正算法比基于统计规律的校正算法收敛速度快得多。

这一部分数字处理模块的硬件开销主要集中在构建传输函数模型时的矩阵运算以及估计理想输入码值时的插值运算等，不过所用硬件也只是一些简单的加法器和乘法器等。为了构建传输函数模型，本设计通过电容分裂技术的应用来获得插值节点，从而对每段传输函数都建立一个三次多项式模型。为了存储计算所得的传输函数模型参数值，需要一组 RAM，分别用来存储模型参数 c_1 、 c_2 以及对应的起点 x_0 、 y_0 值，所需的 RAM 数量总共为 $16 \times 4 \times 10$ 比特。

系统中数字校正部分采用 Verilog 语言描述，为了对这一部分的硬件开销、功耗等做一个大致的评估，采用综合工具对这一部分的 Verilog 代码进行逻辑综合，并对硬件规模和功耗进行估计。在 $0.18 \mu\text{m}$ CMOS 工艺下，本设计中采用三次多项式插值法，除 RAM 存储器外，数字处理部分的硬件消耗约为 13974

个逻辑门，数字部分的功耗约为 3.3 mW。

5.2.6 仿真与分析

应用建立的行为级仿真平台对这种校正算法的校正效果进行仿真验证。仿真工艺采用 0.18 μm CMOS 工艺，工作电压为 3.3 V，输入信号 V_{pp} 为 2V。ADC 的分辨率为 12 位，采样速度为 40 MHz，设计第一级余量放大器采用开环放大器，开环放大器的传输函数模型采用三次多项式形式。模拟 0.18 μm CMOS 工艺下实际电路情况，在放大器传输函数模型中引入一定的误差，其中一阶误差系数为 7.6，二阶误差系数为 0，三阶误差系数为 15。当输入信号频率分别为 140 KHz 和 19 MHz 时，得到相应的校正前后的 SFDR、SNDR、DNL 和 INL 等参数，这些参数都列在表 5-1 中。

表 5-1 仿真性能表

Table5-1 Simulation performance summary

参数		数值	
		校正前	校正后
DNL (LSB)		(-1, 1)	(-0.75, 0.75)
INL (LSB)		(-20, 7.5)	(-0.9, 1.1)
SFDR (dB)	$f_{\text{in}}=140\text{ K}$	60.5	85.2
	$f_{\text{in}}=19\text{ M}$	60.5	84.9
SNDR (dB)	$f_{\text{in}}=140\text{ K}$	50.1	73.1
	$f_{\text{in}}=19\text{ M}$	49.8	72.8
ENOB (bits)	$f_{\text{in}}=140\text{ K}$	8.03	11.85
	$f_{\text{in}}=19\text{ M}$	7.98	11.80

图 5-6 a)、b)、c)、d)分别给出了该仿真条件下流水线型 ADC 校正前后的 DNL 和 INL 特性曲线。可见，DNL 范围由校正前的 (-1, 1) LSB 提高到 (-0.75, 0.75) LSB，INL 由校正前的 (-20, 7.5) LSB 提高到 (-0.9, 1.1) LSB。

图 5-7 给出了输入信号频率为 140 KHz 的动态特性仿真结果，可见，采用校正算法之前，系统的 SFDR 为 60.5 dB，SNDR 为 50.1 dB，有效位数为 8.03 位；校正后，SFDR 提高到 85.2 dB。此时 SNDR 为 73.1 dB，计算得有效位数为 11.85 位。

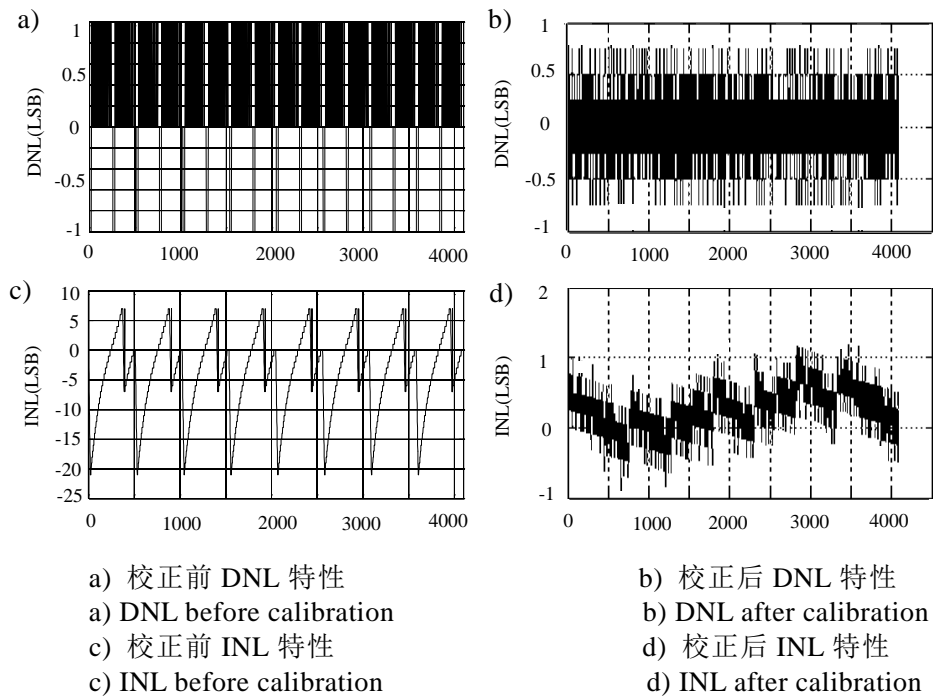


图 5-6 校正前后的 DNL、INL 特性曲线

Fig.5-6 INL and DNL characteristic before and after calibration

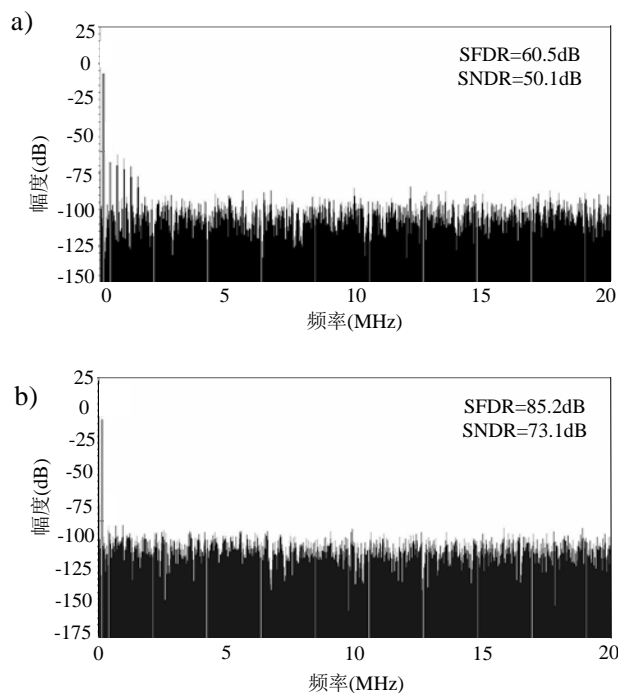


图 5-7 输入信号为 140 KHz 时的动态特性曲线

Fig.5-7 Dynamic characteristic curve with 140 KHz input signal

表 5-2 采用列出了采用本章提出的校正技术后 ADC 性能中与相关参考文献

的对比。相对于文献[66], 本方案的 SFDR 提高了约 7dB。文献[67]中 ADC 设计精度为 14 位, 而校正后的 SFDR 却只有 82.3dB。相比之下, 本方案在校正精度方面具有明显优势, 可见此方案在提高校正精度方面效果非常明显。

表 5-2 仿真性能与相关参考文献对比表

Table5-2 Performance comparasion to other reference designs

文献	工艺	分辨率 (bits)	时钟速度 (Hz)	SFDR (dB)	SNDR (dB)	DNL (LSB)	INL (LSB)
文献[66]	90 nm	12	30 M	78.1	64.5	(-0.66, 0.82)	(-1.54, 1.25)
文献[67]	0.18 μm	14	20 M	82.3	71.6	(-0.28, 0.34)	(-2.71, 1.53)
本方案	0.18 μm	12	40 M	85.2	73.1	(-0.75, 0.75)	(-0.95, 1.2)

5.3 算法 FPGA 验证

运用第二章中建立的基于 FPGA 的验证平台, 对本章中提出的数字校正技术进行验证。在 FPGA 验证平台中的 ADC 数字模型中加入 2% 的电容失配, 10% 的增益误差, 以及 5 次谐波分量, 采用本章提出的数字校正算法进行仿真验证。图 5-8 给出了采用数字校正技术校正前后的静态特性曲线。校正后, DNL 从 (-1, 2.2) LSB 变为 (-0.9, 0.9) LSB, INL 从 (-16.2, 16.9) LSB 变为 (-0.95, 1.2) LSB。

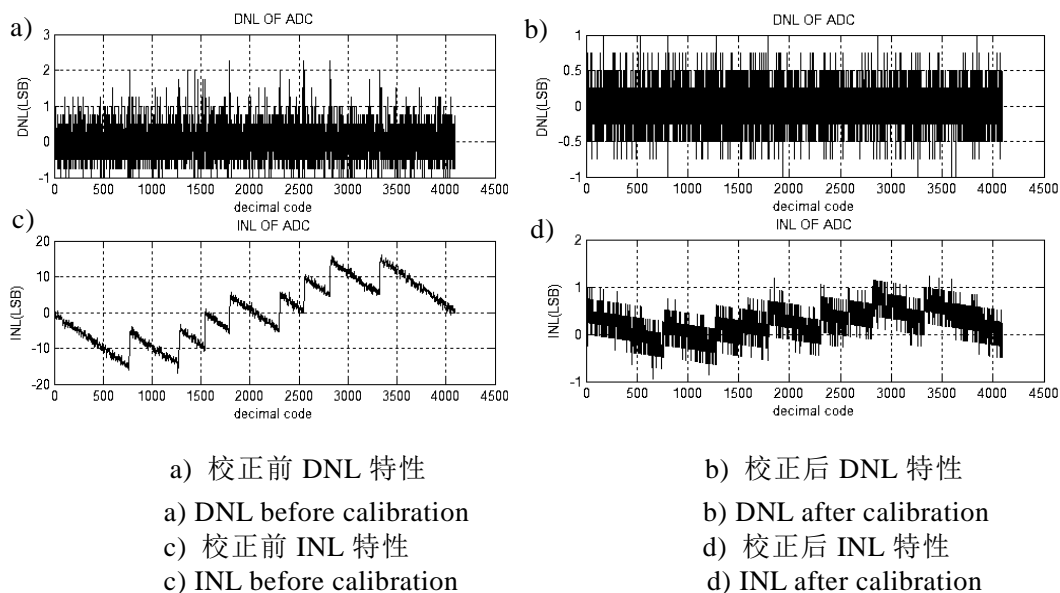


图 5-8 FPGA 验证静态特性仿真结果

Fig.5-8 FPGA verification static simulation results

图 5-9 给出了校正前后的动态特性仿真曲线, 校正前 SFDR 和 SNDR 分别为 59.3dB 和 53.4dB, 校正后分别为 82.3dB 和 67.0dB, 有效位数为 10.8 位。图 5-10 给出了仿真过后统计占用硬件资源和功耗数据导出表。该数字校正算法占

用的硬件资源约为 213 个 LUT (查找表) 和 150 个寄存器，总功耗约为 30 mW。

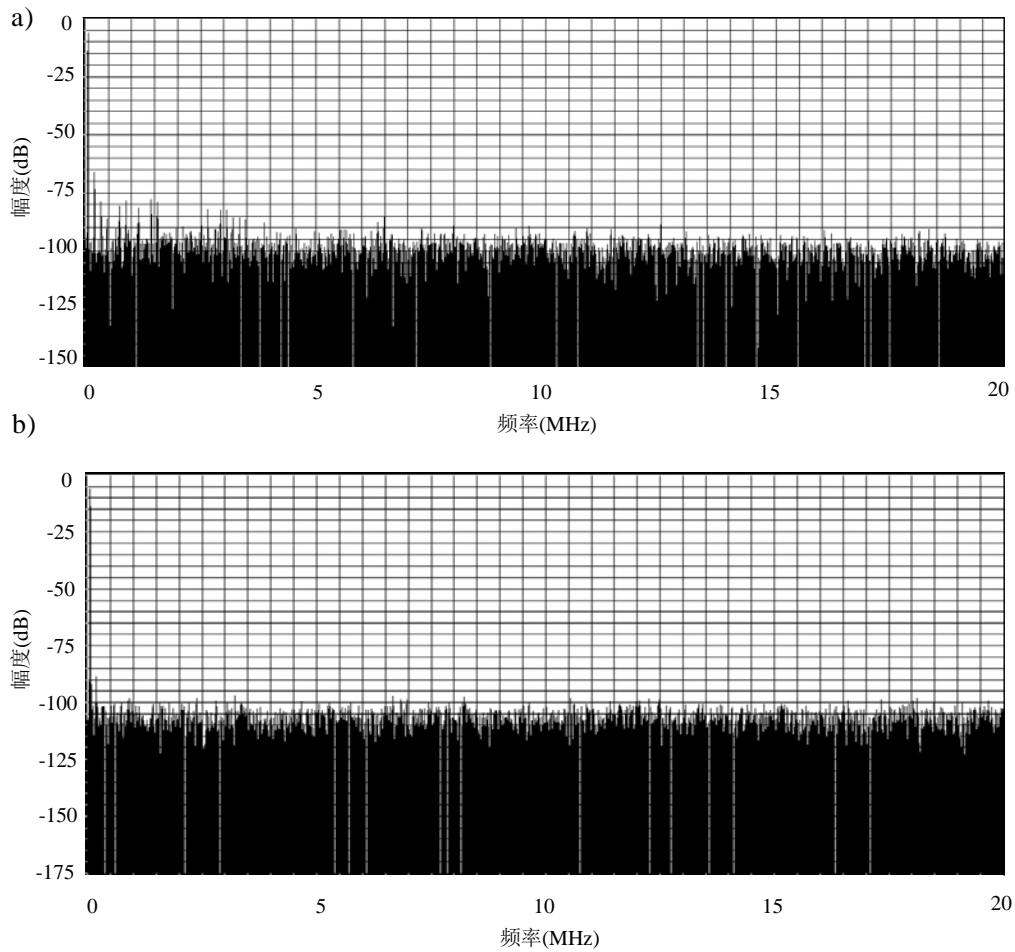


图 5-9 FPGA 验证动态特性仿真结果
Fig.5-9 FPGA verification dynamic simulation results

A	B	C	D	E	F	G	H	I	J	K	L	M	N
Device	Spartan6	On-Chip	Power (W)	Used	Available	Utilization (%)		Supply	Summary	Total	Dynamic	Quiescent	
Family	Spartan6	Clocks	0.001	4	---	---		Source	Voltage	Current (A)	Current (A)	Current (A)	
Part	xc6slx25	Logic	0.000	213	15032	1		Vccint	1.200	0.012	0.001	0.011	
Package	ftg256	Signals	0.000	454	---	---		Vccaux	2.500	0.004	0.000	0.004	
Temp Grade	C-Grade	BRAMs	0.000	*	*	*		Vcco25	2.500	0.002	0.000	0.002	
Process	Typical	DSFs	0.000	4	36	11							
Speed Grade	-2	I/Os	0.000	5	186	3							
		Leakage	0.029										
		Total	0.030										
Environment													
Ambient Temp (C)	25.0												
Use custom TJA?	No												
Custom TJA (C/W)	NA	Thermal Properties	Effective TJA	Max Ambient	Junction Temp								
Airflow (LPM)	0		(C/W)	(C)	(C)								
Heat Sink	None		26.8	84.2	25.8								
Custom TSA (C/W)	NA												
Characterization													
Production	v1.3, 2011-05-04												

图 5-10 FPGA 验证资源占用情况导出表
Fig.5-10 FPGA verification resources usage derived table

5.4 12 位 40MHz 流水线型 ADC 电路设计

在前面的章节中对流水线型 ADC 中存在的非理想因素对系统性能造成的影响,以及消除这些非理想因素所采用的数字校正技术进行了分析,并提出了三种数字校正算法。为了了解实际电路工作情况,从而对数字校正技术进行进一步验证,本节对流水线型 ADC 模拟部分电路设计进行研究,应用先进的模拟电路设计技术设计了一款流水线型 ADC。该 ADC 分辨率为 12 位,工作时钟为 40 MHz。由一个“3+1 位”的首级、1 个经过调整的 1.5 位/级结构,6 个传统的 1.5 位/级结构和一个 2 位的末级组合而成。第一级级间余量放大器采用开环工作方式,为了对开环放大器的传输函数非线性进行校正,应用了本章中提出的确定性数字校正算法。该 ADC 通过 0.18 μm CMOS 工艺实现,模拟电路部分采用电路设计技术实现电路后手工完成版图,数字校正部分通过 Verilog 语言描述后由自动布局布线工具实现。

该 ADC 在系统前端采用无采样保持电路结构,在第一级 MDAC 中采用开环结构的放大器;为了进一步节约功耗,采用了运放共享技术,并且在除第一级以外的子级中采用了逐级缩减技术;子 ADC 中的比较器采用高速低功耗的动态比较器;为了完成校正,在第一级 MDAC 中采用了电容分裂技术。

5.4.1 无采样保持电路结构

在采用采样保持电路的流水线型 ADC 中,采样保持电路占用了很大一部分的芯片面积和功耗,并且还会引入额外的噪声和非线性失真。如果不采用采样保持电路的话,输入信号分别进入子 ADC 和 MDAC 后会存在时间误差,从而造成偏差,也就是孔阑误差。

在细线工艺下,为了降低系统功耗,通常不采用采样保持电路。而在不采用采样保持电路的情况下,为了尽量减小子 ADC 电路和 MDAC 电路之间的信号偏差,需要在版图设计中通过精确对称的时钟走线、信号路径匹配等来保证两条通路信号同时到达。

图 5-11 给出了本论文采用的无采样保持电路的流水线型 ADC 首级工作原理示意图。其中 V_{in} 和 V_{res1} 分别为 ADC 输入端模拟信号和第一子级输出信号; C_1 为采样电容, C_2 为比较器电容;时钟 Φ_1 、 Φ_2 、 Φ_{11} 、 Φ_{22} 与 Φ_{11p} 之间的关系标在图中; D_1 为第一子级的输出码值; G 为第一级级间余量放大器的放大倍数。图中采用栅压自举开关来提高采样线性度;通过两项不交叠时钟控制电路在采样/保持之间切换;采用这种电路结构,可以使两路信号到达放大器的时间尽量一致,从而可以减小两路信号时间偏差。

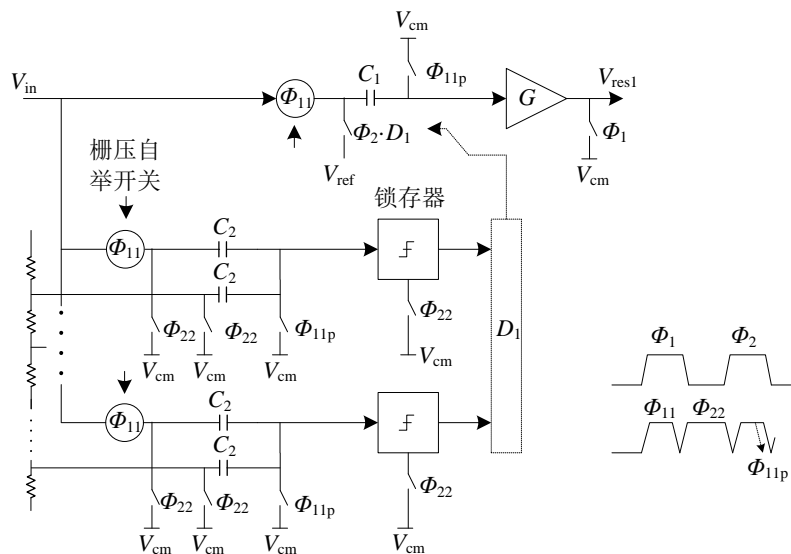


图 5-11 流水线型 ADC 首级工作原理示意图

Fig.5-11 First stage working principle of the pipeline ADC

除了尽量保持两路信号一致之外，还有两个途径可以消除孔阑误差对系统性能造成的影响。第一种方法是控制孔阑误差在第一级子 ADC 电路的校正范围之内；另一种方法是加大第一级子 ADC 电路的偏移误差校正范围。

本设计时钟频率为 40 MHz，输入信号范围为 -1 V 到 1 V。如果第一级采用 3.5 位冗余位结构，那么失调误差校正范围为 $\pm 1/16 V_{ref}$ 。由公式(2-16)进行计算可得，此时时钟误差最大不能超过 249 pS。为了保证孔阑误差得到校正，对电路结构进行修改，将传统的“0.5”位冗余位结构改为“1”位冗余位结构。在第一级采用“3+1”结构，即留出 1 位的冗余位，用以校正不使用采样保持电路引起的偏移误差和第一级中存在的失调误差。

5.4.2 第一级子级电路设计

热噪声是流水线型 ADC 中的主要噪声源，而采样开关热噪声与 KT/C 的值成正比。为了抑制 KT/C 噪声，需要尽量加大采样电容 C 的值。而电路功耗与负载电容大小成正比，选用的电容 C 值越大，功耗越大。在实际设计中，一般控制热噪声的大小低于 ADC 量化噪声的一半。

对于采用无采样保持电路技术的流水线型 ADC，为了得到更大的偏移电压校正范围，第一级采用 1.5 位结构是最佳选择^[119]。但是相对于 1.5 位/级结构，多位每级的结构具有更高的线性度，所以在当前 ADC 设计中，一般选用多位每级结构^[120-122]。为了在偏移校正范围和线性度之间做一个折衷，可以将第一级选为多位每级结构，同时通过增加数字冗余位来提高偏移校正范围^[98,99]。

本设计第一级选用 4 位结构,在不使用采样保持电路的情况下,为了对孔阑误差进行校正,将第一级级间开环放大器的放大倍数由采用 3.5 位结构时的 8 倍修改为 4 倍,并且对第二级子 ADC 进行修改,来加大偏移电压的校正范围,此时相当于留出 1 位的冗余位,所以第一级的有效位数为 3 位。假设输入信号范围为 $\pm V_{\text{ref}}$,传统的 3.5 位结构失调误差校正范围为 $\pm 1/16 V_{\text{ref}}$ 。通过采用“3+1”冗余位结构,可以将失调误差的校正范围扩展到 $\pm 3/16 V_{\text{ref}}$ 。

5.4.3 开环放大器设计

运算放大器是 MDAC 中的核心模块,运放的性能很大程度上决定了整个 ADC 的性能。本设计中第一级级间放大器采用开环放大结构,并对相应的数字校正算法进行改进。

对于本文中 12 位分辨率、40 MHz 采样速度,第一级采用“3+1”位结构的流水线型 ADC,如果第一级与第二级之间的运算放大器采用传统的闭环工作方式,在不考虑反馈系数等情况下这个放大器的开环放大倍数应为 $2^{11}=2048$ 倍,约为 66 dB。高开环增益的运算放大器需要采用折叠共源共栅结构,并且对共模反馈电路的要求非常高,功耗非常大。

如果该放大器采用开环放大方式,那么其放大倍数只需要 4 倍,因此采用简单放大结构即可^[123]。本设计中的开环放大器采用的结构如图 5-12 所示。该放大器包含一个主放大器和一个复制放大器,除此之外还使用了两个差动差值放大器 (Differential Difference Amplifier, DDA) 来放大主放大器和复制放大器的输出差值。复制放大器的作用是通过反馈来调节主放大器和复制放大器的偏置电流等,以将主放大器的放大倍数稳定在 4 倍。在图 5-9 中, M_5 、 M_6 和 DDA1 组成共模反馈电路,用来稳定主放大器的输出共模电压。DDA2 和复制放大器结合起来将主放大器和复制放大器的增益倍数都稳定在 4 倍。

复制放大器的输出电压 V_{rout} 表示式见式(5-7)。其中, $g_{m, M9}$ 为 M_9 的跨导, R_L 为 R_4 、 R_5 、 R_6 组成的 π 型电阻网络的等效电阻。而 DDA2 的输出电压 V_{DDA2} 表示式见式(5-8),其中, A_{DDA2} 为 DDA2 的增益。如果放大器的放大倍数不是 4 倍,那么 $(V_{\text{ro+}}-V_{\text{ro-}})$ 的值也会发生变化。假设工艺偏差或者温度变化等导致 $(V_{\text{ro+}}-V_{\text{ro-}})$ 值变大,那么 V_{DDA2} 的值会减小,也就是 M_8 的偏置电压减小。此时流过 M_8 的电流减小, M_9 和 M_{10} 所在的两条支路的电流也会减小,从而使得放大管的放大倍数减小, $(V_{\text{ro+}}-V_{\text{ro-}})$ 的值减小。通过这一负反馈的过程,最终达到将复制放大器的增益稳定到 4 的目的。主放大器与复制放大器放大部分结构相同,所以这种结构在稳定复制放大器增益倍数的同时,主放大器的增益倍数也随之稳定。

$$V_{\text{rout}} = V_{\text{rop}} - V_{\text{ron}} = g_{\text{m,M9}} R_{\text{L}} (1/4V_{\text{ref}}) \quad (5-7)$$

$$V_{\text{DDA2}} = A_{\text{DDA2}} [(V_{\text{ro+}} - V_{\text{ro-}}) - V_{\text{ref}}] \quad (5-8)$$

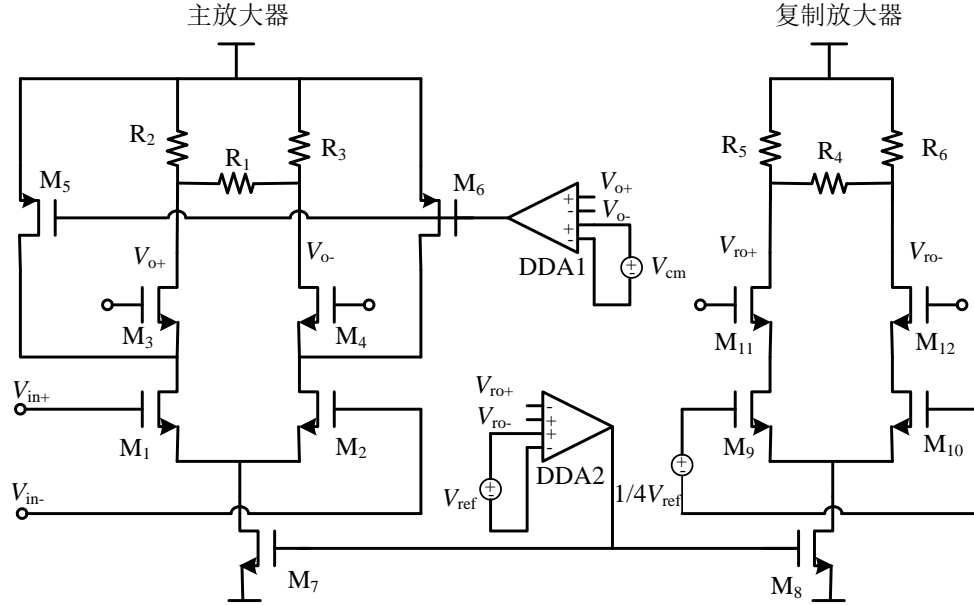


图 5-12 4 倍增益开环放大器结构图

Fig.5-12 4 times gain open-loop amplifier structure diagram

图 5-13 和图 5-14 分别给出了该放大器在典型工艺角下，不同温度和电源电压下的增益特性曲线。当温度在 $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ 之间变化时，增益在 $4.046 \sim 4.075$ 之间，可见该增益相对于温度变化不明显。当电源电压在 $3\text{V} \sim 3.6\text{V}$ 之间变化时，增益在 $4.02 \sim 4.059$ 之间，同样，增益相对于电源电压是稳定的。

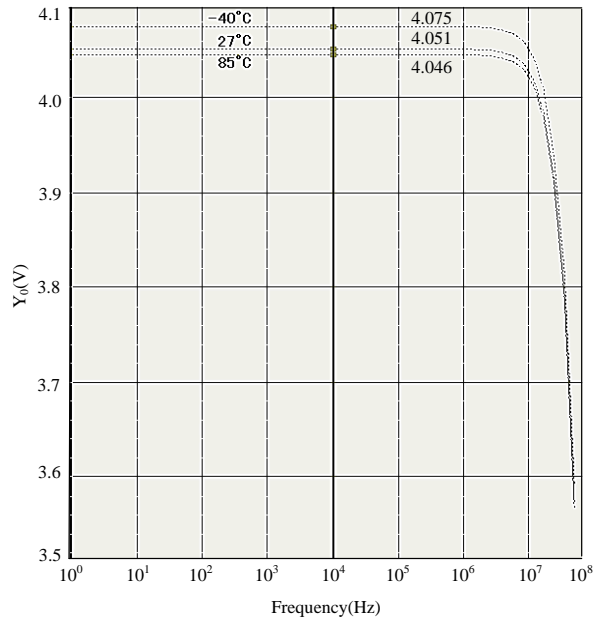


图 5-13 开环放大器增益相对于温度变化曲线

Fig.5-13 Curve of open-loop amplifier gain varies with temperature

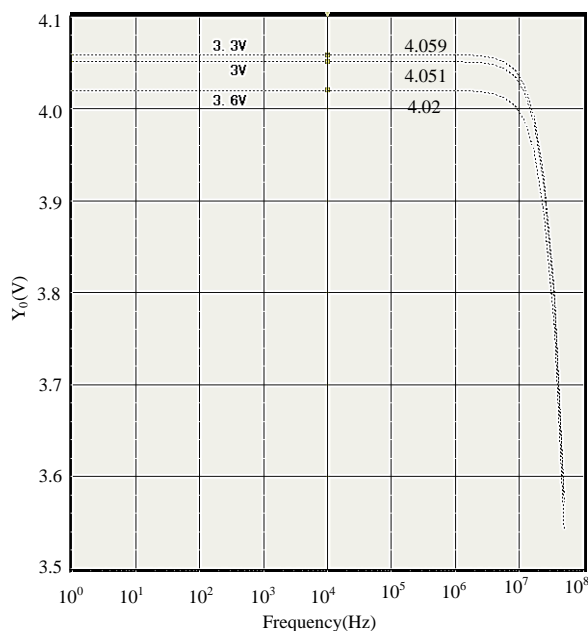


图 5-14 开环放大器增益相对于电源电压变化曲线

Fig.5-14 Curve of open-loop amplifier gain varies with source voltage

5.4.4 比较器设计

子 ADC 采用 FLASH 结构。在不采用冗余位设计的情况下，当子级位数为 N 时，每个子级需要的比较器个数为 2^{N-1} 个，在采用冗余位结构时，需要根据冗余位的个数对比较器的个数进行调整。衡量比较器优劣的性能指标主要有精度、失调、速度和功耗等。低分辨率的 FLASH 型 ADC 对比较器的精度要求并不高，而且流水线型 ADC 中比较器的失调电压可以通过冗余位结构来校正。在这里为了降低系统功耗，比较器选用动态比较器。

动态比较器最大的优点就是没有静态功耗。图 5-15 给出了本设计中采用的差分输入动态比较器的结构图。这种比较器由一对带开关电流源的交叉耦合差分对组成。在源耦合对之间设计了一对 CMOS 锁存器，在输出端采用小尺寸的反相器对输出进行缓冲。这种设计使得比较器对失配非常不敏感^[124, 125]，由文献[124]中的研究结论可知，20%的晶体管失配造成的比较器失调大概为 20 mV (3.3 V 电源电压)。

相对于一般的比较器来说，动态比较器精度较低，而失调也相对较大。对于本设计中的第一级 4 位结构，只考虑位数的话，比较器的精度达到 $1/2^5 V_{\text{ref}}$ 即可。本设计在第一级中留出 1 位的冗余位来对失调误差进行校正，可以看出，采用无采样保持电路结构和动态比较器的失调误差之和在该设计的校正范围之内，所以可以同时对这两种误差进行校正。

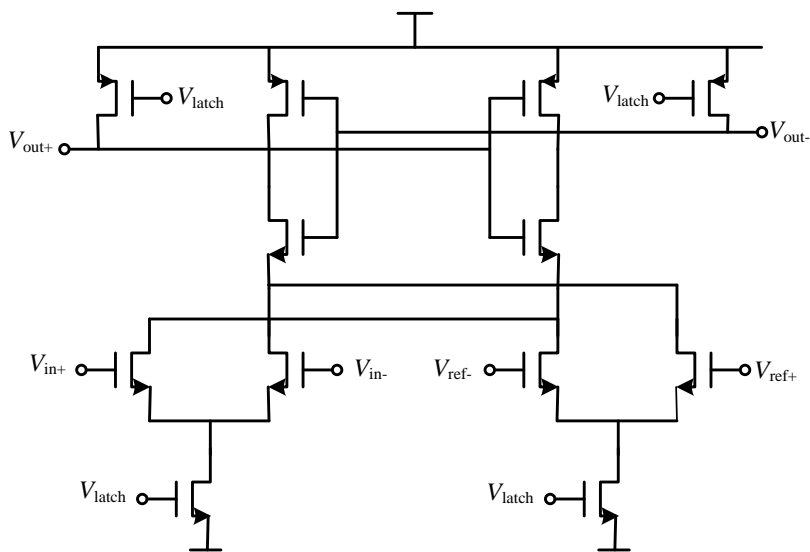


图 5-15 动态比较器结构图
Fig.5-15 Dynamic comparator structure diagram

5.4.5 电容分裂

为了给传输函数模型的建立提供插值节点，本设计在一级 MDAC 中采用了电容分裂技术。该技术在测试周期时将 MDAC 中每个电容都分裂为 4 个，如图 5-16 所示。采用这种技术之后，在测试周期，进入放大器前的参考电平由不采用电容分裂前的 17 个增加到 59 个，如图 5-17 所示，相当于测试信号的精度提高了大约 3 位。这一技术很像文献[126]中的动态元件匹配，通过周期性的切换单位电容大小来提高线性度。该设计跟文献[56-58]中采用比主 ADC 分辨率更高的参考 ADC 来提高校正精度是一样的道理，都是通过提高插值节点精度的方式来建立传输函数模型，从而完成校正。通过时钟控制，电容分裂只工作在测试周期。而在正常转换周期，每个电容还是作为一个整体使用。

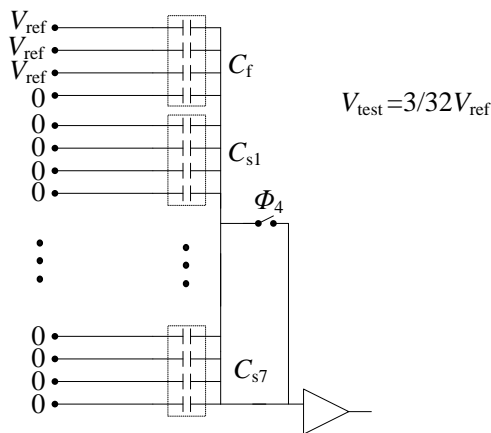


图 5-16 MDAC 电容分裂技术示意图
Fig.5-16 MDAC capacitor splitting technic diagram

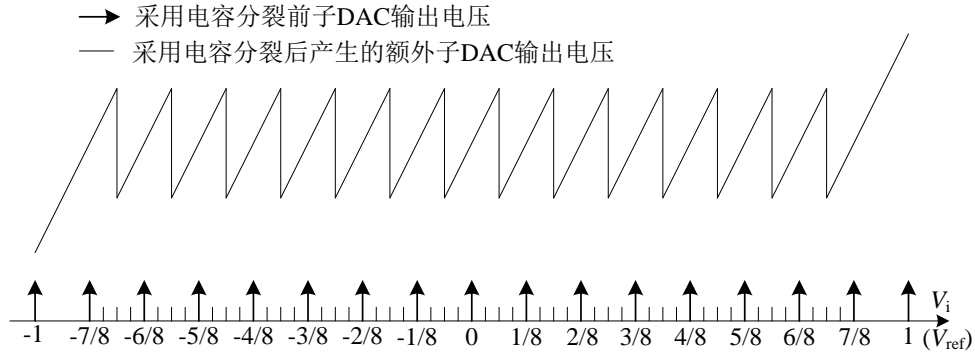


图 5-17 采用电容分裂后的参考电压示意图

Fig.5-17 Reference voltages after applying capacitor splitting

在该设计中，参考电压能达到的精度可以通过建立的传输函数模型推导得到。本设计采用的传输函数模型为第三章中提出的三次多项式形式。在这里，假设输入信号 V_i 的最大值为 $1/2$ (子 DAC 输出的最大值为 $1/2 V_{\text{ref}}$)，同时假设电容失配见式(5-9)。

$$\begin{aligned} C_i &= C_u + \Delta C_i, \quad i = 1, 2, \dots, 8 \\ \sum_{i=1}^8 \Delta C_i &= 0 \end{aligned} \quad (5-9)$$

基于上面的假设，存在以及不存在电容失配的放大器输出值分别见式(5-10)和式(5-11)。

$$V_{o, \text{without}} = a_1 \left(\frac{1}{2} \right) + a_3 \left(\frac{1}{2} \right)^3 + a_5 \left(\frac{1}{2} \right)^5 + a_7 \left(\frac{1}{2} \right)^7 \quad (5-10)$$

$$\begin{aligned} V_{o, \text{with}} &= a_1 \left(\frac{1}{2} \right) + a_3 \left(\frac{1}{2} \right)^3 \left\{ 1 + 3 \left(\frac{\sum_{i=1}^4 \Delta C_i}{4 \cdot C_u} \right)^2 \right\} \\ &+ a_5 \left(\frac{1}{2} \right)^5 \left\{ 1 + 10 \left(\frac{\sum_{i=1}^4 \Delta C_i}{4 \cdot C_u} \right)^2 \right\} \\ &+ a_7 \left(\frac{1}{2} \right)^7 \left\{ 1 + 21 \left(\frac{\sum_{i=1}^4 \Delta C_i}{4 \cdot C_u} \right)^2 \right\} \end{aligned} \quad (5-11)$$

由公式(5-10)和公式(5-11)做差可以得到电容失配对放大器输出值造成的误差最大值，见式(5-12)。由公式(5-12)可以看出这个误差近似于 a_3/a_1 和 $\Delta C_s/C_s$ 的乘积，这是一个非常小的值。

$$\begin{aligned}
 E_{\max} &= \frac{V_{o,\text{with}} - V_{o,\text{without}}}{V_{o,\text{without}}} \\
 &\approx \frac{\left\{ a_3 \left(\frac{3}{2^3} \right) + a_5 \left(\frac{10}{2^5} \right) + a_7 \left(\frac{21}{2^7} \right) \right\} \left(\frac{\sum_{i=1}^4 \Delta C_i}{4C_u} \right)^2}{a_1 \left(\frac{1}{2} \right)} \\
 &\approx \frac{\left\{ a_3 \left(\frac{3}{4} \right) + a_5 \left(\frac{10}{16} \right) + a_7 \left(\frac{21}{64} \right) \right\} \left(\frac{\Delta C_s}{C_s} \right)^2}{a_1}
 \end{aligned} \tag{5-12}$$

5.4.6 电路仿真与分析

在电路设计完成后，采用 Cadence 仿真工具对系统进行仿真验证。电路设计在 0.18 μm CMOS 工艺下进行，ADC 分辨率为 12 位，采样频率为 40 MHz，电源电压为 3.3V，输入信号 V_{pp} 为 2V。仿真结果数据如表 5-3 所示。

在典型工艺角下，当输入信号为 6.11 MHz 的正弦波时，采用校正算法前后的动态特性曲线如图 5-18 所示。

从图中可以看出，校正前 ADC 电路的 SFDR 为 60.5 dB，这与行为级仿真结果非常相近，说明在行为级仿真阶段在模型中所加的非理想因素能够很好的模拟实际电路中的误差等。校正后 SFDR 为 80.5 dB，这一结果比行为级仿真得到的结果要差一些，原因是在行为级仿真平台中所采用的后台 ADC 为理想 ADC，而实际电路工作中不可避免的会引入各种非线性失真、噪声等，最终对结果造成影响。

表 5-3 仿真性能表

Table5-3 Circuit simulation performance summary

参数		数值	
		校正前	校正后
DNL (LSB)		(-1.2, 1)	(-0.8, 0.75)
INL (LSB)		(-21, 8)	(-1, 1.25)
SFDR (dB)	$f_{\text{in}}=6.11 \text{ M}$	60.5	80.5
SNDR (dB)	$f_{\text{in}}=6.11 \text{ M}$	48.8	72.1
ENOB (bits)		7.8	11.7

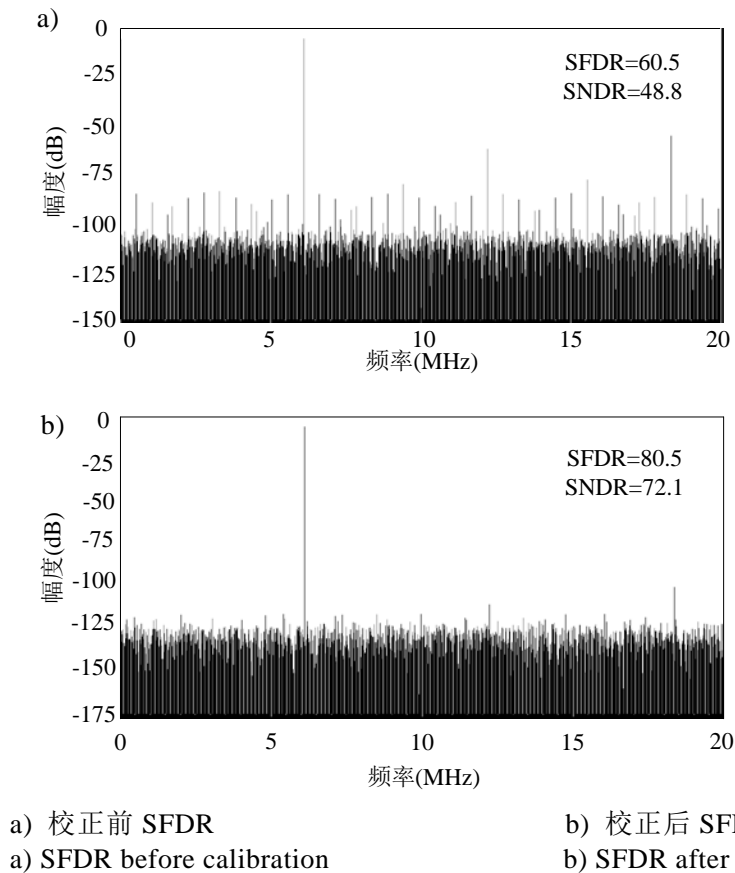


图 5-18 12 位 40 MHz 流水线型 ADC 电路动态特性曲线

Fig.5-18 Dynamic characteristic curve of the 12 bits 40 MHz pipeline ADC circuit

5.5 版图设计

在数模混合集成电路中，物理版图设计是非常重要的一环，对系统性能影响非常大。模数转换器电路属于典型的数模混合电路，版图的总体布局格外重要。在版图设计中，除了要考虑一般的器件对称、匹配、走线等，还需要重点关注系统的规划布局和数字模拟模块之间的隔离。其中，模拟部分、数字部分、存储器部分等要分开考虑，它们之间的连线、匹配、模数电源、地之间的隔离、防干扰等都要重点考虑。

图 5-19 给出了本文中实现的集成了数字校正部分和 RAM 存储器的 ADC 版图总体布局图。其中，模拟部分，包括第 1-9 子级、带隙基准源、时钟产生电路，分布在版图的上部和左中部；数字部分，包括数字处理器、时钟对齐及冗余位校正、RAM 存储器，分布在版图的下部和右中部。这样的布局使得模拟部分和数字部分之间电源、地的隔离比较容易实现，从而可以最大化的避免数字部分对模拟部分造成的串扰和噪声。在版图设计中，连线也非常重要。设计将第一子级放置在中间位置，使得其离对应的误差校正部分和 RAM 存储器比

较近，这样可以方便这一部分跟数字校正部分之间的连线，避免因长距离连线而造成的额外干扰。

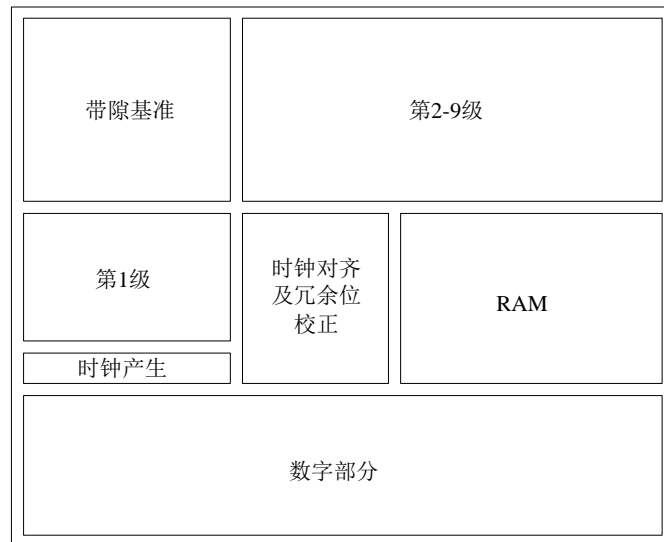


图 5-19 12 位 40 MHz 流水线型 ADC 版图布局图

Fig.5-19 Layout place of the 12 bits 40 MHz pipeline ADC

本设计的版图在 $0.18\ \mu\text{m}$ CMOS 工艺下实现，版图设计采用 Cadence 版图设计工具。模拟部分采用手工设计完成，数字校正部分通过 Verilog 语言描述后由自动布局布线工具实现，最后将两部分手工拼接到一起。图 5-20 为该 ADC 的版图。该版图模拟部分和数字部分的具体分布见图所示，版图总面积约为 $1.4 \times 1.5\ \text{mm}^2$ 。

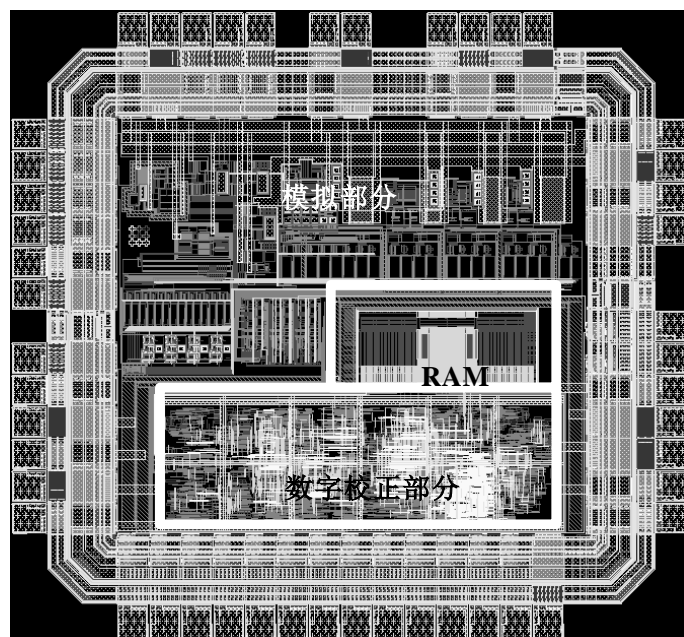


图 5-20 12 位 40 MHz 流水线型 ADC 版图

Fig.5-20 Layout of 12 bits 40 MHz pipeline ADC

为了更进一步验证本章提出的数字校正算法的校正效果,在版图设计完成后,采用 Cadence 工具对该版图进行寄生参数提取,将提取寄生参数后的网表导入 Hspice 仿真工具进行后版图仿真验证。当采样速率为 40 MHz,输入信号频率为 6.11 MHz 时,选取采样点数为 2048 进行频谱分析,结果如图 5-21 所示。由图可见,采用片上集成的数字处理器对该流水线型 ADC 进行校正,校正后 SFDR 约为 78.5 dB,从这一结果可以看出该数字校正技术的片上可集成性和校正效果。

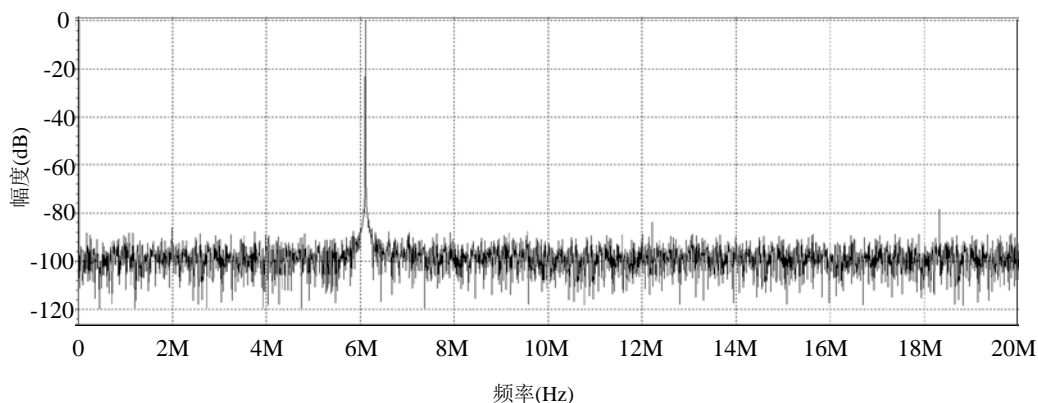


图 5-21 12 位 40 MHz 流水线型 ADC 后仿真结果

Fig.5-21 12 bits 40 MHz pipeline ADC post simulation result

本设计中只采用了一级校正结构来校正非线性误差,而并没有对后面的子级进行校正。在文献[66]中,作者采用了四级校正结构,最终 SFDR 只有 78.1 dB,相比之下,本设计达到的精度更高,可见该校正技术在提高校正精度方面确实有一定的优势。

5.6 本章小结

本章首先分析了现有的确定性数字校正技术在校正精度方面存在的不足,在此基础上提出了一种针对开环放大器非线性误差的确定性数字校正技术。这种校正技术采用三次多项式来对开环放大器的传输函数进行近似,可以提高校正精度。首先在测试信号的辅助下建立开环放大器的传输函数模型,然后利用该模型估计非线性误差,最后对非线性误差进行补偿实现校正。为了提高测试信号所提供的插值节点的精度,在第一级 MDAC 中采用了电容分裂技术;为了保证 ADC 系统在正常转换模式和校正模式之间正常切换,设计了专门的时钟;仿真结果表明,对于 140 KHz 的输入信号,校正前后 SFDR 从 60.5 dB 提高到 85.2 dB,校正后有效位数达到 11.85 位,可见该校正算法可以有效地提高校正精度。应用这一校正算法,设计了一款 12 位、40 MHz 的流水线型 ADC 并实现

了版图，版图面积为 $1.4 \times 1.5 \text{ mm}^2$ 。在这款 ADC 中，采用了无采样保持电路、开环放大器、动态比较器、逐级缩减、级间运放共享等电路设计技术。电路级仿真结果表明，当输入信号为 6.11 MHz 时，校正前后 SFDR 由 60.5 dB 提高到 80.5 dB。后仿真结果表明，采用本章提出的校正技术后，该 ADC 的 SFDR 达到 78.5 dB。

结 论

随着工艺的进步,晶体管本征频率增加,使得数字电路的速度更快、功耗更低;而晶体管本征增益和电源电压的降低,使得模拟电路设计变得更加困难。此时,数字电路的优势显而易见。在这一形势下,为了突破高速、高分辨率 ADC 设计瓶颈,并且在高性能的基础上尽量降低系统功耗,在模拟电路设计的基础上采用相应的数字辅助校正技术就变得非常重要。

本论文通过分析影响流水线型 ADC 性能的主要因素,对相应的数字校正技术进行了研究。具体从校正技术的数字硬件代价、模拟硬件开销、校正精度等角度出发展开研究。论文主要创新性工作包括以下几方面:

(1) 建立了基于硬件描述语言 Verilog-A 的流水线型 ADC 数字校正技术仿真平台和基于 FPGA 的流水线型 ADC 数字校正技术验证平台。利用这两个平台,可以对流水线型 ADC 数字校正算法进行仿真和验证,从而缩短设计周期、降低设计成本。

(2) 提出了一种采用分段线性插值法估计非线性误差的数字校正算法。针对之前基于统计规律的校正算法中存在的占用 ROM 存储器过多,芯片成本较高、校正范围受限的问题,提出采用直接计算的方式来获得三阶误差值。仿真结果表明,采用数字校正后,线性度得到大幅提高。相对于参考文献中的设计,该校正算法节约了 64K 的 ROM,使用 RAM 的数量仅为 $2 \times 2^9 \times 8$ 比特,设计成本明显降低。

(3) 提出了一种利用统计规律建立 MDAC 传输函数模型的数字校正算法。对流水线型 ADC 线性度影响最大的两大因素是 MDAC 电容失配和级间运算放大器增益误差和增益非线性误差。为了对这两种误差同时进行校正,需要对 MDAC 建立传输函数模型。针对以前的校正算法需要对模拟电路进行修改、硬件开销大等问题,提出了一种基于统计规律的传输函数建模法。这种算法不需要增加模拟部分电路,可以降低模拟硬件开销和模拟电路设计复杂度。仿真结果表明,该算法能够有效地校正 MDAC 中非线性误差,从而大幅度提高系统线性度。

(4) 提出了一种基于级间开环运算放大器传输函数模型的确定性数字校正算法。为了改善基于统计规律的校正算法中存在的收敛速度较慢的问题,采用加入测试信号的方式来加速算法收敛。在以前的设计中,采用 Class-AB 型放大器来作为级间放大器,用三次多项式来近似放大器的传输函数实现校正。这种

方法存在的问题是无法对放大器三阶以上的非线性误差进行校正，校正精度有一定的局限性。本设计采用开环放大器作为级间放大器，并选用最接近开环放大器传输函数的多项式来近似传输函数，所以可以达到更高的校正精度。仿真结果表明，校正前后，SFDR 由 60.5 dB 提高到 85.2 dB，可见该校正技术可以有效地提高校正精度。应用这种校正算法，实现了一款 12 位，40 MHz 采样率流水线型 ADC。在这款 ADC 中，采用了无采样保持电路、多位冗余位、逐级缩减、级间运放共享等电路设计技术。最终，该 ADC 占用版图面积约为 $1.4 \times 1.5 \text{ mm}^2$ 。电路级仿真结果同样对该校正算法在提高校正精度方面的作用进行了验证。

对于未来工作的展望：

(1) 文中所有的数字校正算法都是针对第一级非线性误差进行校正，在未来的研究中，这些都可以扩展到需要校正的其他子级，从而进一步提高校正精度、降低系统功耗。

(2) 本文提出的前两种数字校正算法仅限于仿真阶段，而没有实现芯片级验证。在未来的工作中，可以结合芯片来验证。另一个流行的研究方向是：不需要对模拟部分电路进行修改，将校正算法部分嵌入到片外处理器中配合模拟芯片部分设计使用，这就使得同一芯片结合不同的数字校正算法来实现更高的性能成为可能。

(3) 采用数字辅助技术来增强模拟电路的功能不仅仅应用在 ADC 的设计中。随着 CMOS 工艺的进一步发展，在未来的集成电路设计领域，将设计压力从模拟域转移到数字域必将成为一种趋势。

参考文献

- [1] Counts L. Analog and Mixed-Signal Innovation: The Process-Circuit-System-Application Interaction[C]//Digest of Technical Papers. IEEE International Solid-State Circuits Conference. Maine America: S³ Digital Publishing, 2007: 26-29.
- [2] Moore G. Progress in Digital Integrated Electronics[C]//Technical Digest. 1975 International Electron Devices Meeting
- [3] Maloberti F. High-performance Data Converters: Trends, Process Technologies and Design Challenges[C]//IEEE Asia Pacific Conference on Circuits and Systems, 2008. Macao: IEEE, 2008: 12-16.
- [4] 秦亚杰. 高效流水线模数转换器的研究与设计[D]. 上海: 复旦大学博士论文, 2012: 7.
- [5] 胡广书. 数字信号处理[M]. 北京: 清华大学出版社, 2003: 1-23.
- [6] <http://www.analog.com/zh/analog-to-digital-converters/products/index.html>
- [7] Bolatkale M, Breems L J, Rutten R, et al. A 4GHz Continuous Time $\Delta \Sigma$ ADC with 70 dB DR and 74 dBFS THD in 125MHz BW[J]. IEEE Journal of Solid-State Circuits, 2011, 46(12): 2857-2868.
- [8] Vecchi D, Mulder J, van der Goes F M L, et al. An 800MS/s Dual-residue Pipeline ADC in 40nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2011, 46(12): 2834-2844.
- [9] Yang W, Kelly D, Mehr I, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC With 85-dB SFDR at Nyquist Input[J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1931-1936.
- [10] Ali A M A, Morgan A, Dillon C, et al. A 16-bit 250MS/s IF Sampling Pipelined ADC with Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2602-2612.
- [11] Liu W, Huang P, Chiu Y. A 12-bit, 45-MS/s, 3-mW Redundant Successive-Approximation-Register Analog-to-Digital Converter With Digital Calibration[J]. IEEE Journal of Solid-State Circuits, 2011, 46(11): 2661-2672.
- [12] Payne R, Corsi M, Smith D, et al. A 16-bit 100 to 160 MS/s SiGe BiCMOS Pipelined ADC with 100 DBFS SFDR[J]. IEEE Journal of Solid-State Circuits, 2010, 45(4): 2613-2622.
- [13] Wang C Y, Wu J T. A Background Timing-skew Calibration Technique for Time-interleaved Analog-to-Digital Converters[J]. IEEE Transactions on

- Circuits and Systems II: Express Briefs, 2006, 53(4): 299~303.
- [14] Stepanović D, Nikolić B. A 2.8 GS/s 44.6 mW Time-Interleaved ADC Achieving 50.9 dB SNDR and 3 dB Effective Resolution Bandwidth of 1.5 GHz in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 971-982.
 - [15] Verbruggen B, Iriguchi M, Craninckx J. A 1.7 mW 11b 250 MS/s 2-Times Interleaved Fully Dynamic Pipelined SAR ADC in 40 nm Digital CMOS[J]. IEEE Journal of Solid-State Circuits, 2012, 47(12): 2880-2887.
 - [16] Yin X M, Wei Q, Xu L, et al. A Low Power 12-b 40-MS/s Pipeline ADC[J]. Journal of Semiconductors, 2010, 31(3): 035006-1-035006-5.
 - [17] Li J, Zeng X, Xie L, et al. A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications[J]. IEEE Journal of Solid-State Circuits, 2008, 43(2): 321-329.
 - [18] Chang N C J, Hurst P J, Levy B C et al. Background Adaptive Cancellation of Digital Switching Noise in a Pipelined Analog-to-Digital Converter Without Noise Sensors[J]. IEEE Journal of Solid-State Circuits, 2014, 49(6): 1397-1407.
 - [19] Miyahara Y, Sano M, Koyama K, et al. A 14b 60 MS/s Pipelined ADC Adaptively Cancelling Opamp Gain and Nonlinearity[J]. IEEE Journal of Solid-State Circuits, 2014, 49(2): 416-525.
 - [20] Fang B N, Wu J T. A 10-Bit 300-MS/s Pipelined ADC With Digital Calibration and Digital Bias Generation[J] IEEE Journal of Solid-State Circuits, 2013, 48(3): 670-683.
 - [21] Rakuljic N, Galton I. Suppression of Quantization-Induced Convergence Error in Pipelined ADCs With Harmonic Distortion Correction[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(3): 593-602.
 - [22] Suh Y, Lee J, Kim B, et al. A 10-bit 25-MS/s 1.25-mW Pipelined ADC With a Semidigital Gm-Based Amplifier[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60(3): 142-146.
 - [23] Oh T, Maghari N, Moon U K. A Second-Order $\Delta\Sigma$ ADC Using Noise-Shaped Two-Step Integrating Quantizer[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1465-1474.
 - [24] Yip M, Chandrakasan A P. A Resolution-Reconfigurable 5-to-10-Bit 0.4-to-1 V Power Scalable SAR ADC for Sensor Applications[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1453-1464.
 - [25] Danesh S, Hurwitz J, Findlater K, et al. A Reconfigurable 1 GSps to 250 MSps,

- 7-bit to 9-bit Highly Time-Interleaved Counter ADC with Low Power Comparator Design[J]. IEEE Journal of Solid-State Circuits, 2013, 48(3): 733-748.
- [26] Taylor G, Galton I. A Reconfigurable Mostly-Digital Delta-Sigma ADC With a Worst-Case FOM of 160 dB[J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 983-995.
- [27] Kim J I, Sung B R S, Kim W, et al. A 6-b 4.1-GS/s Flash ADC With Time-Domain Latch Interpolation in 90-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1429-1441.
- [28] Sahoo B D, Razavi B. A 10-b 1-GHz 33-mW CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 1442-1452.
- [29] Jia H, Chen G, Zhang H. A high performance low power 12-bit 40MS/s pipelined ADC[J]. IEICE Electronics Express, 2008, 5(11): 400-404.
- [30] Zanchi A, Tsay F. A 16-bit 65-MS/s 3.3-V Pipeline ADC Core in SiGe BiCMOS With 78-dB SNR and 180-fs Jitter[J]. IEEE Journal of Solid-State Circuits, 2005, 40(6): 1225-1237.
- [31] Oh T, Venkatram H, Moon U K. A Time-Based Pipelined ADC Using Both Voltage and Time Domain Information[J]. IEEE Journal of Solid-State Circuits, 2014, 49(4): 961-971.
- [32] Yang W, Kelly D, Mehr I, et al. A 3-V 340-mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist Input[J]. IEEE Journal of Solid-State Circuits, 2001, 36(12): 1931-1936.
- [33] Holloway P, Norton M. A High Yield, Second Generation 10-bit Monolithic DAC[C]//Digest of Technical Papers. 1976 IEEE International Solid-State Circuits Conference. New York America: Lewis Winner, 1976: 106-107.
- [34] Tesch B J, Garcia J C. A Low Glitch 14-b 100-MHz D/A Converter[J]. IEEE Journal of Solid-State Circuits, 1997, 32(9): 1465-1469.
- [35] Chen H S, Song B S, Bacrania K. A 14-b 20-Msamples/s CMOS Pipelined ADC[J]. IEEE Journal of Solid-State Circuits, 2001, 36(6): 997-1001.
- [36] Karanicolas A N, Lee H S, Bacrania K. A 15b 1 Ms/s Digitally Self-Calibrated Pipeline ADC[J]. IEEE Journal of Solid-State Circuits, 1993, 28(12): 1207-1215.
- [37] Xing H, Jiang H, Chen D, et al. High-resolution ADC Linearity Testing Using a Fully Digita-compatible BIST Strategy[J]. IEEE Transactions on Instrumentation and Measurement, 2009, 58(8): 2697-2705.
- [38] Erdogan O E, Hurst P J, Lewis S H, et al. A 12-b Digital Background Calibrated Algorithmic ADC with 90-dB THD[J]. IEEE Journal of Solid-State Circuits,

- 1999, 34(12): 1812-1820.
- [39] Ingino J M, Wooley B A, et al. A Continuously Calibrated 12-b, 10-MS/s, 3.3-V A/D Converter[J]. IEEE Journal of Solid-State Circuits, 1998, 33(12): 1920-1931.
- [40] Siragusa E J, Galton I. Gain Error Correction Technique for Pipelined Analogue-to-digital Converters[J]. IEEE Electronics Letters, 2000, 36(7): 617-618.
- [41] Moon U K, Song B S, et al. Background Digital Calibration Techniques for Pipelined ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 1997, 44(2): 102-109.
- [42] Song B S, Tompsett M F, Lakshmikumar K R. A 12-bit 1-Msample/s Capacitor Error-averaging Pipelined A/D Converter[J]. IEEE Journal of Solid-State Circuits, 1988, 23(6): 1324-1333.
- [43] Ming J, Lewis S H. An 8-bit 80-Msample/s Pipelined Analog-to-digital Converter with Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2001, 36(10): 1489-1497.
- [44] Hurrell C P, Lyden C, Laing D, et al. An 18 b 12.5 MS/s ADC With 93 dB SNR[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2647-2654.
- [45] Iroaga E, Murmann B. A 12-Bit 75-MS/s Pipelined ADC Using Incomplete Settling[J]. IEEE Journal of Solid-State Circuits, 2007, 42(4): 748-756.
- [46] Fetterman H S, Martin D G, Rich D A. CMOS Pipelined ADC Employing Dither to Improve Linearity[C]//Proceedings of the IEEE 1999 Custom Integrated Circuits Conference. California America: IEEE, 1999: 109-112.
- [47] Murmann B, Boser B E. Digitally Assisted Pipeline ADCs[M]. Boston: Kluwer Academic Publishers, 2004: 1-141.
- [48] Murmann B, Boser B E. A 12-bit 75-MS/s Pipelined ADC Using Open-loop Residue Amplification[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2040-2050.
- [49] Murmann B, Boser B E. Digital Domain Measurement and Cancellation of Residue Amplifier Nonlinearity in Pipelined ADCs[J]. IEEE Transactions on Instrumentation and measurement, 2007, 56(6): 2504-2514.
- [50] Shu Y S, Song B S. A 15-bit Linear 20-MS/s Pipelined ADC Digitally Calibrated With Signal-Dependent Dithering[J]. IEEE Journal of Solid-State Circuits, 2014, 43(2): 342-350.
- [51] 彭蓓. 结合数字校正技术的纳米 CMOS 流水线 ADC 设计[D]. 北京: 北京工业大学博士论文, 2011: 36-40.
- [52] Keane P J, Hurst P J, Lewis S H. Background Interstage Gain Calibration

- Technique for Pipelined ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2005, 52(1): 32-43.
- [53] Chiu Y, Tsang C W, Nikolic B, et al. Least-mean-square Adaptive Digital Background Calibration of Pipelined A/D converters[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(1): 38-46.
- [54] Wang X, Hurst P J, Lewis S H. A 12-Bit 20-Msample/s Pipelined Analog-to-digital Converter with Nested Digital Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11): 1799-1808.
- [55] Tsang C, Chiu Y, Vanderhaegen J, et al. Background ADC Calibration in Digital Domain[C]//Proceedings of the IEEE 2008 Custom Integrated Circuits Conference. California America: IEEE, 2008: 301-304.
- [56] Yuan J, Fung S W, Chan K Y, et al. An Interpolation-based Calibration Architecture for Pipeline ADC With Nonlinear Error[J]. IEEE Transactions on Circuits and System I: Regular Papers, 2012, 61(1): 17-25.
- [57] Yuan J, Farhat N H, Van der Spiegel J. Background Calibration with Piecewise Linearized Error Model for CMOS Pipeline A/D Converter[J]. IEEE Transactions on Circuits and System-I: Regular Papers, 2008, 55(1): 311-321.
- [58] Yuan J, Fung S W, Chan K Y, et al. A 12-bit 20 MS/s 56.3 mW Pipelined ADC With Interpolation-Based Nonlinear Calibration[J]. IEEE Transactions on Circuits and System I: Regular Papers, 2012, 59(3): 555-565.
- [59] Peng B, Li H, Lee S C, et al. An Offset Double Conversion Technique for Digital Calibration of Pipelined ADCs[J]. IEEE Transactions on Circuits and System-II: Express Briefs, 2010, 57(12), 961-965.
- [60] Liu W, Huang P, Chiu Y. A 12b 22.5/45MS/s 3.0mW 0.0059mm² CMOS SAR ADC Achieving over 90dB SFDR[C]//Digest of Technical Papers. 2010 IEEE International Solid-State Circuits Conference. Maine America: Mira Digital Publishing, 2010: 380-381.
- [61] Peng B, Li H, Lee S C, et al. A Virtual-ADC Digital Background Calibration Technique for Multistage A/D Conversion[J]. IEEE Transactions on Circuits and System-II: Express Briefs, 2010, 57(11), 853-857.
- [62] Cauwenberghs G, Temes G C. Adaptive Digital Correction of Analog Errors in MASH ADCs-Part I: Off-Line and Blind On-Line Calibration[J]. IEEE Transactions on Circuits and System II: Analog and Digital Signal Processing, 2000, 47(7): 621-628.
- [63] Dogancay K. Blind Compensation of Nonlinear Distortion for Band Limited Signals[J]. IEEE Transactions on Circuits and System I: Regular Papers, 2005, 52(9): 1872-1882.

- [64] Dogancay K. LMS Algorithm for Blind Adaptive Nonlinear Compensation [C]//TENCON 2005 2005 IEEE Region 10. Melbourne, Qld: IEEE, 2005: 1-6.
- [65] 奥本海姆. 信号与系统[M]. 刘树棠, 译. 西安: 西安交通大学出版社, 2002.
- [66] Kim J K R, Murmann B. A 12-b, 30-MS/s, 2.95-mW Pipelined ADC Using Single-stage Class-AB Amplifiers and Deterministic Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2141-2151.
- [67] Daito M, Matsui H, Ueda M, et al. A 14-bit 20-MS/s Pipelined ADC with Digital Distortion Calibration[J]. IEEE Journal of Solid-State Circuits, 2006, 41(11): 2417-2423.
- [68] Shin S K, Rudell J C, Daly D C, et al. A 12 bit 200 MS/s Zero-Crossing-Based Pipelined ADC With Early Sub-ADC Decision and Output Residue Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(6): 1366-1382.
- [69] Li J, Ahn G C, Chang D Y, et al. A 0.9-V 12-mW 5-MSPS Algorithmic ADC with 77dB SFDR[J]. IEEE Journal of Solid-State Circuits, 2005, 40(4): 960-969.
- [70] Fan J L, Wang C Y, Wu J T, et al. A Robust and Fast Digital Background Calibration Technique for Pipelined ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2007, 54(6): 1213-1223.
- [71] Massolini R G, Cesura G, Castello R, et al. A Fully Digital Fast Convergence Algorithm for Nonlinearity Correction in Multistage ADC[J]. IEEE Transactions on Circuits and System II: Express Briefs, 2006, 53(5): 389-393.
- [72] Lewis S H, Gray P R. A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter[J]. IEEE Journal of Solid-State Circuits, 1987, 22(6): 954-961.
- [73] Lewis S H. Optimizing the Stage Resolution in Pipelined, Multistage Analog-to-Digital Converters for Video-rate Applications[J]. IEEE Transactions on Circuits and Systems II: Analog and digital signal processing, 1992, 39(8): 516-523.
- [74] Song W C, Choi H W, Kwak S U, et al. A 10-b 20-Msample/s Low-Power CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 1987, 22(6): 514-521.
- [75] Nakamura K, Hotta M, Carley L R, et al. An 85mw, 10b, 40-Msample/s CMOS Parallel-Pipelined ADC[J]. IEEE Journal of Solid-State Circuits, 1995, 30(4): 173-183.
- [76] 张剑云. 应用于数字视频接收器的低功耗高速流水线模数转换器的设计 [D]. 上海: 复旦大学博士论文, 2006: 99-107.
- [77] Abo M. Design for Reliability of Low-voltage Switched-capacitor Circuits[D]. California America: Doctoral Thesis, University of California, Berkeley, 1999:

- 11.
- [78] Shinagawa M, Akazawa Y, Wakimoto T. Jitter analysis of high-speed sampling systems[J]. IEEE Journal of Solid-State Circuits, 1990, 25(1): 220-224.
- [79] Dalt N D, Harteneck M, Sandner C, et al. On the Jitter Requirements of the Sampling Clock for Analog-to-Digital Converters[J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2002, 49(9): 1354-1360.
- [80] Choe M, Song B, Bacrania K. A 13-b 40-MSamples/S CMOS pipeline Folding ADC with Background Offset Trimming[J]. IEEE Journal of Solid-State Circuits, 2000, 35(12): 1781-1790.
- [81] 拉扎维 B. 模拟 CMOS 集成电路设计[M]. 陈贵灿, 程军, 张睿智等, 译. 西安:西安交通大学出版社, 2003: 330-360.
- [82] Wilson W B, Massoud H Z, Swanson E J. Measurement and Modeling of Charge Feedthrough in N-channel MOS Analog Switches[J]. IEEE Journal of Solid-State Circuits, 1985, 20(6): 1206-1213.
- [83] Nikaeen P. Digital Compensation of Dynamic Acquisition Errors at the Front-End of ADCs[D]. California America: PhD thesis, Department of Electrical Engineering, Stanford University, 2008.
- [84] Li B, Sun L, Ko C T, et al. A High-Linearity Capacitance-to-Digital Converter Suppressing Charge Errors From Bottom-Plate Switches[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2014, 61(7): 1928-1941.
- [85] Gupta S K, Fong V. A 64-MHz Clock-rate $\Sigma \Delta$ ADC with 88-dB SNDR and 105-dB IM3 Distortion at a 1.5-MHz Signal Frequency[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1653-1661.
- [86] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-digital Converter[J] IEEE Journal of Solid-State Circuits, 1999, 34(5): 599-606.
- [87] Aparicio R, Hajimiri A. Capacity Limits and Matching Properties of Integrated Capacitors[J]. IEEE Journal of Solid-State Circuits, 2002, 37(3): 384-393.
- [88] 徐刚, 王妍, 杨谟华. 一种消除电路“记忆效应”的数字域校正算法[J]. 微电子学, 2008, 38(2): 201-205.
- [89] Nagaraj K, Fetterman H S, Anidjar J, et al. A 250mw, 8-bit, 52-Msmples/s Parallel-Pipelined A/D Converter with Reduced Number of Amplifiers[J]. IEEE Journal of Solid-State Circuits, 1997, 32(3): 312-320
- [90] Byung M M, Kim P, Bowman F W, et al. A 69-mw 10-bit 80-M Sample/s Pipelined CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 2003, 38(12): 2031-2039.

- [91] Keane J P, Hurst P J, Lewis S H. Digital Background Calibration for Memory Effects in Pipelined Analog-to-Digital Converters[J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2006, 53(3): 511-525.
- [92] Medawar S, Murmann B, Handel P, et al. Static Integral Nonlinearity Modeling and Calibration of Measured and Synthetic Pipeline Analog-to-Digital Converters[J]. IEEE Transactions on Instrumentation and Measurements, 2014, 63(3): 502-511.
- [93] Van de Plassche R. CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters[M]. Kluwer Academic Publishers: 2003: 1-640.
- [94] Cline D W. Noise, Speed, and Power Trade-offs in Pipelined Analog to Digital Converters[D]. California America: Ph.D Thesis, University of California at Berkeley: 1995.
- [95] Johns D, Martin K. Analog Integrated Circuit Design[M]. United States of America: JohnWiley & Sons, 1997: 1-779.
- [96] Razavi B. Principles of Data Conversion System Design[M]. New York: IEEE Press, 2001: 1-241.
- [97] 艾伦 P E, 霍尔博格 D R. CMOS 模拟集成电路设计[M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2005: 501-583.
- [98] Walden R H. Analog-to-digital converter survey and analysis[J]. IEEE Journal on Selected Areas in Communications, 1999, 17(4): 539-550.
- [99] Chang D. Design Techniques for a Pipelined ADC without Using a Front-end Sample-and-hold Amplifier[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(11): 2123-2132.
- [100] Ali A M A, Dillon C, Sneed R, et al. A 14-bit 125 MS/s IF/RF Sampling Pipelined ADC With 100 dB SFDR and 50 fs Jitter[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1846-1855.
- [101] Gulati K, Peng M S, Pulincherry A, et al. A Highly Integrated CMOS Analog Baseband Transceiver With 180 MSPS 13-bit Pipelined CMOS ADC and Dual 12-bit DACs[J]. IEEE Journal of Solid-State Circuits, 2006, 41(8): 1856-1866.
- [102] Rusu A, Rodriguez de Llera Gonzalez D, Ismail M. Reconfigurable ADCs Enable Smart Radios for 4G Wireless Connectivity[J]. IEEE Circuits and Devices Magazine, 2006, 22(3): 6-11.
- [103] Huang P, Hsien S, Lu S, et al. SHA-Less Pipelined ADC With In Situ Background Clock-Skew Calibration[J]. IEEE Journal of Solid-State Circuits, 2011, 46(8): 1893-1903.
- [104] Cline D W, Gray P R. A Power Optimized 13-b, 5 Msamples/s Pipelined Analog to Digital Converter in 1.2 μm CMOS[J]. IEEE Journal of Solid-State

-
- Circuits, 1996, 31(3): 294-303.
- [105]Cho T B, Gray P R. A 10b, 20MS/s 35mW Pipeline A/D Converter[J]. IEEE Journal of Solid-State Circuits, 1995, 30(3): 166-172.
- [106]Wang Z, Wang M, Gu W, et al. A High-Linearity Pipelined ADC With Opamp Split-Sharing in a Combined Front-End of S/H and MDAC1[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(11): 2834-2844.
- [107]Chiu Y, Gray P R, Nikolic' B. A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR[J]. IEEE Journal of Solid-State Circuits, 2004, 39(12): 2139-2151.
- [108]Chandrashekar K, Bakaloglu B. A 10 b 50 MS/s Opamp-Sharing Pipeline A/D With Current-Reuse OTAs[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2011, 19(9): 1610-1616.
- [109]Yu P C, Lee H S. A 2.5-V, 12-b, 5-MSample/s CMOS ADC[J]. IEEE Journal of solid-state Circuits, 1996, 31(12): 1854-1861.
- [110]Hsieh M. Single Chip High-speed Serial Link Communications for multi-channel and multi-standard Applications[D]. America: Doctoral Thesis, University of Minnesota, 2008: 8-93.
- [111]Lima E G, Cunha T R, Teixeira H M, et al. Base-band derived Volterra series for Power amplifier modeling[C]//IEEE MTT-S International Microwave Symposium Digest. Massachusetts America: IEEE, 2009: 1361-1364.
- [112]贾华宇, 陈贵灿, 程军, 等. 流水线模数转换器的一种数字校准技术[J]. 西安交通大学学报, 2008, 42(8): 991-995.
- [113]Taherzadeh-Sani M, Hamoui A A. Digital Background Calibration of Capacitor-Mismatch Errors in Pipelined ADCs[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2006, 53(9): 966-970.
- [114]Panigada A, Galton I. Digital Background Correction of Harmonic Distortion in Pipelined ADCs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2006, 53(9): 1885-1895.
- [115]Panigada A, Galton I. A 130 mW 100 MS/s Pipelined ADC With 69 dB SNDR Enabled by Digital Harmonic Distortion Correction[J]. IEEE Journal of Solid-State Circuits, 2009, 44(12):3314-3328.
- [116]Zeinali B, Moosazadeh T, Yavari M, et al. Equalization-Based Digital Background Calibration Technique for Pipelined ADCs[J]. IEEE Transactions on Very Large Scale Intergration Systems, 2014, 22(2): 322-333.
- [117]Shi L, Zhao W, Wu J, et al. Digital Background Calibration Techniques for Pipelined ADC Based on Comparator Dithering[J]. IEEE Transactions on

Circuits and Systems II: Express Briefs, 2012, 59(4): 239-243.

- [118]李庆扬, 王能超, 易大义. 数值分析[M]. 北京: 清华大学出版社 & 施普林格出版社, 2001: 47-48.
- [119]Lewis S H, Fetterman H S, Gross G F, et al. A 10-b 20-Msample/s Analog-to-digital Converter[J]. IEEE Journal of Solid-State Circuits, 1992, 27(3): 351-358.
- [120]Donno A, DAmico S, De Matteis M, et al. A 10-b 50-MSPS Low Power Pipeline ADC for Ultra-High Energy Cosmic Rays Detection[J]. IEEE Transactions on Nuclear Science, 2014, 61(1): 568-573.
- [121]Ali A M A, Dinc H, Bhoraskar P, et al. A 14 Bit 1 GS/s RF Sampling Pipelined ADC With Background Calibration[J]. IEEE Journal of Solid-State Circuits, 2014, 49(12): 2857-2867.
- [122]Yoo S M, Oh T H, Moon J W. A 2.5 V 10 b 120 MSample/s CMOS Pipelined ADC with High SFDR[C]//Proceedings of the IEEE 2002 Custom Integrated Circuits Conference. Florida America: IEEE Solid State Circuits Society and the Electron Devices Society, 2002: 441-444.
- [123]张鸿, 陈贵灿, 程军, 等. 流水线模数转换器中高速低功耗开环余量放大器的设计[J]. 西安交通大学学报, 2008, 42(6): 751-755.
- [124]Sumanen L, Halonen K. A single-amplifier 6-bit CMOS Pipeline A/D Converter for WCDMA Receivers[C]//Proceedings of the 2001 IEEE International Symposium on Circuits and Systems. Sydney Australia: IEEE Circuits and Systems Society, 2001: 584-587.
- [125]Taherzadeh-Sani M, Hamoui A A. A Reconfigurable and Power-Scalable 10-12 Bit 0.4-44 MS/s Pipelined ADC With 0.35-0.5 pJ/Step in 1.2 V 90 nm Digital CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(1): 74-83.
- [126]Van De Plassche R J, Goedhart D. A Monolithic 14-Bit D/A Converter[J]. IEEE Journal of Solid-State Circuit, 1979, 14(3): 552-556.

攻读博士学位期间发表的论文及其它成果

（一）发表的学术论文

- [1] 宫月红, 罗敏, 喻明艳, 马建国. 应用多项式插值的流水线 ADC 后台数字校正方法[J]. 计算机辅助设计与图形学学报, 2013, 25(11): 1759-1766.
(EI 源期刊: 20135017075482)
- [2] 宫月红, 罗敏, 喻明艳, 金杰. Pipeline ADC 中后台数字校正中传输函数建模算法研究[J]. 山东大学学报, 2014, 44(3): 41-47.
- [3] 宫月红, 罗敏, 金杰. 流水线型 ADC 误差及相应校正策略研究[J]. 微电子学与计算机, 2014, 31(5): 131-134, 139.
- [4] 宫月红, 罗敏, 金杰, 喻明艳. 基于 Simulink 的后台数字辅助校正流水线 ADC 行为级建模[J]. 微电子学与计算机, 2013, 25(11): 155-159.
- [5] Gong Yuehong, Luo Min, Yu Mingyan, Ma Jianguo, Mao Ze. A Novel Approach to Calibrate Open-loop Amplifier Nonlinearities through Piecewise linear Interpolation[C]. 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, Xi'an, China, 2012. (EI 收录号: 20131116120437)
- [6] Gong Yuehong, Luomin, MA Jianguo. Digitally Assisted Backend Correction Pipeline ADC Verilog-A Modeling[C]. 2011 International Conference on Information Systems and Computational Intelligence. (EI 收录号: 20120814789253)
- [7] 罗敏, 宫月红, 喻明艳. 时间-数字转换器研究综述[J]. 微电子学, 2014, 44(3): 372-376.
- [8] Yuehong Gong, Min Luo, Jinghu Li, A Deterministic Calibration Technique for Pipeline ADCs[J]. IEICE Electronics Express. (SCI 源期刊: 审稿中)

（二）申请及已获得的专利

- [1] 罗敏, 王晨旭, 宫月红. 电流舵型 DAC 版图 H619 布图保护. 集成电路设计专有权 BS.11500048.8.2011.04

（三）参与的科研项目及获奖情况

- [1] 喻明艳, 王晨旭, 王新胜, 宫月红等. TRNG 全定制版图设计与电路仿真开发, 民品横向. 2010-2011

致 谢

首先，感谢我的导师肖立伊教授。肖老师对待学术问题一丝不苟的精神，对待工作兢兢业业的态度值得我们学习；对待学生和蔼可亲、平易近人，无私的爱护和关怀不断鞭策和激励着学生，是学生的论文完成以及今后工作和生活中最为宝贵的精神财富。特别感谢肖老师对我论文的帮助。

感谢副导师喻明艳教授在学习上给我的支持和帮助，喻老师对我的学业给予了很大的关心和指导，这些都是我不断学习和工作的动力。

感谢马建国教授对本论文的帮助。感谢哈工大微电子中心的王进祥教授、来逢昌副教授、王永生副教授等。特别是王永生老师对本论文提出了很多修改建议，这些建议对论文水平的提高是不可或缺的。同时，感谢哈工大(威海)微电子中心所有对我提供过帮助的老师。

感谢先后对本论文提供过帮助的哈工大(威海)微电子中心硕士生尹帅、本硕李根，本科生盛玉荣、范峰、毛泽，本硕金杰等。特别是金杰同学，对本论文提出过很多有创建型的想法，对课题的进展起到了不可替代的作用。同学张超、吴子旭等也对我提供了很多帮助，在此一并表示感谢。

在此，特别感谢对本文提供过帮助的流水线型 ADC 数字校正领域同行们。美国斯坦福大学的 Boris Murmann 教授，美国伊利诺斯大学的仇云教授，美国斯坦福大学、三星电子的 Justin Kyung-Ryun Kim 博士，美国伊利诺斯大学、北京工业大学的彭蓓博士等。本是素不相识，他/她们对学术的执着让人敬佩，无私的精神值得我们学习。

感谢我的家人在此期间对我的理解、支持和帮助。父母亲一直以来都很关心我，而我却因为各种原因一直疏于对他们的照顾。在此期间，公婆也一直对我提供无私的帮助。我的丈夫罗敏，无论是对本论文，还是对我的日常生活，都提供了很大的帮助。在博士学习期间遭受了一些很不幸的事情，在亲人的帮助之下才能够坚持下来。亲人的支持是我前进的动力，正是有了他们的鼓励和帮助，我才得以度过这段人生中比较艰难的日子。

