ADC架构VII: 计数ADC

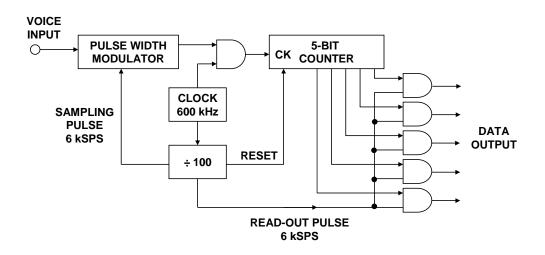
作者: Walt Kester和James Bryant

简介

计数ADC虽然不太适合高速应用,但却是高分辨率低频应用的理想之选,特别是结合使用 双斜式积分、三斜式积分、四斜式积分等技术时。

A. H. REEVES的5位计数ADC

计数ADC起源于1930年代末的早期实验性脉冲码调制(PCM)系统。A. H. Reeves在其内容全面的1939年PCM专利档案(参考文献1)中描述了第一款适合PCM应用的ADC,图1是该ADC的简化框图。早期用于PCM的ADC通常具有5到7位分辨率,采样速率为6 kSPS到10 kSPS。非常有趣的是,Reeves的ADC是基于一种计数技术,原因很可能是他对计数器具有浓厚的兴趣——就在几年前,Eccles-Jordan双稳态多谐振荡器刚刚问世。然而,在后来的PCM应用中,其它架构的使用更为广泛,如Flash型(指南MT-020)、逐次逼近型(指南MT-021)、分级和流水线型(指南MT-024)、每级一位型(指南MT-025)等。



Adapted from: Alec Harley Reeves, "Electric Signaling System," U.S. Patent 2,272,070, Filed November 22, 1939, Issued February 3, 1942

图1: A. H. REEVES的5位计数ADC

计数ADC技术的基本原理是利用一个采样脉冲对模拟信号进行采样,然后设置一个R/S触发器,同时启动一个受控斜坡电压。该斜坡电压与输入进行比较,当二者相等时,就会产生一个脉冲以复位R/S触发器。触发器的输出是一个脉冲,其宽度与采样时刻的模拟信号成正比。该脉宽调制(PWM)脉冲控制一个选通振荡器,选通振荡器输出的脉冲数量代表模拟信号的量化值,通过一个计数器很容易将该脉冲串转换成一个二进制字。Reeves的系统使用600 kHz的主时钟,100:1分频器产生6 kHz的采样脉冲。该系统采用5位计数器,因而采样脉冲之间的100个脉冲中的31个脉冲代表一个满量程信号。显然,可以将该计数扩展到更高的分辨率。

电荷耗尽型ADC

电荷耗尽ADC架构(参见参考文献2)如图2所示,它首先对模拟输入进行采样,将电压储存在一个固定电容中。然后用一个恒定电流源给该电容放电,并用一个计数器测量完成放电所需的时间。注意,这种方法的整体精度取决于电容的质量和容值、电流源的幅度以及时基的精度。

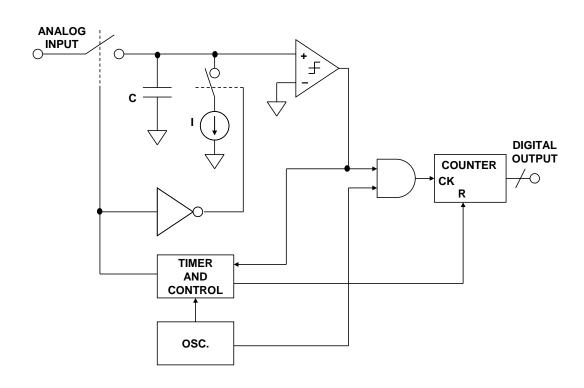


图2: 电荷耗尽型ADC

斜坡上升型ADC

斜坡上升架构如图3所示(参见参考文献3),斜坡发生器在转换周期开始时启动。然后,计数器测量斜坡电压上升到模拟输入电压所需的时间。因此,计数器输出与模拟信号的值成正比。在另一个方案中(如图3虚线所示),斜坡电压发生器被计数器输出驱动的DAC取代。使用斜坡发生器的优势是可以确保ADC始终是单调的,而用DAC取而代之时,ADC的整体单调性由DAC决定。

斜坡上升型ADC的精度取决于斜坡发生器(或DAC)和振荡器的精度。为了处理交流信号,必须使用采样保持器,使得模拟输入在转换周期内保持不变。注意,斜坡上升架构与图1所示的Reeves计数架构非常相似。

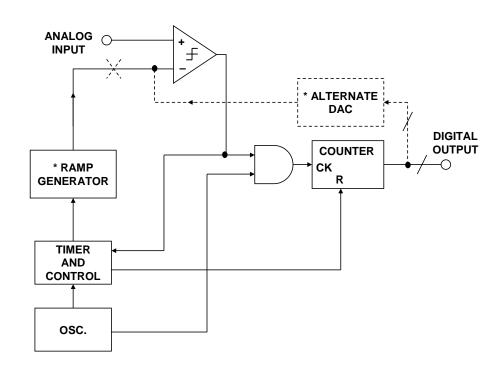


图3:斜坡上升型ADC

跟踪型ADC

跟踪型ADC架构如图4所示(参见参考文献4和5),它将实际的输入信号与重构的输入信号进行持续比较。升降计数器由比较器输出控制。如果模拟输入超过DAC输出,则计数器升高,直到二者相等。如果DAC输出超过模拟输入,则计数器降低,直到二者相等。显然,如果模拟输入缓慢变化,计数器将随之变化,使数字输出始终会非常接近其正确值。但如果模拟输入突然发生大幅度变化,则需要经过数百或数千个时钟周期后,输出才会再次有效。因此,跟踪型ADC对慢速变化的信号响应迅速,但对快速变化的信号则响应缓慢。

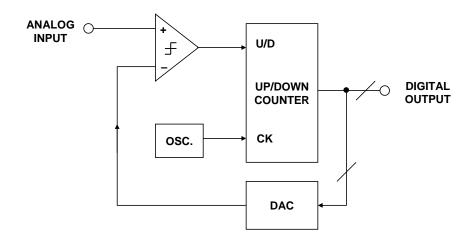


图4: 跟踪型ADC

以上的简单分析忽略了模拟输入与DAC输出接近相等时ADC的表现。这取决于比较器和计数器的确切特性。如果比较器较为简单,则DAC输出将发生1个LSB的跳动(比模拟输入略大和略小的两个值),数字输出当然也一样,因而存在1 LSB的闪烁。注意,在这种情况下,无论模拟输入为何值,输出在每个时钟周期都会发生步进,因而传号空号比始终为1。换言之,这种方法无法对数字输出求平均值,即无法利用过采样来提高分辨率。

一个更令人满意但更复杂的方案是使用一个宽度为1-2 LSB的窗口比较器。当DAC输出较高或较低时,系统像上文所述一样工作,但如果DAC输出在窗口内,计数器将停止计数。只要DAC的DNL能保证,使得1 LSB的代码变化绝不会导致DAC输出跨过窗口,那么这一方案就能消除闪烁。

跟踪型ADC并不常用,较慢的阶跃响应使之不适合许多应用,但它有一个独特的优点:其输出持续可用。大多数ADC执行转换,即在接到"开始转换"命令(也可以是内部产生)时执行转换,经过一定的延迟后,结果变得可用。跟踪ADC则不同,只要模拟输入变化缓慢,其输出便始终可用。这在自整角机数字转换器(SDC)和旋变数字转换器(RDC)中极具价值,这也是跟踪型ADC的主要应用(参见指南MT-030)。跟踪型ADC还有一个重要的特性,即模拟输入的快速瞬变只会导致输出改变一个计数,这在高噪声环境中非常有用。请注意跟踪型ADC与逐次逼近型ADC之间的相似性,逐次逼近型ADC架构是将升降计数器更换为SAR逻辑。

参考文献

- 1. Alec Harley Reeves, "Electric Signaling System," U.S. Patent 2,272,070, filed November 22, 1939, issued February 3, 1942. Also French Patent 852,183 issued 1938, and British Patent 538,860 issued 1939. (the ground-breaking patent on PCM. Interestingly enough, the ADC and DAC proposed by Reeves are counting types, and not successive approximation).
- 2. Bernard M. Oliver and Claude E. Shannon, "Communication System Employing Pulse Code Modulation," *U.S. Patent 2,801,281*, filed February 21, 1946, issued July 30, 1957. (*charge run-down ADC and Shannon-Rack DAC*).
- 3. Arthur H. Dickinson, "Device to Manifest an Unknown Voltage as a Numerical Quantity," *U.S. Patent* 2,872,670, filed May 26, 1951, issued February 3, 1959. (*ramp run-up ADC*).
- 4. K. Howard Barney, "Binary Quantizer," U.S. Patent 2,715,678, filed May 26, 1950, issued August 16, 1955. (tracking ADC).
- 5. Bernard M. Gordon and Robert P. Talambiras, "Information Translating Apparatus and Method," *U.S. Patent* 2,989,741, filed July 22, 1955, issued June 20, 1961. (*tracking ADC*).

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.