

一种基于 LMS 算法的流水线 ADC 数字校准算法

张章¹, 徐姚华², 解光军³

(合肥工业大学电子科学与应用物理学院, 合肥 230009)

摘要: 数字校准是高性能流水线 ADC 设计中的关键技术之一。文章提出了一种基于 LMS 算法, 自动迭代一阶三阶误差系数的后台数字校准技术。该校准技术能够有效地减小电容失配、运放有限增益等非线性因素对系统的影响, 提高系统的线性度。使用 Simulink 对所搭建的 16 位流水线 ADC 进行仿真, 当采样频率为 100MHz, 输入信号频率为 45MHz 时, 通过校准, 流水线 ADC 的有效位数 ENOB 从 9.6 位提升至 15.7 位, 信噪比 SNR 由 67.5dB 提升至 97.6dB, 无杂散动态范围 SFDR 由 64.9dB 提升至 110.8dB。

关键词: 流水线 ADC; LMS 算法; 非线性误差; 数字校准

中图分类号: TN432

A Digital Calibration Algorithm for Pipeline ADC Based on LMS Algorithm

ZHANG Zhang¹, XU Yaohua², XIE Guangjun³

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei 230009 China)

Abstract: Digital calibration is one of the key technologies in high performance pipeline ADC design. This paper presents a back-end digital calibration technology, which is based on LMS algorithm and can iterates first- and third-order error coefficients automatically. The calibration technology can reduce the influence of capacitive mismatch, op amp limited gain and other nonlinear factors, and improve linearity of the system effectively. The entire digital calibration system was modeled with Simulink. The simulation results showed that the ENOB, SNR, and SFDR of the pipeline ADC with sampling rate of 100MHz and input rate of 45MHz were improved from 9.6 bit to 15.7 bit, 67.5dB to 97.6 dB and 64.9dB to 110.8dB respectively after calibration.

Key words: Pipeline ADC; LMS Algorithm; Nonlinear error; Digital calibration

0 引言

随着集成电路技术的不断发展, 对于模数转换器(ADC)的研究也不断深入, 近年来流水线 ADC 已经成为研究热点。相较于其他 ADC, 流水线 ADC 具有高精度、高速度、低功耗等特点, 被广泛应用于数字信号处理、数字图像视频处理及无线通讯等领域^[1-4]。但是流水线 ADC 中存在着许多因素限制

其性能, 如电路设计与工艺误差、电容失配、运算放大器的有限增益误差和比较器失调等, 其中后三种误差又称为非线性误差^[5]。当流水线 ADC 的精度达到 12bit 及以上时, 非线性误差对其性能有较大的影响^[6-7]。近些年, 利用数字技术对流水线 ADC 进行校准已经成为提高其性能的一种重要方式^[8]。

通常基于参考 ADC 校准所采用的是低速高精度 ADC, 但这会导致需校准信号和参考信号的不同步, 从而导致流水线 ADC 性能的下降。本文针对 16 位 100MSPS 流水线 ADC 提出了一种基于 LMS

基金项目: 1. 国家自然科学基金: “流水线逐次逼近混合结构模数转换器研究”(61404043) 2. 国家自然科学基金: “植入式神经功能电刺激接口电路关键技术研究”(61674049) 3. 安徽省科技重大专项: “应用于车载中控显示的 TTL/LVDS to MIPI 高清信号转换和驱动芯片”(16030901007) 4. 安徽省科技攻关项目: “USB3.0/3.1 PHY IP 的研究及应用”(1501021037)

算法，用于校准非线性误差的数字后台校准算法。本算法将参考 ADC 拆分为流水线 ADC 的各个冗余子级，在提高参考 ADC 精度的同时做到与待校准 ADC 同步输出校准信号，从而提升整个系统的运行效率。在此基础上，该算法对非线性误差的误差系数进行 LMS 迭代，并在校准过程中消除误差，此过程不会影响 ADC 正常运行，不会对其造成性能降低。该算法能够有效改善流水线 ADC 中非线性误差，提高 ADC 系统输出线性度。

1 流水线 ADC 结构及误差

本文采用的是 16 位流水线 ADC，由 7 级 2.5 位/级流水子级和 1 级 2 位/级 Flash ADC 构成，如图 1 所示。

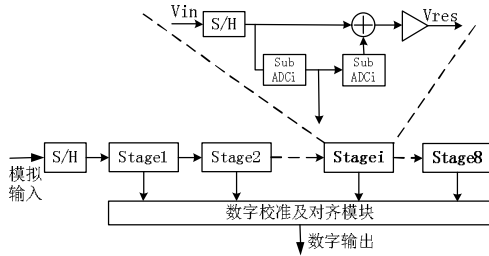


图 1 16 位 Pipeline ADC 结构图

其中每个流水子级中都包括一个子 ADC 和一个 MDAC，MDAC 中又包括一个子 DAC 和一个运算放大器，本文采用的是 2.5 位电容翻转式 MDAC^[9]，如图 2 所示。当 S1 闭合时，MDAC 处于采样阶段，采样保持模块对模拟输入 V_{in} 进行采样，当 S2 闭合时，MDAC 处于保持放大阶段，输出模拟输出 V_{res} 。

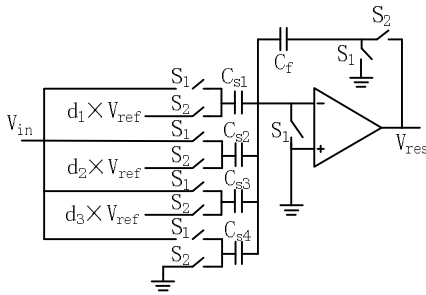


图 2 MDAC 结构

由图 2 中 MDAC 的结构可知，2.5 位/级 MDAC 的输出电压为

$$V_{res} = \frac{\sum_{i=1}^4 C_{si}}{C_f} V_{in} - \frac{\sum_{i=1}^3 d_i \sum_{j=1}^4 C_{sj}}{C_f} V_{ref} \quad (1)$$

当采样电容和反馈电容都等于 C 时，公式 (1) 变为

$$V_{res} = \begin{cases} 4V_{in}+3V_{ref} & V_{in} \in [-1, -\frac{5}{8})V_{ref} \\ 4V_{in}+2V_{ref} & V_{in} \in [-\frac{5}{8}, -\frac{3}{8})V_{ref} \\ 4V_{in}+1V_{ref} & V_{in} \in [-\frac{3}{8}, -\frac{1}{8})V_{ref} \\ 4V_{in}+0V_{ref} & V_{in} \in [-\frac{1}{8}, \frac{1}{8})V_{ref} \\ 4V_{in}-1V_{ref} & V_{in} \in [\frac{1}{8}, \frac{3}{8})V_{ref} \\ 4V_{in}-2V_{ref} & V_{in} \in [\frac{3}{8}, \frac{5}{8})V_{ref} \\ 4V_{in}-3V_{ref} & V_{in} \in [\frac{5}{8}, 1]V_{ref} \end{cases} \quad (2)$$

其中 V_{ref} 为参考电压。

1.1 电容失配造成的误差

在实际研究与设计中，采样电容和反馈电容之间存在着一定的失配误差，例如，第 i 子级的余量输出 V_{res_i} 错误！未找到引用源。错误！未找到引用源。和输入错误！未找到引用源。 V_{in_i} 可以表示为

$$\begin{aligned} V_{res_i} &= \frac{C_s - C_f}{C_f} \times V_{in_i} - d \times \frac{C_s}{C_f} \times V_{ref} \\ &= (2 + \alpha) \times V_{in_i} - d \times (1 + \alpha) \times V_{ref} \end{aligned} \quad (3)$$

其中， C_s 是采样电容， C_f 是反馈电容，错误！未找到引用源。是误差系数。电容失配对 2.5 比特 MDAC 传输曲线的影响如图 4 所示。

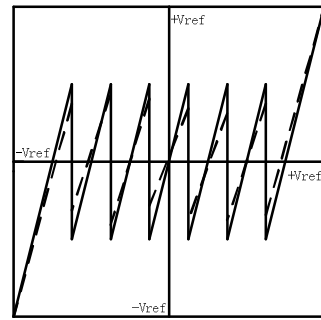


图 4 电容失配对 MDAC 传输曲线的影响

1.2 运放有限增益的误差

运算放大器的非理想增益会导致流水线 ADC 产生运放有限增益误差。随着生产工艺的提升，电源电压和运放增益的下降会使有限增益误差对系统的影响越来越大。例如，第 i 级的余量输出 V_{res_i} 错

误！未找到引用源。和输入 V_{in_i} 错误！未找到引用源。可以表示为

$$V_{res_i} = (1+\delta) \left(4 \times V_{in_i} - d \times V_{ref} \right) \quad (4)$$

其中，A 为运放本征增益，f 为反馈系数， $\delta = Af/(Af+1)$ 为有限运放增益系数。运放有限增益误差对 2.5 比特 MDAC 传输曲线的影响如图 5 所示。

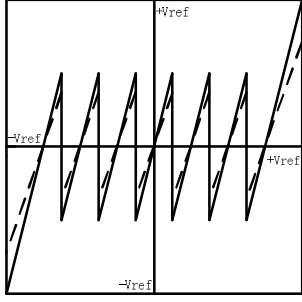


图 5 运放有限增益对 MDAC 传输曲线的影响

1.3 比较器失调的误差

一般情况下比较器失调会对 MDAC 传输曲线造成一个固定的偏移量。但是当失调幅度过大则会造成 MDAC 输出超出满幅范围，使后端流水子级产生非线性误差。

结合以上三种误差，非线性误差可以用一个非线性误差函数 $f(x)$ 来表示，由于实际电路中采用差分结构，可以消除非线性误差偶次阶项的影响，所以误差函数 $f(x)$ 表示为

$$f(x) = \gamma_1 \times x + \gamma_3 \times x^3 + \dots + \gamma_n \times x^n \quad (5)$$

其中 $\gamma_1, \gamma_3, \gamma_n$ 分别为误差函数 $f(x)$ 的一阶系数，三阶系数和 n 阶系数。由于高阶误差对于整个流水线 ADC 系统影响较小，本文只讨论一阶误差和三阶误差。

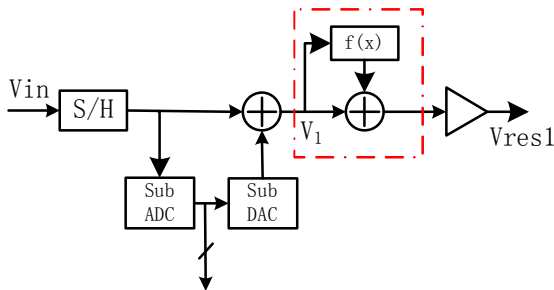


图 6 第一流水子级中非线性误差的引入

在 16 bit 流水线 ADC 中添加非线性误差结构如图 6 所示，由于第一级流水子级精度对整个系统性能有较大影响，故非线性误差只引入第一流水子级

中。此时，第一流水子级的输出 V_{res_i} 可以表示为

$$V_{res_1} = V_1 + \gamma_1 \times V_1 + \gamma_3 \times V_1^3 \quad (6)$$

其中 V_1 为模拟输入信号 V_{in} 和子 DAC 还原数值的差值，错误！未找到引用源。 V_{res_1} 为第一流水子级的模拟输出。

2 数字校准算法

传统的 LMS 算法在自适应滤波中的作用是更新滤波器的权重系数，使目标信号和滤波器的输出信号的误差无限缩小。传统的 LMS 算法流程公式如下

$$\begin{aligned} y(n) &= \omega^T(n) x(n) \\ e(n) &= d(n) - y(n) \end{aligned} \quad (7)$$

$$\omega(n+1) = \omega(n) + 2\mu e(n) x(n)$$

其中 $y(n)$ 为滤波器输出信号， $d(n)$ 为目标信号， $e(n)$ 为误差， $\omega(n)$ 为滤波器权重系数。

本文提出了一种全新的基于 LMS 算法的数字后台校准技术。由于需要校准的误差中存在一阶误差和三阶误差，所以该校准算法一共分为两个步骤。由于流水线 ADC 输出范围为 -1 到 1，故一阶误差对于系统的影响相较于三阶误差大得多。该校准算法首先对系统一阶误差进行校准，后再对三阶误差进行校准来减小非线性因素对流水线 ADC 系统的影响。同时，本文将参考 ADC 拆分为流水线 ADC 的各个冗余子级，利用其高速高精度特性对整个系统进行快速校准。该算法原理图如图 7 所示。

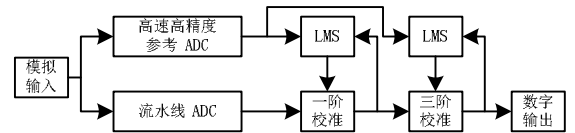


图 7 校准算法原理图

如图 7 所示，该算法构造两个 LMS 校准环路分别校准流水线 ADC 中一阶非线性误差和三阶非线性误差。模拟信号分别注入参考 ADC 和流水线 ADC，高速高精度参考 ADC 的输出可以近似理想输出，作为流水线 ADC 校准参考信号。由上文可知 ADC 系统中引入的非线性误差为

$$e(V_1) = \gamma_1 \times V_1 + \gamma_3 \times V_1^3 \quad \text{错误！未找到引用源。}$$

通过流水线 ADC 后得到数字化误差，表示为

$$D(e) = \gamma_1 \times D(V_1) + \gamma_3 \times D(V_1^3) \quad (8)$$

其中， $D(e)$ 为数字化的误差，

$D(V_1)$ 为 V_1 的数字域数值，

$D(V_1^3)$ 为 V_1^3 的数字域数值。由误差函数可知，一阶

误差和三阶误差在引入系统时表示为 $\gamma_n \times V_1^n$

，其中 $n=1$ 和 3 ，故在校准一阶

误差和三阶误差时，可视为校准 n 阶误差，其中误

差系数为 γ_n ，模拟域误差为 $\gamma_n \times V_1^n$

，数字域误差为 $\gamma_n \times D(V_1^n)$

。此时，高速高精度参考 ADC 输出与流水线 ADC 输出的数字域差值为

$$D_{ideal} - D_{actual} = D(e) = \gamma_n \times D(V_1^n) \quad (9)$$

其中 D_{ideal} 为参考 ADC 数

字输出， D_{actual} 为流水

线 ADC 数字输出， $D(V_1^n)$

为 V_1^n 的数字域数值。由

$D(e)$ 和 $D(V_1^n)$ 符号可以得

到 γ_n 的符号， γ_n 的符号用

$error_direc$ 表示，代表

相对于真实误差系数

的位置，用于确定误差系数

的收敛方向。

利用 LMS 算法迭代误差系数 γ_n

，本算法提出的迭代公式为

$$\gamma_n(i+1) = \gamma_n(i) + \mu \times error_direc \quad (10)$$

其中 $\gamma_n(i)$ 和

$\gamma_n(i+1)$ 分别为第 i 次和第 $i+1$ 次迭代

时误差系数的值， μ 为迭代步长， $error_direc$ 为误

差系数 γ_n 的收敛方向。第 n

阶误差校准原理图如图 8 所示。

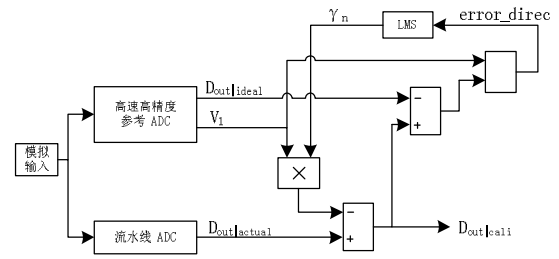


图 8 第 n 阶误差校准原理图

如图 8 所示，模拟输入进入流水线 ADC 和参

考 ADC 后输出的信号分别为 $D_{out|actual}$

和 V_1 。将迭代后的误差系数 γ_n 和 V_1 作乘积后，与

$D_{out|actual}$ 做差值即可得

到校准后输出 $D_{out|cali}$ 。校

准后输出 $D_{out|cali}$ 与理想参考输出

做差值后即可得到数字域的误

差 $D(e)$ 。数字域误差 $D(e)$ 与 V_1 经过处理后可以得到

$error_direc$ ，作为下一次误差系数迭代的输入信

号，经过 LMS 处理后产生新的误差系数，以此形

成一个迭代环路。若后续还需进行更高阶数校准，

只需要在 $D_{out|cali}$ 后加入一个类似的迭代校准环路即可。

3 实验结果与分析

在 Simulink 中搭建的流水线 ADC 模型如图 1 所示, 结合本文提出的后台数字校准技术, 当采样频率位 100MHz, 输入信号频率为 45MHz 时, 通过校准, 流水线 ADC 的有效位数 ENOB 从 9.6 位提升至 15.7 位, 信噪比 SNR 由 67.5dB 提升至 97.6dB, 无杂散动态范围 SFDR 由 64.9dB 提升至 110.8dB。

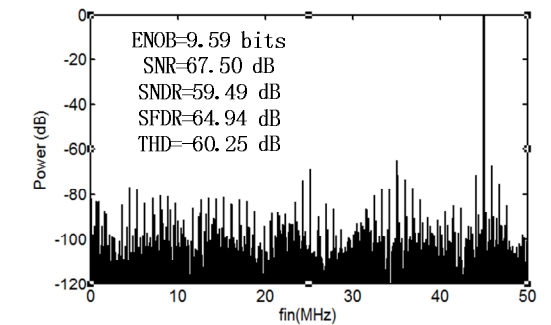


图 9 系统校准前频谱图

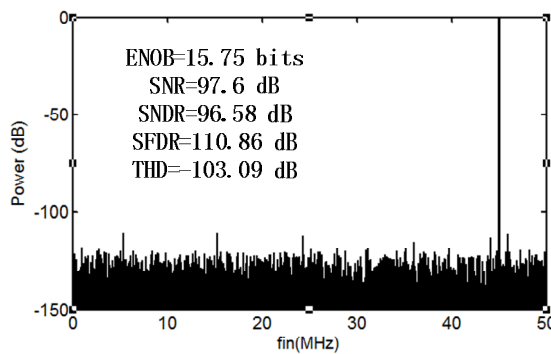


图 10 系统校准后频谱图

一阶误差系数和三阶误差系数收敛趋势如图 11 所示。由图可知, 一阶误差系数在样本数目达到 2.4×10^5 左右时开始收敛。由于三阶校准计算量较一阶校准大得多, 三阶误差系数在样本数目达到 7.3×10^5 左右时开始收敛。系统时钟为 100MHz, 故一阶误差在 2.4ms 左右处开始收敛, 三阶误差在 7.3ms 左右处开始收敛。

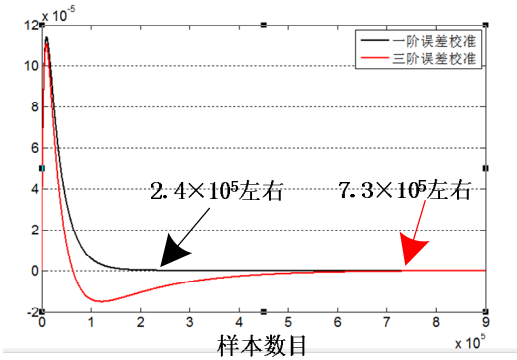


图 11 一阶三阶误差系数迭代收敛图

表一 4 种校准算法结果比较

参考文献	本文	[10]	[11]	[12]
精度	16	14	14	12
SNDR (dB)	校准前	59.5	56.3	63.3
	校准后	96.6	78.6	78.7
SFDR (dB)	校准前	64.9	65.9	65.5
	校准后	110.8	93.8	93.3
性能 提升 (dB)	SNDR	37.1	22.3	15.4
	SFDR	45.9	27.9	27.7

由表一可知, 本文采用的数字校准算法应用于 16bit 流水线 ADC 后, 系统性能 SNDR 提升了 36.1dB, SFDR 提升了 46.4dB。相较于其他算法, 本算法对 ADC 系统性能提升作用明显。虽然文献 [12] 提出的算法对比本算法在 SFDR 提升方面略好, 但本算法应用的流水线 ADC 精度更高, 相比较而言已达到较高水准。综上所述, 本文提出的校准算法要优于目前大多数的校准算法, 在 SNDR/SFDR 性能提升方面具有较大优势。

4 结 论

文章使用的数字校准算法能够有效校准 Pipeline ADC 中存在的电容失配、运算放大器有限增益和比较器失调等因素引起的非线性误差。所搭建的 16 位流水线 ADC 经过基于 LMS 算法的数字校准算法后, 流水线 ADC 的有效位数分别由 9.6bit 提高至 15.7bit, 无杂散动态范围由 64.9dB 提升至 110.8dB, 信噪比由 67.5dB 提升至 97.6dB, 失真噪声比由 59.5dB 提升至 96.6dB。该数字校准算法能够有效地减小流水线 ADC 中的非线性误差、提高流水线 ADC 的性能。

参考文献:

- [1] Zhou Liren, Luo Lei, Ye Fan,等. A 12-bit 100 MS/s pipelined ADC with digital background calibration 采用后台数字校准的 12 位 100MHz 流水线模数转换器[J]. Journal of Semiconductors, 2009, 30(11):109-113.
- [2] Miyahara Y, Sano M, Koyama K, et al. A 14b 60 MS/s Pipelined ADC Adaptively Cancelling Opamp Gain and Nonlinearity[J]. IEEE Journal of Solid-State Circuits, 2014, 49(2):416-425.
- [3] Lewis S H, Gray P R. A pipelined 5-Msample/s 9-bit analog-to-digital converter[J]. Solid-State Circuits, IEEE Journal of, 1987, 22(6):954-961.
- [4] Abou-El-Kheir N T, Khedr M E, Abbas M. A fast power efficient equalization-based digital background calibration technique for pipelined ADC[C]// Mixed Design of Integrated Circuits & Systems. IEEE, 2014:108-112.
- [5] Panigada A, Galton I. Digital Background Correction of Harmonic Distortion in Pipelined ADCs[J]. IEEE Transactions on Circuits & Systems I Regular Papers, 2006, 53(9):1885-1895.
- [6] Ray S, Song B S. A 13-b Linear, 40-MS/s Pipelined ADC With Self-Configured Capacitor Matching[J]. IEEE Journal of Solid-State Circuits, 2007, 42(3):463-474.
- [7] Ryu S T, Ray S, Song B S, et al. A 14-b linear capacitor self-trimming pipelined ADC[J]. IEEE Journal of Solid-State Circuits, 2004, 39(11):2046-2051.
- [8] 戴澜, 周玉梅, 胡晓宇,等. 一种流水线 ADC 数字校准算法实现[J]. 半导体学报, 2008, 29(5):993-997.
- [9] 赵郁炜. 一种应用于流水线 ADC 的自适应后台校正技术[J]. 微电子学, 2014, 44(3):281-284.
- [10] Chen H, Deng H, Yin Y. A correlation-based background calibration technology for the pipeline A/D Converter[C]// IEEE International Conference on Solid-State and Integrated Circuit Technology. IEEE, 2017.
- [11] 熊召新, 蔡敏, 贺小勇. 基于比较器抖动的数字后台校准算法[J]. 华中科技大学学报(自然科学版), 2013, 41(8):24-29.
- [12] Zhang S, Ding L, Xu J, et al. Digital Background Calibration of MDAC Stage Gain Error and DAC Error in Pipelined ADC[C]// 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology. 2010:251-253.

作者介绍:

张章 (1982-), 男, 博士学位, 合肥工业大学副教授, 主要研究方向混合集成电路与系统设计。

徐姚华 (1992-), 男, 硕士学位, 研究方向数字集成电路与系统设计。

解光军 (1970-), 男, 博士学位, 合肥工业大学教授, 博士生导师, 研究领域为微纳电路与系统、集成电路设计。