

ADC架构V：流水线式分级ADC

作者：Walt Kester

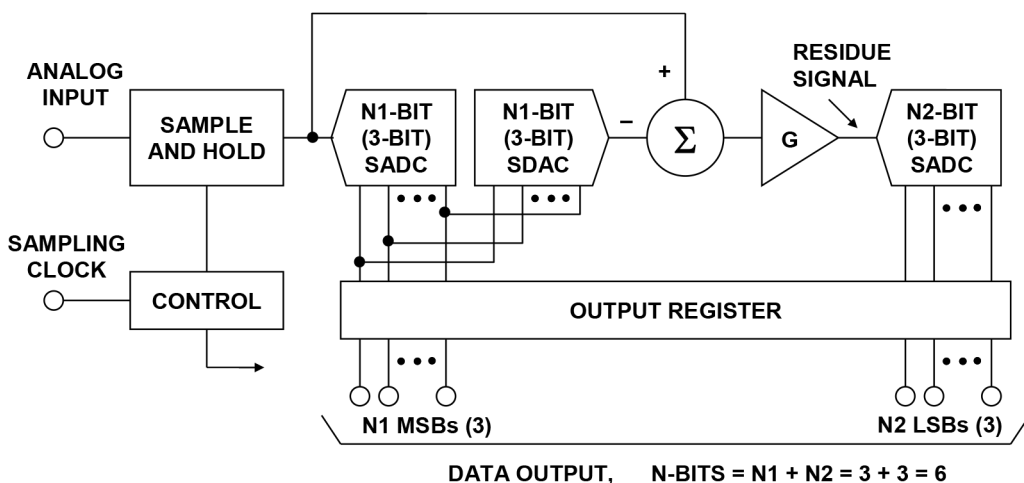
简介

目前对于需要5 MSPS至10 MSPS以上采样速率的应用，流水线式分级ADC架构占优势。尽管*flash*（全并行）架构（参见[指南MT-020](#)）在上世纪80年代和90年代早期主导8位视频IC ADC市场，但现代应用中流水线式架构已大面积取代Flash ADC。也有少量采样速率高于1 GHz的高功率砷化镓(GaAs)工艺Flash转换器，但分辨率仅限于6或8位。不过，Flash转换器仍然是较高分辨率流水线式ADC的常用构建模块。

流水线式ADC的应用包括视频、图像处理、通信和各种其他应用。该架构有助于较低成本的IC工艺，最常见的有CMOS和BiCMOS。目前的技术在高于100 MSPS的采样速率下可产生12至16位分辨率。

基本分级ADC架构

流水线式ADC源于上世纪50年代首次使用的分级架构，该架构用于减少隧道二极管和真空管Flash ADC中的元件数和功率（参见参考文献1、2）。分级架构的框图如图1所示，其中显示了一个6位、二级ADC。



See: R. Staffin and R. Lohman, "Signal Amplitude Quantizer,"
U.S. Patent 2,869,079, Filed December 19, 1956, Issued January 13, 1959

图1：6位、二级分级ADC

通过第一级3位子ADC(SADC)——Flash转换器，将输入采样保持电路(SHA)的输出数字化。接着使用3位子DAC (SDAC)将粗略3位MSB转换结果转换回至模拟信号。SDAC输出则从SHA输出减除，经放大后施加于第二级3位SADC。接着通过3位第二级SADC数字化“残余信号”，从而产生总共6位输出字的三个LSB。此类型的ADC通常称为“分级”ADC，因为输入范围细分为若干个较小范围（子范围），这些较小范围又可进一步细分。

通过考察第二级ADC输入端的残余波形，可对此分级ADC执行最佳分析，如图2所示。该波形假定整体ADC接收的是低频斜坡输入信号。为了确保无失码，残余波形必须恰好填满第二级ADC的输入范围，如图2A的理想情况所示。这意味着 N_1 SADC和 N_1 SDAC的精度必须均优于 $N_1 + N_2$ 位，所示例子中， $N_1 = 3$ ， $N_2 = 3$ ， $N_1 + N_2 = 6$ 。如图所示，该架构可用于最高约8位的分辨率($N_1 = N_2 = 4$)，但在两级间维持8位以上的对准（具体而言是在温度变化范围内）可能不易做到。图2B所示情况在残余波形超出 N_2 SADC的范围“R”且落在“X”或“Y”区域内时（由非线性 N_1 SADC或级间增益和/或失调不匹配导致）会造成失码。

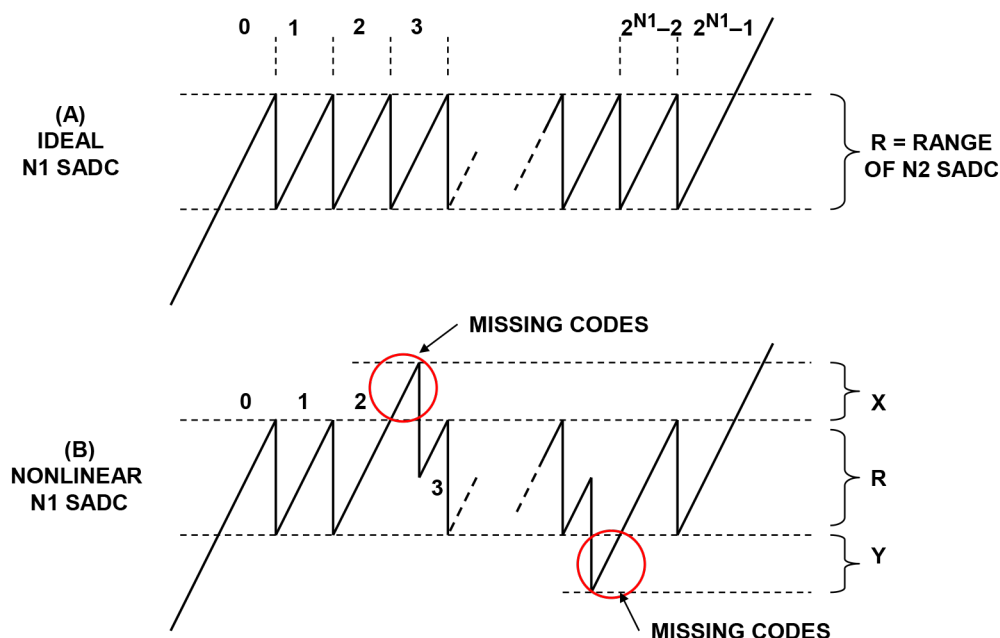


图2：第二级SADC输入端的残余波形

当级间对准不准确时，失码会出现在整体ADC传递函数中，如图3所示。如果残余信号进入正超量程（“X”区域），输出首先“粘贴”在代码上，然后“跳过”一个区域并留下失码。如果残余信号进入负超量程，则结果与此相反。

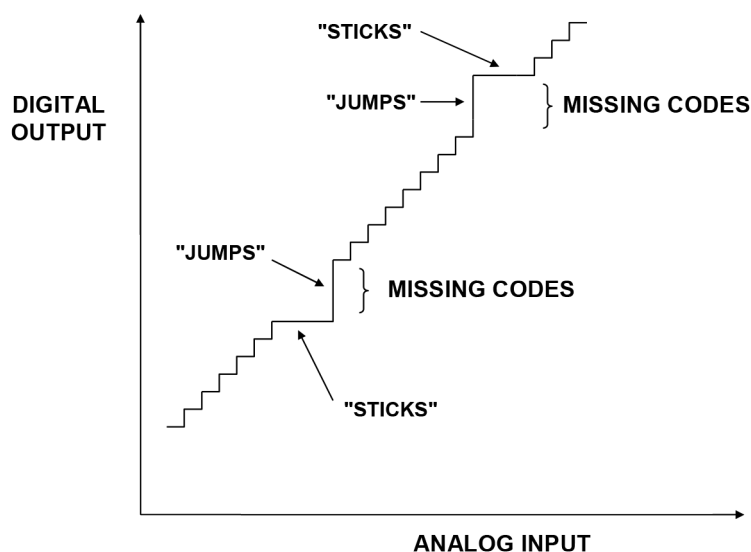


图3：由于MSB SADC非线性或级间对准误差引起的失码

此时应注意，分级架构中并不存在特殊原因要求每级位数必须相等（某些设计问题除外，但不在本文讨论范围内）。此外，级数可以超过两个。无论如何，除非增加某种形式的纠错，图1所示架构限于约8位分辨率。

图4显示了常用的8位15 MSPS分级ADC，由Computer Labs, Inc.于20世纪70年代中期制造。此转换器是基本的二级分级ADC，采用两个4位Flash转换器，每个转换器由8个双通道AM687高速比较器组成。级间失调调整电位计允许现场对传递函数进行优化。该ADC在早期数字视频产品中很常用，例如帧存储器和时基校正器。

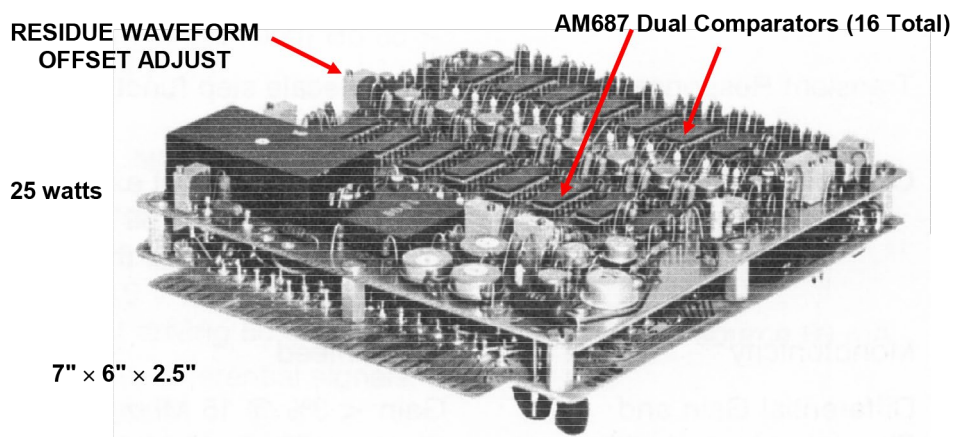


图4：MOD-815，8位、15 MSPS 4×4分级ADC，1976年Computer Labs, Inc.制造

使用数字纠错的分级ADC

为了以分级法可靠地实现高于8位的分辨率, 业界采用了一种技术, 通常称为**数字校正分级**、**数字纠错**、**重叠位**、**冗余位**等等。该方法最早可追溯至1964年, 由T. C. Verster正式提出 (参考文献3), 随后得到迅速传播和采用 (参考文献4至7)。图5使用残余波形显示了基本概念。

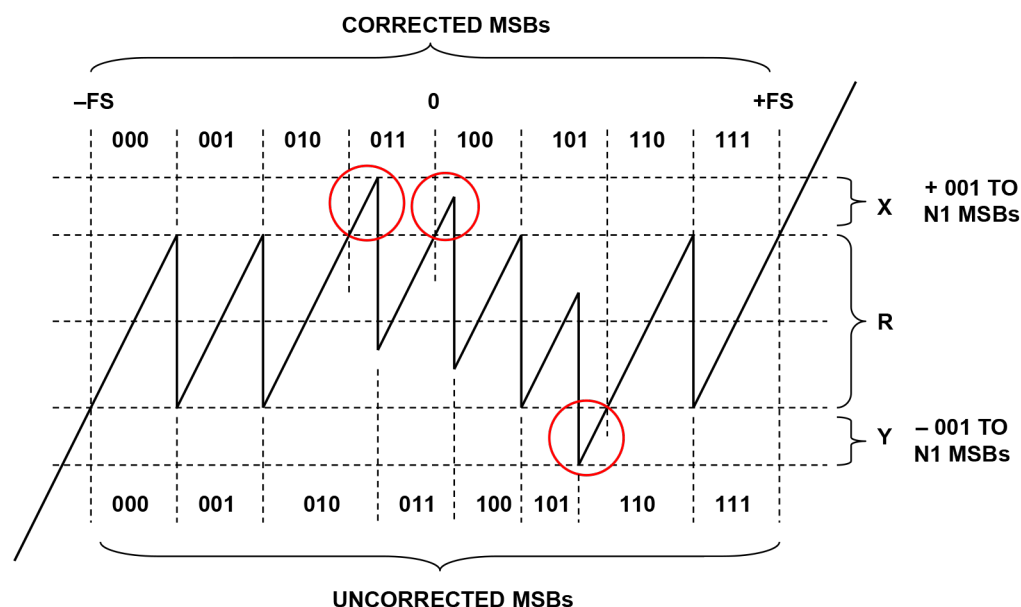
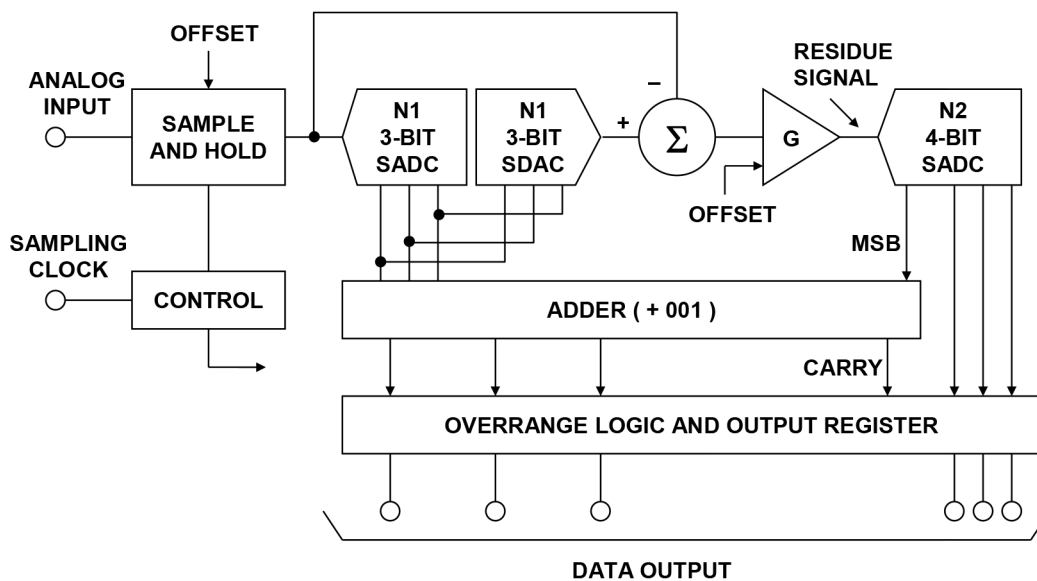


图5: 对 $N1 = 3$ 使用更高量化级数的纠错

残余波形显示的是 $N1 = 3$ 位的特定情况。在标准分级ADC中, 残余波形必须恰好填满 $N2$ SADC的输入范围, 即必须处于称为R的区域内。失码问题通过在正超量程区域X和负超量程区域Y内添加额外量化电平来解决。这些附加电平需要在基本 $N2$ flash SADC内添加比较器。具体方案如下: 一旦残余波形进入X区域, $N2$ SADC应立即返回全零状态, 重新开始递增计数。另外, 必须给 $N1$ SADC的输出添加代码001, 以使MSB读取正确代码。图示在波形下部标示了未校正的MSB区域, 在波形上部标示了已校正的MSB区域。残余波形进入负超量程区域Y时发生类似情况。此时Y区域内的第一量化电平产生全一代码, 且额外超量程比较器应使计数递减。Y区域内, 必须从MSB减除代码001, 以产生已校正的MSB代码。必须了解, 为了让此校正方法正常工作, $N1$ SDAC必须比ADC的总分辨率更加精确。 $N1$ SDAC的非线性度或增益误差会影响残余波形垂直“跳跃”部分的幅度, 从而可能产生输出失码。

Horna在1972年的一篇文章（参考文献6）中介绍了一种实验型8位15 MSPS纠错式分级ADC，使用摩托罗拉MC1650双通道ECL比较器作为Flash转换器构建模块。Horna在第二个Flash转换器中添加了额外比较器，并详细说明了此程序。他指出通过给残余波形添加适当失调，避免负超量程条件，可以显著简化校正逻辑。这样便无需减法函数，仅需要加法器。MSB可不经修改直接通过，或者添加1 LSB（相对于N1 SADC），具体取决于残余信号是在范围内还是超量程。

现代数字校正分级ADC一般使用内部ADC和更高分辨率的N2 SADC来获得额外量化电平。例如，如果给N2 SADC添加一个额外位，其范围加倍，则残余波形可能超出范围两端 $\frac{1}{2}$ LSB（以N1 SADC为基准）。给N2添加两个额外位则使残余波形超出范围两端 $1\frac{1}{2}$ LSB（以N1 SADC为基准）。残余波形使用Horna的技术施加失调，因此仅需要简单的加法器就能执行校正逻辑。工作原理的详情无法直接阐明，但可以通过6位ADC的实际示例予以最佳解释，该ADC使用3位MSB SADC和4位LSB SADC提供一位纠错。示例ADC的功能框图如图6所示。



SEE: T. C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 471-473

图6：6位分级纠错ADC，N1=3，N2=4

通过输入采样保持电路后，信号由3位SADC数字化，由3位SDAC重构，从被保持的模拟信号中减除，然后放大并施加于第二个4位SADC。放大器增益G经恰当选择，使得残余波形占据4位SADC输入范围的 $\frac{1}{2}$ 。6位输出数据字的3 LSB直接从第二SADC到达输出寄存器。4位SADC的MSB控制加法器是否向3 MSB添加001。加法器的进位输出与一些简单的超量程逻辑配合使用，以防止输入信号超出ADC正量程时输出位返回全零状态。

现在将详细考察满量程斜坡输入的残余波形，以解释校正逻辑的工作原理。图7显示了理想残余波形，假定第一ADC具有完全线性度，且两级间具有完美对准。请注意，残余波形恰好占据N2 SADC范围的 $\frac{1}{2}$ 。N2 SADC的4位数字输出显示于图示左侧。图示底部显示由3位未校正N1 SADC定义的区域。图示顶部显示由3位已校正N1 ADC定义的区域。

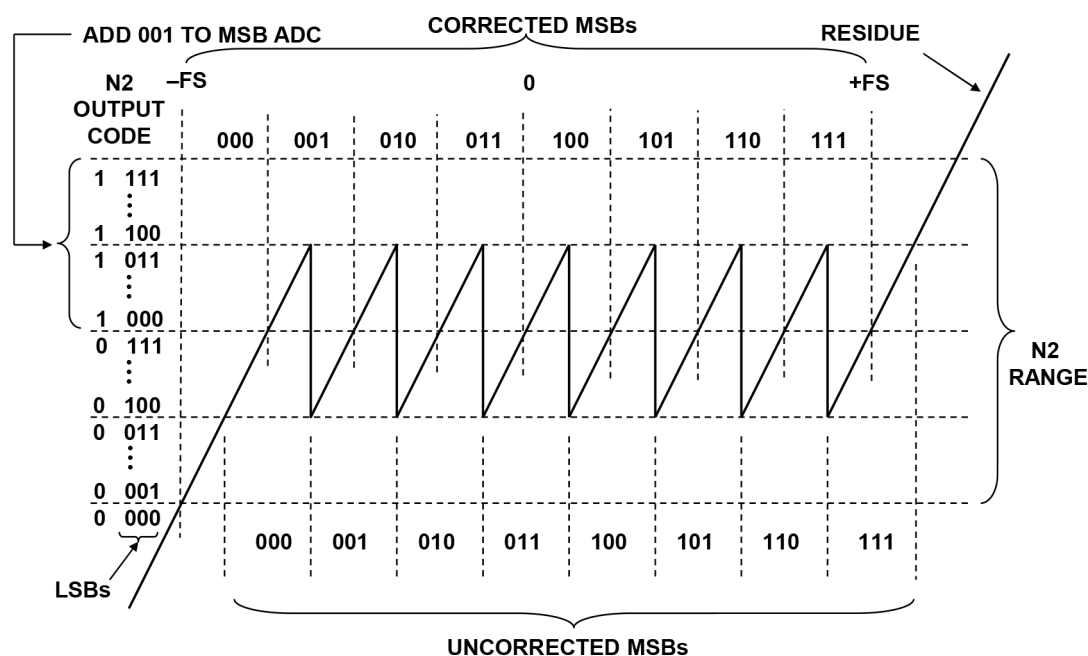


图7：6位交错分级ADC的残余波形，N1 = 3，N2 = 4，理想MSB SADC

从左至右观察残余波形，输入在-FS下首次进入总体ADC范围时，N2 SADC开始从0000递增计数。N2 SADC到达1000代码时，将001添加至N1 SADC输出，使输出从000变更为001。随着残余波形继续增加，N2 SADC继续递增计数，直至到达代码1100，此时N1 SADC切换至下一电平，SDAC切换并使残余波形向下跳至0100输出代码。由于N2 SADC的MSB为零，加法器现在被禁用，所以N1 SADC输出保持001。残余波形接着继续通过每个剩余区域，直至到达+FS。

此一方法具有一些巧妙特性值得注意。首先，总体传递函数以MSB SADC为基准偏移 $\frac{1}{2}$ LSB（以总体ADC模拟输入为基准则为 $1/16$ FS）。通过向输入采样保持电路注入失调电压，可以轻松校正该偏移。众所周知，内部N1 SADC和SDAC切换的点最可能具有额外噪声，且最可能在总体ADC传递函数内建立微分非线性。函数偏移 $1/16$ 可以确保零伏特模拟输入附近的低电平信号（小于 $\pm 1/16$ ）不会出现重要切换点，并且提供对通信应用至关重要的低噪声和出色的DNL。最后，由于理想残余信号中心位于N2 SADC的范围内，N2 SADC提供的额外范围在N1 SADC转换中最多允许 $\pm 1/16$ FS的误差，同时仍可保持无失码。

图8显示了一个残余信号，此时N1 SADC内存在误差。请注意，残余信号提供的总体ADC线性度不受影响，仍保持在N2 SADC的范围内。只要满足此条件，所述纠错方法就能校正下列误差：采样保持下降误差、采样保持建立时间误差、N1 SADC增益误差、N1 SADC失调误差、N1 SDAC失调误差、N1 SADC线性度误差、余量放大器失调误差。尽管具有校正以上所有误差的能力，应强调的是该方法无法校正与N1 SDAC相关的增益和线性度误差或者余量放大器内的增益误差。这些参数的误差以总体分级ADC的N位为基准必须小于1 LSB。可从另一方面认识该要求：以N2 SADC输入为基准，残余波形垂直“跳跃”转换的幅度（对应于N1 SADC和SDAC变化电平）必须保持在 $\pm \frac{1}{2}$ LSB以内，以便通过校正防止失码。

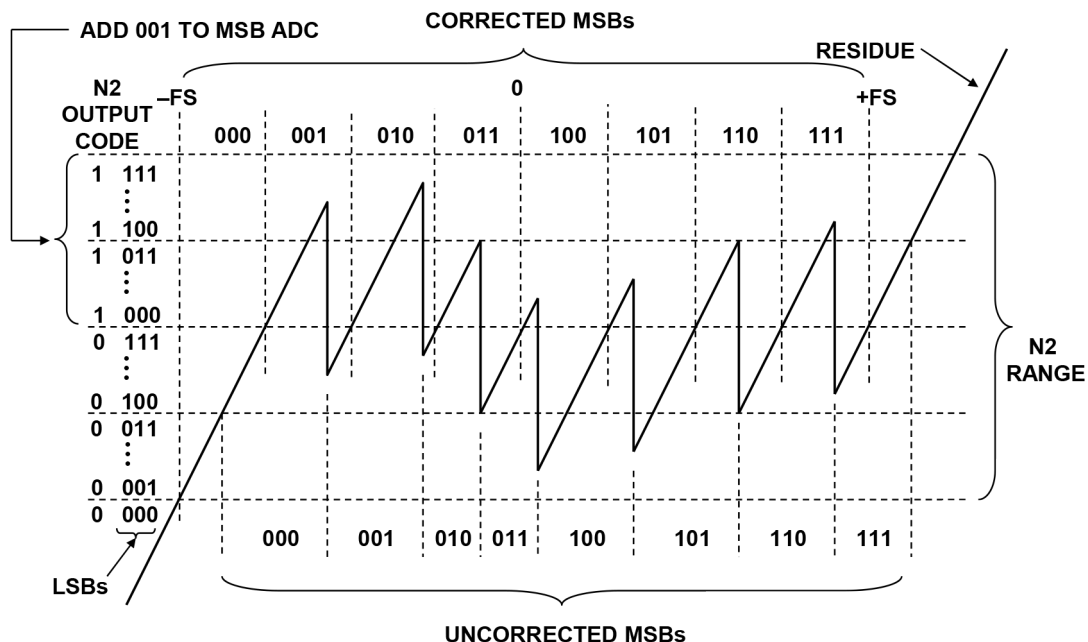


图8：6位纠错分级ADC的残余波形，N1 = 3，N2 = 4，非线性MSB SADC

图6所示的纠错分级ADC无“流水线”延迟。输入SHA在以下事件发生期间处于保持模式：第一级SADC做出决策，输出由第一级SDAC重构，SDAC输出从SHA输出减除、放大并由第二级SADC数字化。数字数据通过纠错逻辑和输出寄存器后即可使用，转换器准备好接收另一采样时钟输入。

流水线式分级ADC提高速度

图9所示的流水线式架构是数字校正分级架构，其中每一级在一半采样时钟周期内处理数据，然后在下半个周期前将残余输出传递至流水线内的下一级。级间采样保持(T/H)电路用作模拟延迟线，时序设置成当第一级转换完成时进入保持模式。这样便为内部SADC、SDAC和放大器提供更多建立时间，并且允许流水线式转换器在远高于非流水线式转换器的总体采样速率下工作。

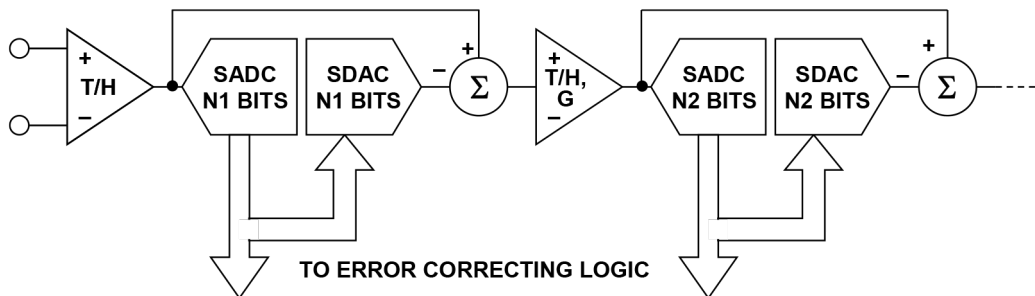


图9：可纠错分级ADC内的一般化流水线级

术语“流水线式”架构表示某一级能够在采样时钟周期的任何给定相位期间处理前一级的数据。在特定时钟周期每一相位的末端，使用T/H函数将给定级的输出传递至下一级，并将新数据移入该级。当然，这意味着除“流水线”最后一级外，所有级的数字输出必须存储在适当数目的移位寄存器内，使得到达校正逻辑的数字数据对应于同一样本。

图10显示了一个典型流水线式分级ADC的时序图。请注意，进入T/H放大器的时钟相位随级而交替，因此当ADC内的特定T/H进入保持模式时便保持前一T/H的样本，而前一T/H返回跟踪模式。被保持的模拟信号沿着级向前传递，直至到达流水线式ADC内的最终级，在本例中即Flash转换器。当以高采样速率工作时，差分采样时钟务必保持在50%占空比，以便实现最佳性能。非50%的占空比会影响信号链内的所有T/H放大器，一些放大器将具有大于最佳值的跟踪时间或小于最佳值的保持时间；而另一些情况恰好相反。许多较新的流水线式ADC（包括12位、65 MSPS [AD9235](#)和12位170/210MSPS [AD9430](#)）具有片内时钟调理电路，可以控制内部占空比并保持额定性能，即使外部时钟占空比存在一些变化。

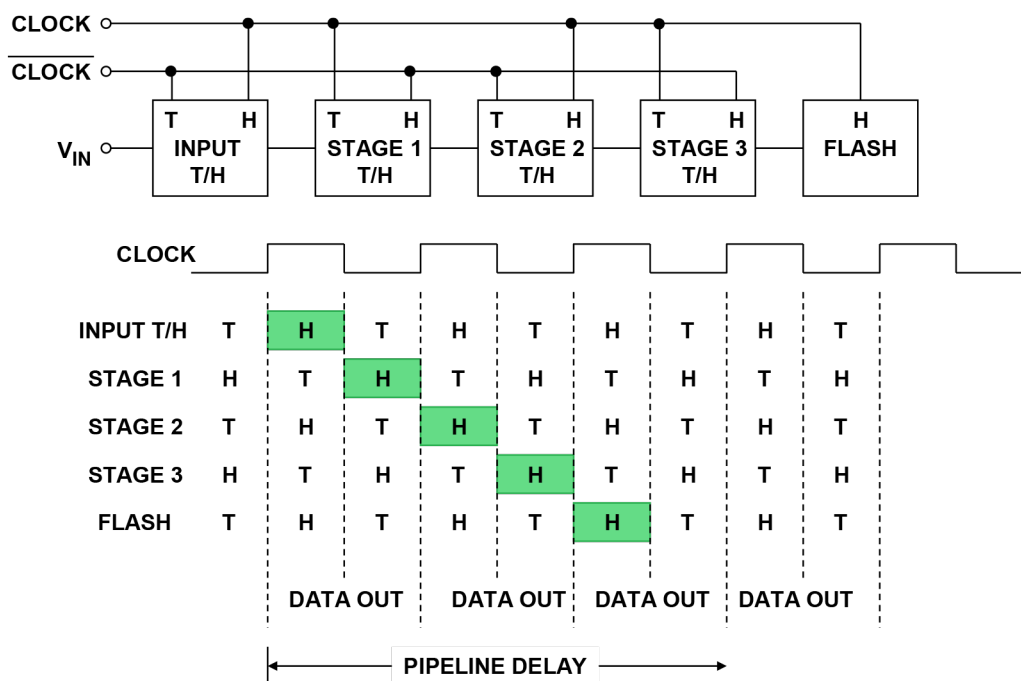


图10：流水线式ADC内的时钟问题

图11针对12位65 MSPS ADC AD9235显示输出数据内的“流水线”延迟（有时称为“延迟时间”）效应，其中存在7时钟周期的流水线延迟。

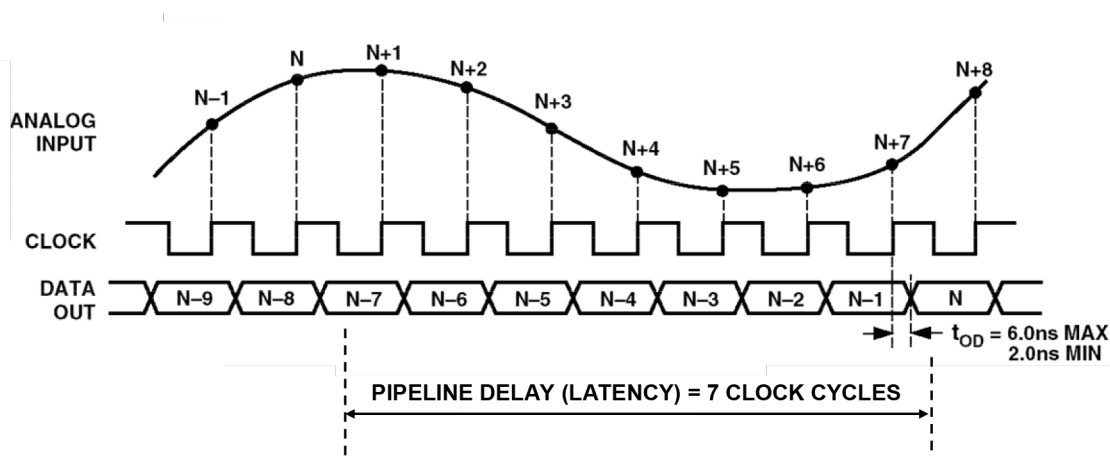


图11：12位、65 MSPS ADC [AD9235](#)的典型流水线式ADC时序

请注意，流水线延迟与级数以及所考虑ADC的特定架构成函数关系，有关采样时钟与输出数据时序间的关系详情，请务必查阅数据手册。许多应用中，流水线延迟不成问题，但如果ADC位于反馈环路内部，流水线延迟可能造成不稳定。在多路复用应用中或以“单发”模式操作ADC时，流水线延迟也可能带来麻烦。对于这些类型的应用，其他ADC架构更合适，例如逐次逼近型。

大多数CMOS流水线式ADC的一个细微问题是低采样速率下的性能。由于内部时序一般由外部采样时钟控制，极低采样速率会使内部采样保持电路的保持时间延长，以致过度下降造成转换误差。因此，大多数流水线式ADC具有针对最小以及最大采样速率的规格。显然，这使得此类器件不能用于单发或突发模式应用，这些应用中SAR ADC架构更合适。

业界常常错误地假定所有分级ADC均为流水线式，所有流水线式ADC均分级。虽然为了尽可能实现最大采样速率，大多数现代分级ADC确实是流水线式，但在设计用于更低速度时却不一定是流水线式。例如，采样时钟前沿可以启动转换过程，继续转换所需的任何额外时钟脉冲可以使用片内时序电路在ADC内部生成。在转换过程末端，可以生成转换结束或数据就绪信号，作为对应于该特定采样沿的数据有效的外部指示。去除流水线式结构显然会大幅降低总体采样速率，因此“无延迟”方法不常使用。

相反地，一些未使用分级架构的ADC也是流水线式。例如，除与并联比较器相关的锁存器外，大多数Flash转换器使用另外一组输出锁存器，这会输出数据带来流水线延迟（参见[指南MT-020](#)）。一般具有较多流水线延迟的非分级架构还有 Σ - Δ 架构，在[指南MT-022](#)和[指南MT-023](#)中有详细说明。不过请注意，可以修改正常 Σ - Δ 型ADC的时序，降低输出数据速率，从而得到“无延迟”的 Σ - Δ 型ADC。

循环分级流水线式ADC

另一不太常用的纠错分级架构类型是循环分级ADC。图12显示了这一架构，由Kinniment等人在1966年的一篇文章中提出（参考文献5）。此概念类似于前文讨论过的纠错分级架构，但该架构中残余信号使用开关和可编程增益放大器(PGA)在单个ADC和DAC级中循环。图12显示了存储每次转换获得的流水线式数据所需的额外缓冲寄存器，以便使进入校正逻辑（加法器）的数据对应于相同样本。图12所示的循环架构类似于20世纪90年代早期推出的一些集成电路ADC，例如[AD678](#)（12位、200 kSPS）和[AD679](#)（14位、128 kSPS）。目前，使用逐次逼近型架构（[指南MT-021](#)予以论述），可以更经济高效地实现具有同样分辨率和采样速率的ADC。

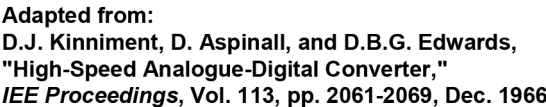


图12: Kinniment等人于1966年提出的流水线式7位、9 MSPS循环ADC架构

用于视频和图像处理的现代单芯片流水线式ADC

在纠错流水线式ADC讨论的最后，将提供一些常见架构的现代集成电路实施示例。这些示例显示了在不同分辨率、采样速率、功耗下灵活优化ADC性能的技术。

视频市场目前使用分辨率介于8至12位、采样速率介于54 MSPS至140 MSPS的ADC。现在这些ADC大多数已集成到执行其他数字信号处理的芯片内，例如各种现有视频标准间的转换（复合、RGB、Y/C、Y/Pb/Pr）。从ADI公司的ADV系列[视频解码器](#)可以看到由上述IC执行的大量数字处理。ADC架构一般是流水线式，采用CMOS工艺，总封装功耗范围从250 mW至600 mW。另一类似产品系列用于相机和便携式摄像机的[CCD图像处理](#)应用。

在目前“独立”的 8 位 ADC 市场中, 流水线式架构在 8 位、250 MSPS [AD9480](#) (LVDS 输出) 和 [AD9481](#) (解复用 CMOS 输出) 中实施, 两者功耗分别为 700 mW 和 600 mW。

用于宽带通信的流水线式ADC

鉴于市场需要适合通信应用的宽动态范围（高SFDR）ADC，突破性产品12位、41 MSPS ADC [AD9042](#) 终于在1995年问世（见参考文献8）。该转换器的功能框图如图13所示。

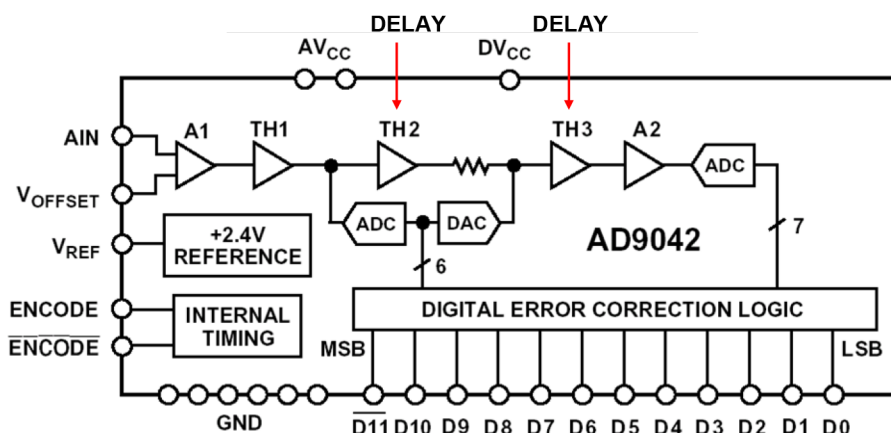


图13: [AD9042](#) 12位、41-MSPS ADC, 1995

AD9042使用由6位MSB ADC/DAC后跟7位LSB ADC组成的纠错分级架构，并在第二级使用一位纠错。AD9042在41 MSPS采样速率下、奈奎斯特带宽上具有80 dB SFDR性能。该器件使用高速互补双极性工艺制造，采用+5 V单电源供电，功耗为600 mW。

为了满足低成本、低功耗器件的需求，ADI公司开发了CMOS高性能ADC系列，例如1998年发布的12位、25 MSPS ADC [AD9225](#)。AD9225具有85 dB SFDR，采用+5 V单电源供电，功耗为280 mW。

2001年发布的12位、65 MSPS CMOS ADC [AD9235](#)显示了CMOS高性能转换器的进步。AD9235采用+3 V单电源供电，功耗为300 mW（65 MSPS时），在奈奎斯特带宽上具有90 dB SFDR。

2002年发布的12位、210 MSPS [AD9430](#)使用BiCMOS工艺制造，具有最高70 MHz输入的80 dB SFDR，采用+3 V单电源供电，210 MSPS时的功耗为1.3 W。输出数据在处于CMOS模式的两个105 MSPS解复用端口上提供，或者在处于LVDS模式的210 MSPS单一端口上提供。

另一突破性产品是2002年发布的14位、105 MSPS ADC [AD6645](#)，使用高速互补双极性工艺(XFCB)制造，具有90 dB SFDR，采用+5 V单电源供电，功耗为1.5 W。

最新流水线式ADC

12位高速ADC市场在速度、功耗和性能方面已取得显著进步，从功耗仅为360 mW的12位、80 MSPS CMOS ADC [AD9236](#)便可看出。AD9236是引脚兼容系列产品的一员，该系列包括[AD9215](#)（10位、105 MSPS）、[AD9235](#)（12位、65 MSPS）和[AD9245](#)（14位、80 MSPS）。这些引脚兼容器件可以轻松地从10位迁移至14位，采样速率则可从20 MSPS升至更高。

除了单通道ADC外，还提供双通道ADC和4通道AD，包括具有LVDS输出的4通道12位、65 MSPS ADC [AD9229](#)。器件功耗为1.5 W，非常适合医疗超声一类的高密度应用。

在14位通信ADC领域，14位、65 MSPS的[AD9244](#)针对奈奎斯特输入信号（直流至 $f_s/2$ ）进行了优化，具有86 dB SFDR，使用CMOS工艺，功耗仅为550 mW。

对于更高的输入带宽和中频采样，14位、125 MSPS ADC [AD9445](#)可提供95 dB SFDR（使用170 MHz输入测得），功耗为2.6 W。AD9445基于BiCMOS工艺而设计。

另外对于通信应用，16位、100 MSPS ADC [AD9446](#)针对高SNR (84 dB)进行了优化，功耗为2.8 W，同样基于BiCMOS工艺而设计。

总结

流水线式分级ADC架构几乎主导着采样速率高于数MHz的应用。SAR架构与2至5 MSPS区域内的流水线式架构有些重叠，但很容易根据应用确定哪一架构更为合适。

8至16位的分辨率可提供各种封装和配置（信号、双通道、3通道、4通道等等）。细线CMOS工艺迄今是这些转换器最常用的工艺，而BiCMOS用于需要获得极致动态性能的应用。

对于给定采样速率和分辨率，流水线式ADC通常通过动态性能加以区分。例如，14位、65 MSPS ADC [AD9244](#)经过优化，可处理从直流到奈奎斯特频率($f_s/2$)的输入信号，功耗仅为550 mW。如果必须处理更高奈奎斯特区域内的信号，可以使用14位、125 MSPS ADC [AD9445](#)，其采用更昂贵的BiCMOS工艺，功耗为2.6 W。

为特定应用选择适当的流水线式ADC不仅需要彻底了解系统要求，而且得掌握架构工作原理和可用的权衡因素。将ADC简单地视为“黑盒子”常常导致错误的选择。

参考文献：

1. R. Staffin and R. D. Lohman, "Signal Amplitude Quantizer," U.S. Patent 2,869,079, filed December 19, 1956, issued January 13, 1959. (介绍使用电子管和晶体管的flash和分级转换)。
2. H. R. Schindler, "Using the Latest Semiconductor Circuits in a UHF Digital Converter," *Electronics*, August 1963, pp. 37-40. (介绍使用三个2位隧道二极管flash转换器构成的6位50 MSPS分级ADC。)
3. T. C. Verster, "A Method to Increase the Accuracy of Fast Serial-Parallel Analog-to-Digital Converters," *IEEE Transactions on Electronic Computers*, EC-13, 1964, pp. 471-473. (关于在分级ADC中使用纠错的首批参考文献之一)。
4. G. G. Gorbatenko, "High-Performance Parallel-Serial Analog to Digital Converter with Error Correction," *IEEE National Convention Record*, New York, March 1966. (关于在分级ADC中使用纠错的另一份早期参考文献)。
5. D. J. Kinniment、D. Aspinall和D.B.G.Edwards, "High-Speed Analogue-Digital Converter," *IEE Proceedings*, Vol. 113, pp. 2061-2069, Dec. 1966. (介绍一款7位9MSPS三级流水线式纠错转换器，该转换器通过一个3位级进行三次循环。隧道(Esaki)二极管用作单个比较器。该文献还提出了一种更快的流水线式7位架构，使用3个独立的3位级提供纠错功能。此外还介绍了一种快速自举二极管桥采样保持电路)。
6. O. A. Horna, "A 150Mbps A/D and D/A Conversion System," *Comsat Technical Review*, Vol. 2, No. 1, pp. 52-57, 1972. (关于可纠错分级ADC的详细说明和分析)。
7. J. L. Fraschilla, R. D. Caveney, and R. M. Harrison, "High Speed Analog-to-Digital Converter," U.S. Patent 3,597,761, filed Nov. 14, 1969, issued Aug. 13, 1971. (介绍一款8位5 MSPS分级ADC，可以切换至第二个比较器库的基准器件)。
8. Roy Gosser and Frank Murden, "A 12-bit 50MSPS Two-Stage A/D Converter," *1995 ISSCC Digest of Technical Papers*, p. 278. (关于AD9042纠错分级ADC的说明，其内部ADC使用MagAMP级)。
9. Walt Kester, [Analog-Digital Conversion](#), Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 3.另见[The Data Conversion Handbook](#), Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 3.

© 2009 Analog Devices, Inc 保留所有权利。对于客户产品设计、客户产品的使用或应用，以及因ADI公司协助而可能导致的任何侵权，ADI公司概不负责。所有商标和标志均属各自所有人所有。ADI公司应用与开发工具工程师提供的信息准确可靠，但ADI公司对其技术指南所提供内容的技术准确性和时效性不承担责任。