

基于线下估计和线上补偿的时间交错采样ADC失配误差补偿方法

邹应全 吴太龙 彭榆淞 孙一航 刘宜翌 张翠芳*

(西南交通大学信息科学与技术学院 成都 611756)

摘要: 该文提出一种改进的时间交错采样模数转换器(TIADC)失配误差补偿方法。系统通过误差参数和简化的拉格朗日插值算法分别实现了对偏置、增益的失配误差补偿和采样时间的失配误差补偿。该补偿方法在FPGA中采用低复杂度的定点运算实现,在TIADC硬件平台中实现了对多通道ADC采样数据的线上校正。实验结果表明:所提改进方法在仿真环境下使无杂散动态范围提升了51 dB,并且在硬件实现过程中使SFDR优化达45 dB。在保持失配误差估计精度和补偿效果优良的前提下,该方法不仅降低了算法的计算复杂度,而且该补偿结构不受TIADC通道数目的限制。

关键词: 模数转换器; 时间交错采样; 失配误差; 补偿结构; 定点运算

中图分类号: TN79+2; TP391

文献标识码: A

文章编号: 1009-5896(2019)01-0226-07

DOI: 10.11999/JEIT180098

Method for Compensating Distortion Created by Mismatch Errors in Time-interleaved ADCs Based on Offline Estimation and Online Correction

ZOU Yingquan WU Tailong PENG Yusong SUN Yihang
LIU Yigang ZHANG Cuifang

(School of Information Science and Technology, Southwest Jiaotong University, Chengdu 611756, China)

Abstract: A improved method is proposed for compensating the distortion created by mismatches in Time-Interleaved Analog-to-Digital Converters (TI ADCs). The error compensation of offset and gain is realized by error parameters, and the error compensation of sampling time is realized by the simplified Lagrange interpolation algorithm. The compensation method is implemented in FPGA with the low complexity of fixed-point algorithm, and the online calibration of multi-channel ADC sampling data is implemented in the TIADC hardware platform. The experimental results show that the proposed method improves the Spurious-Free Dynamic Range (SFDR) of sampling data up to 51 dB in the simulation environment, and optimizes the SFDR up to 45 dB in the process of hardware implementation. Under the premise of maintaining the error estimation precision and compensation effect, this method not only reduces the computational complexity of the algorithm, but also the compensation structure is not limited by the number of TIADC channels.

Key words: Analog-to-Digital Converter; Time-interleaved sampling; Mismatch errors; Compensation structure; Fixed-point algorithm

1 引言

受限于目前半导体工艺,单通道模数转换器(ADC)采样已很难同时满足高精度和高采样率,因此时间交错采样模数转换器(TIADC)结构被提出,在保持高精度的同时提高系统采样率^[1]。其原理是 M 个ADC通道在不同时刻进行交错采样,将单通道ADC采样率提高 M 倍,但通道间ADC的失配会

导致系统采样分辨率下降。失配误差主要包括偏置、增益和采样时间^[2-5]。目前很多学者针对这3种失配误差的估计和补偿进行广泛讨论和研究。根据误差补偿的方式可将补偿策略分为自适应均衡法^[6-9]和线下估计加线上补偿法^[10-15]。自适应均衡法在失配误差改变的情况下可自适应调整参数,但该方法在不同通道数的TIADC结构中需采用不同的均衡方法,不具备通用性,而且需要对采样序列做傅里叶变换,计算复杂度高。相对而言,线下估计加线上补偿法的补偿精度更高。

收稿日期: 2018-01-04; 改回日期: 2018-10-22; 网络出版: 2018-10-25

*通信作者: 张翠芳 cfzhang_scce@home.swjtu.edu.cn

文献[11]通过对理想和实际采样序列进行频域分析,并在频域中估计失配误差参数;该方法虽然能够高精度地估计3种失配误差参数,但是其基于快速傅里叶变换(FFT),计算复杂度高。文献[12]通过计算不同通道间实际采样序列的自相关系数来判断TIADC系统的失配程度,并以此估计失配误差参数;该方法在采样时间失配误差估计中,具有较高的估计精度,但是在增益失配和偏置失配误差估计中估计精度较低。文献[13]根据理想和实际采样序列通过最小二乘法(LS)来估计失配误差参数,估计过程简单且精度较高;但是该方法只能估计采样时间失配误差为正数的情况,而且在硬件设计中,作者只从ASIC设计角度对算法进行了验证,未分析补偿结构的逻辑资源消耗问题。

针对上述问题,本文根据线下估计加线上补偿法提出了一种改进的TIADC失配误差补偿方法。在参数估计过程中,采用最小均方算法来拟合理想采样序列,降低了误差参数估计的计算复杂度,而且该方法在采样时间失配误差参数估计中加入正负判别,解决了文献[13]中只能估计采样时间失配误差为正数的问题;在失配误差补偿过程中,采样时间失配误差补偿则采用简化的Lagrange插值算法实现,相对于传统Lagrange插值算法,该方法将计算复杂度从 $2N^2$ 降为 $2N$ 。通过仿真和硬件实验验证了该算法的可行性。

2 失配误差估计

2.1 TIADC模型

TIADC采样结构如图1所示,输入信号 $x(t)$ 经过第 m 通道ADC理想采样后,输出序列为

$$y_{1m}[k] = x(kT + \tau_{1m}) \quad (1)$$

其中, T 为ADC采样周期; m 为ADC通道号; τ_{1m} 为理想采样时间偏移,即为

$$\tau_{1m} = \frac{m-1}{M}T, m = 1, 2, \dots, M \quad (2)$$

其中, M 为ADC通道数。得TIADC的理想采样序列为

$$y_1[n] = x\left(n\frac{T}{M}\right) \quad (3)$$

其中, T/M 为理想采样时间间隔。与单通道ADC采样率相比, TIADC结构的采样率提高了 M 倍。

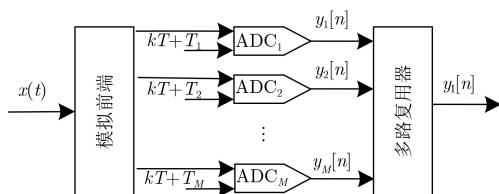


图1 TIADC采样结构

在TIADC中,各通道间的失配误差会导致实际采样序列与理想采样序列之间产生偏差。在只考虑增益失配和偏置失配的情况下,第 m 通道ADC的输出序列为

$$\begin{aligned} y_m[k] &= G_m y_{1m}[k] + O_m \\ &= G_m x(kT + \tau_{1m}) + O_m \end{aligned} \quad (4)$$

其中, O_m 和 G_m 分别为第 m 通道ADC的偏置失配误差和增益失配误差。在式(4)基础上,结合采样时间失配误差的输出序列为

$$y_m[k] = G_m x(kT + \tau_m) + O_m \quad (5)$$

其中, τ_m 为 τ_{1m} 与采样时间失配误差 Δt_m 的和,即为

$$\tau_m = \tau_{1m} + \Delta t_m \quad (6)$$

易知,采样时间失配产生的误差等价于 $y_m[k]$ 幅值的变化量 $\Delta y_m[k]$, TIADC失配误差模型为

$$y_m[k] = G_m (y_{1m}[k] + \Delta y_m[k]) + O_m \quad (7)$$

2.2 理想采样数据的获取

失配误差的参数估计主要分为两个步骤:首先获取理想采样序列和实际采样序列,然后通过分析理想采样序列与实际采样序列的差异来估计失配误差。

已知频率为 f_t 、幅度为 A_m 的正弦信号为

$$x(t) = A_m \sin(2\pi f_t t) \quad (8)$$

由于实际采样序列具有任意性,因此获取与实际采样序列相同相位的理想采样序列也具有任意性。结合输入信号是周期信号的特性,任意截取的理想采样序列等效于在输入信号中加入一个相位延时 φ_0 ,即为

$$x(t) = A_m \sin(2\pi f_t t + \varphi_0) \quad (9)$$

由式(3)可得, TIADC理想采样序列为

$$y_1[n] = A_m \sin\left(2\pi f_t n \frac{T}{M} + \varphi_0\right) \quad (10)$$

由式(10)可知,当 f_t , A_m 和 M 已知时,只需确定 φ_0 便可获得 $y_1[n]$ 。计算 φ_0 时,初始值范围为 $[0, 2\pi]$,将其等分为 L (L 满足 $L > 2$)个点,根据式(10)获得理想采样序列群 $y_{1l}[n]$ ($l = 1, 2, \dots, L$),计算 $y_{1l}[n]$ 与实际采样序列 $y[n]$,得到 L 个均方差,找到两个最小均方差所对应的理想采样序列: $y_{1i}[n]$ 和 $y_{1j}[n]$,并判断最小均方差与阈值 δ (δ 是 $y_{1i}[n]$ 与 $y[n]$ 之间允许的最大均方差误差)的大小,如果大于 δ ,则将 $y_{1i}[n]$ 和 $y_{1j}[n]$ 的相位参数值作为下一次迭代时相位参数的取值范围边界,继续迭代运算;如果小于 δ ,则跳出迭代循环。

2.3 偏置失配及增益失配误差估计

得到实际采样序列 $y_m[k]$ 与理想采样序列 $y_{1m}[n]$

后, 由式(7)可得, 偏置误差序列 $E_{O_m}[k]$ 为

$$E_{O_m}[k] = y_m[k] - y_{1m}[k] \\ = (G_m - 1)y_{1m}[k] + G_m\Delta y_m[k] + O_m \quad (11)$$

偏置失配误差 O_m 的估计量为

$$\hat{O}_m = \frac{1}{L} \sum_{k=1}^L E_{O_m}[k] \\ = \frac{1}{L} \sum_{k=1}^L [(G_m - 1)y_{1m}[k] + G_m\Delta y_m[k] + O_m] \quad (12)$$

其中, L 为样本长度。由式(4)可得, 第 m 通道ADC的采样幅值变化量为

$$\Delta y_m[k] = x(kT + \tau_{1m} + t_m) - x(kT + \tau_{1m}) \quad (13)$$

由于 $y_{1m}[k]$ 具有零均值特性, 因此 $\Delta y_m[k]$ 也具有零均值特性, 所以只要 L 足够大, \hat{O}_m 就是 O_m 的无偏估计量, 该过程是渐近无偏的。

在 \hat{O}_m 已知的情况下, 增益误差序列 $E_{G_m}[k]$ 为

$$E_{G_m}[k] = \frac{y_m[k] - \hat{O}_m}{y_{1m}[k]} \\ = G_m + \frac{G_m\Delta y_m[k] + O_m - \hat{O}_m}{y_{1m}[k]} \quad (14)$$

增益失配误差 G_m 的估计量为

$$\hat{G}_m = \frac{1}{L} \sum_{k=1}^L E_{G_m}[k] \\ = G_m + \frac{1}{L} \sum_{k=1}^L \frac{G_m\Delta y_m[k] + O_m - \hat{O}_m}{y_{1m}[k]} \quad (15)$$

其中, 计算过程中去掉 $y_{1m}[k] = 0$ 的点。假设同时满足 \hat{O}_m 是 O_m 的无偏估计, $\Delta y_m[k]$ 具有零均值特性以及 L 足够大这3个条件, 那么 \hat{G}_m 就是 G_m 的无偏估计, 该过程也是渐近无偏的。

2.4 采样时间失配误差估计

在 O_m 和 G_m 已知的情况下, 采样时间误差序列 $E_{T_m}[k]$ 为

$$E_{T_m}[k] = \frac{y_m[k] - O_m}{G_m} - y_{1m}[k] \quad (16)$$

由于输入信号 $x(t) = A_m \sin(2\pi f_t t)$, 对 $x(t)$ 关于 t 求导数可知, 采样时间失配导致的幅度误差在 $x(t) = 0$ 附近取得极值。只要输入信号频率足够低, 就可以通过极值的幅度误差 \hat{T}_m 表示采样时间失配误差, 即为

$$|\hat{T}_m| = \frac{\max(E_{T_m}[k])}{2\pi f_t A_m}, k = 1, 2, \dots, L \quad (17)$$

由式(17)可知, \hat{T}_m 的正负与 $E_{T_m}[k]$ 的极值点有关。假设 $k = k_0$ 时, $E_{T_m}[k]$ 取得极值, 通过比较 $y_{1m}[k_0]$ 和 $y_{1m}[k_0 + 1]$ 的大小来标记 \hat{T}_m 的正负, 若 $y_{1m}[k_0] > y_{1m}[k_0 + 1]$ 则 $\hat{T}_m < 0$, 反之则 $\hat{T}_m \geq 0$ 。其中 $\hat{T}_m < 0$ ($\hat{T}_m > 0$)表示该通道的实际采样时刻超前(滞后)于理想采样时刻。

3 失配误差补偿

3.1 偏置、增益失配误差补偿

如图2所示, 图中B1为加法器, B2为乘法器, B3为数据转换器, B4和B5为深度 M 位宽18 bit的存储器, 分别用于存储偏置失配误差补偿参数 $O_c[m]$ 和增益失配误差补偿参数 $G_c[m]$, 且与偏置失配误差和增益失配误差估计量的关系为

$$\left. \begin{aligned} O_c[m] &= -\hat{O}_m \\ G_c[m] &= 1/\hat{G}_m \end{aligned} \right\} \quad (18)$$

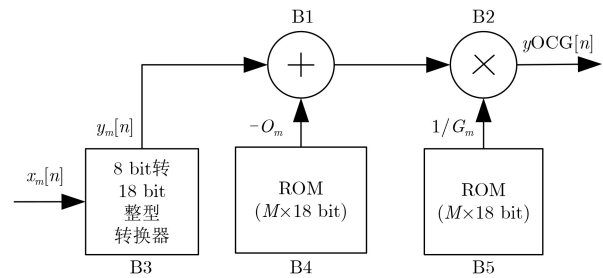


图2 偏置失配和增益失配误差补偿结构图

3.2 采样时间失配误差补偿

采样时间失配误差补偿则是采用了一种简化的Lagrange插值法。 N 阶Lagrange基本多项式为

$$P_n(t) = \prod_{\substack{j=1 \\ j \neq n}}^N \left[\frac{t - t_j}{t_n - t_j} \right] \quad (19)$$

其中, $t = t_n$ 时, $P_n(t) = 1$; $t = t_j$ ($j \neq n$)时, $P_n(t) = 0$ 。函数 $f(t)$ 的数据集为 $f(t_1), f(t_2), \dots, f(t_N)$, 则Lagrange多项式为

$$P(t) = \sum_{n=1}^N [P_n(t) f(t_n)] \quad (20)$$

由式(19)和式(20)可知, 函数 $f(t)$ 上的函数值 $f(t_n)$ 与 $P(t_n)$ 满足 $f(t_n) = P(t_n)$ 。当 t_n 越接近采样点中间位置 $t_{N/2}$, 并且 N 越大时, 通过 $P(t)$ 插值估计 $f(t)$ 的精度就越高, 但是如果 N 过大, 插值边界会逐渐收敛, 因此 N 的取值在满足插值精度的条件下不宜过大。

$f(t_n)$ 是经过偏置失配和增益失配误差补偿后的

输出序列, 其中 $t_n = nT_s + T_m$ (T_m 表示第 m 通道的采样时间失配误差)。由式(19)和式(20)可知, Lagrange插值法对采样点做误差补偿时需 $2N^2 - N$ 次乘除法运算和 N 次加法运算, 这种方法在 N 很大时具有较高计算复杂度。而本文中采用的补偿结构只需 N 次乘除法运算和 N 次加法运算, 将计算复杂度从 $2N^2$ 降为 $2N$ 。

计算Lagrange基本多项式时, 式(19)中 t_n 和 t_j 为

$$\begin{cases} t_n = nT_s + T_n \\ t_j = jT_s + T_j \end{cases} \quad (21)$$

在TIADC中, 每 M 个采样点有相同的采样时间偏移, 则 t_{n+M} 、 t_{j+M} 为

$$\begin{cases} t_{n+M} = (n+M)T_s + T_n \\ t_{j+M} = (j+M)T_s + T_j \end{cases} \quad (22)$$

采样点中间时刻为

$$\begin{cases} t = NT_s/2 \\ t + MT_s = NT_s/2 + MT_s \end{cases} \quad (23)$$

那么

$$\begin{aligned} & P_n(t + MT_s) \\ &= \prod_{\substack{j \neq n \\ j=1}}^N \left[\frac{t + MT_s - t_{j+M}}{t_{n+M} - t_{j+M}} \right] \\ &= \prod_{\substack{j \neq n \\ j=1}}^N \left[\frac{t + MT_s - (j+M)T_s - T_j}{(n+M)T_s + T_n - (j+M)T_s - T_j} \right] \\ &= \prod_{\substack{j \neq n \\ j=1}}^N \left[\frac{t - jT_s - T_j}{(n-j)T_s + T_n - T_j} \right] = P_n(t) \end{aligned} \quad (24)$$

由式(24)可知, 在可用时间窗口中, 多项式 $P_n(t)$ 等于 M 个采样时间偏移后的 $P_n(t + MT_s)$, 即在 M 个采样时间偏移后, $P_n(t)$ 的计算结果与之前相同, 之后 N 阶Lagrange多项式系数不需再次计算, 使Lagrange插值补偿算法得到简化。此外, 在

先验估计值 T_n 和 $\forall n$ 已知的情况下, 将 N 组多项式系数存储在存储器中, 通过如图3所示的采样时间失配误差补偿结构并行实现, 进一步降低了计算复杂度。

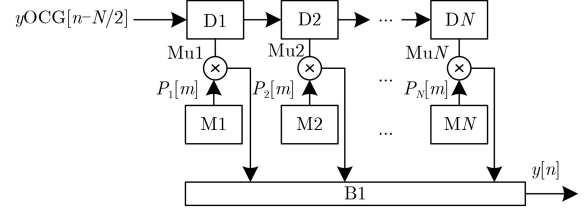


图3 采样时间失配误差补偿结构图

如图3所示, 图中 $D1, D2, \dots, DN$ 为位宽18 bit的D触发器, $M1, M2, \dots, MN$ 为深度 M 宽度18 bit存储器, 其中储存了 N 组多项式系数 $P_1[m], P_2[m], \dots, P_N[m]$, $Mu1, Mu2, \dots, MuN$ 和 $B1$ 分别为乘法器和加法器。

4 实验结果分析

4.1 仿真实验

本文使用MATLAB对所提算法进行仿真验证, 采用 8×12 bit 800MSPS的TIADC仿真模型, 仿真过程中忽略系统高斯白噪声。各通道中最大偏置失配误差和增益失配误差为5%, 最大采样时间失配误差为10%, 输入信号为幅值 $V_{pp} = 2$ V频率 $f_t = 343$ MHz的正弦信号。通过仿真得到ADC1~ADC8的失配误差真实值和相应估计值, 如表1所示。

失配误差的相对估计误差定义为

$$\mu = \left| \frac{\hat{\theta} - \theta}{\theta} \right| \times 100\% \quad (25)$$

其中, $\hat{\theta}$ 和 θ 分别为失配误差参数的估计值和真实值。通过式(25)计算表1中数据可得本文所提改进失配误差估计算法的相对估计误差, 如表2所示。

从表2中的实验结果可以看出, 本文所改进的失配误差估计算法与文献[11]和文献[13]相比, 进一

表1 失配误差的真实值与估计值

ADC通道	ADC1	ADC2	ADC3	ADC4	ADC5	ADC6	ADC7	ADC8
G	1.04440	0.95730	0.96170	1.02140	1.00460	0.97110	1.04570	1.02500
\hat{G}	1.04440	0.95723	0.96150	1.02137	1.00456	0.97081	1.04555	1.02493
O	0.02130	-0.01120	0.04290	0.02940	0.01250	0.02600	-0.03320	-0.03170
\hat{O}	0.02130	-0.01119	0.04292	0.02940	0.01251	0.02599	-0.03320	-0.03169
T (ps)	0	502	-877	324	-415	1109	757	-496
\hat{T} (ps)	2	503	-879	324	-417	1112	758	-498

表 2 本文所改进的误差估计算法与文献[11]和文献[13]中误差估计算法的相对估计误差对比(%)

估计方法	偏置误差的相对估计误差	增益误差的相对估计误差	采样时间误差的相对估计误差
文献[11]	1.416	0.02	1.29
文献[13]	0.3	0.0096	1.28
本文改进方法	0.04	0.03	0.48

步降低了偏置误差和采样时间误差的相对估计误差,极大地提高了偏置误差和采样时间误差的估计精度。其中,增益误差的相对估计误差与文献[11]和文献[13]相比时会有一定增大,但是这个增大的幅度很小,在可接受范围之内。因此,通过比较本文所提改进算法可更有效地提高时间交错采样系统中失配误差的估计精度。

如图4所示,显示了3个不同采样系统的输出序列频谱图。图4(a),图4(b),图4(c)依次是理想TIADC系统频谱图、带失配误差(带5%失调失配误差、增益失配误差以及10%采样时间失配误差)的TIADC系统频谱图以及带失配误差和本文所提补偿结构的TIADC系统频谱图。由图可知,带失配误差的TIADC系统与理想TIADC系统相比,系统SFDR显著降低,但带失配误差和本文所提补偿结构的TIADC系统与其相比,采样信号的SFDR提升达51 dB。实验结果表明,本文算法能够有效地补偿TIADC系统中的失配误差。

如图5所示,在奈奎斯特采样频率范围内, f_t/f_s 与 N_{\min} (N 满足TIADC性能要求的最小取值)存在正相关关系,即在 f_t/f_s 比值较小的情况下,不需要采用过大的 N 值来设计补偿结构。

4.2 补偿结构硬件设计分析

在进行补偿电路设计时,选用FPGA为设计平台,FPGA相比DSP或其它处理器的优势是可采用

大规模流水线结构和并行运算,提高计算的实时性。除此之外,由于线下估计的补偿参数为浮点数据,在硬件设计中,浮点运算具有很高的计算复杂度和逻辑资源占用率。因此,本文从以下3个方面来优化硬件补偿结构:一是采用定点运算代替浮点运算,同时设计具有多级流水线的并行计算模块来完成采样数据的线上补偿;二是采用FPGA片上硬件乘法器和硬件加法器来完成补偿结构中的计算;三是由图5可知,在满足系统补偿带宽的前提下采用最小的Lagrange插值阶数 N_{\min} 。补偿结构的资源消耗如表3所示。

为了评估补偿电路的运算时间,本文采用Modelsim后仿真对补偿电路进行分析。在仿真过程中,为了真实地判断该补偿结构能否用于单通道采样率为100 MHz的TIADC硬件平台,设置其系统运行时钟为100 MHz,并设置其Lagrange插值阶数 $N=4$ (当输入信号频率 $f_t=3.43$ MHz,采样率 $f_s=200$ MHz时, f_t/f_s 的比值为0.0172,由图5可知, $N=4$ 就能满足系统补偿带宽)。补偿电路的硬件仿真结果如图6所示。

已知Lagrange插值阶数 $N=4$,结合补偿结构中数据的扩展与截断处理,该硬件补偿电路需采用9级流水线结构实现。由图6可知,数据在T1时刻的上升沿经过ADC_CHx_In(x 为1和2)端口被输入至补偿电路,经过运算处理后,在T9时刻的上升沿得到补偿后的输出数据(ADC_CHx_Out)。因此,第1个数据从输入到补偿输出,延迟8个时钟周期。由于电路采用流水与并行结构,输入数据流时钟为100 MHz,输出数据流时钟仍为100 MHz。

由于硬件补偿电路中存在数据扩展和截断处

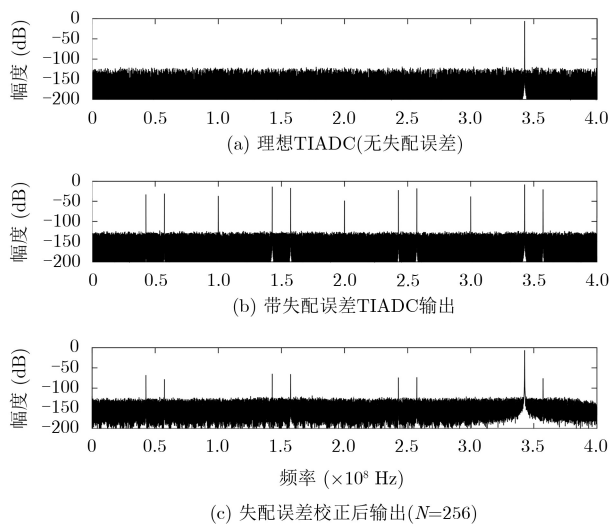


图 4 采样输出序列频谱对比图

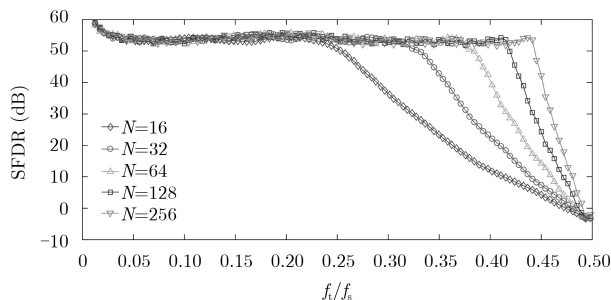
图 5 Lagrange插值阶数 N 与SFDR、输入信号频率与采样频率比值 f_t/f_s 的关系图

表 3 硬件补偿电路的FPGA片上逻辑资源消耗情况

资源类型	总组合功能	专用逻辑寄存器	18 bit嵌入式乘法器	存储容量
资源消耗情况	111/8256	98/8256	5/18	0/165888

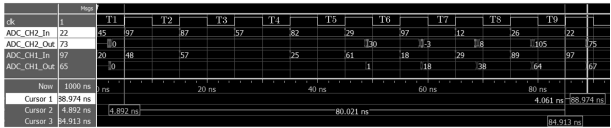


图 6 硬件失配误差补偿结构运算时间仿真图

理，数据处理过程中存在一定精度损失，因此需要对补偿电路中的精度损失进行评估。为了进一步确认定点运算能够很好地满足失配误差补偿电路的补偿精度，本文对比分析了浮点与定点运算补偿结构的输出数据频谱图，通过系统的SFDR验证了算法的补偿精度，从图7中可知，定点运算补偿结构与浮点运算补偿结构在补偿精度上基本一致。

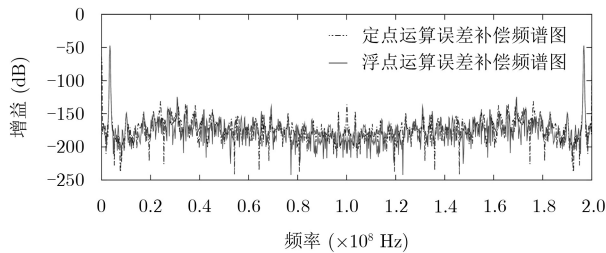


图 7 定点运算与浮点运算的失配误差补偿频谱对比图

4.3 硬件实验

本实验基于2×8 bit 200MSPS的TIADC结构搭建硬件验证平台，FPGA采用Altera公司Cyclone II系列的EP2C8Q208C，ADC采用ADI公司的AD9288(单通道采样率100 MHz)，通过模拟前端调理电路和ADC采样电路实现对输入信号的模拟调理和采样，根据误差估计参数设计FPGA片上硬件补偿结构，实现对采样信号的线上补偿，校正后数据通过FIFO缓存传送至NIO II内核，完成双通道数据的融合和传输任务。

硬件实验中，输入信号为 $V_{pp} = 0.4\text{ V}$ ， $f_t = 3.43\text{ MHz}$ 的正弦信号。通过TIADC硬件平台，获取补偿前采样数据，通过失配误差估计算法，求得ADC1~ADC2失配误差估计值，如表4所示。

表 4 偏置、增益和采样时间失配误差估计值

ADC通道	ADC1	ADC2
\hat{G}	1.061100	1.061900
$\hat{O}\text{ (V)}$	-0.057000	0.000053
$\hat{T}\text{ (ns)}$	1.191200	1.424300

如图8所示，TIADC输出数据在硬件补偿前后有着明显的差异，补偿后基波成分基本不改变，采样输出数据的SFDR优化达45 dB。硬件实验结果表明，本文算法能够有效地优化TIADC硬件系统。

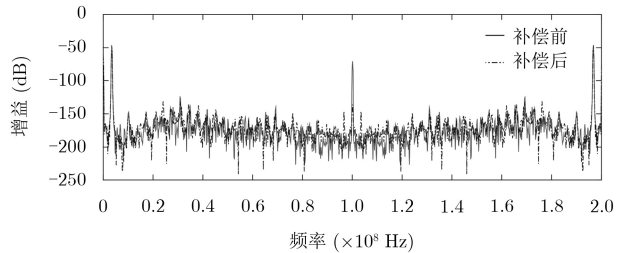


图 8 TIADC系统中失配补偿前后输出数据频谱对比图

5 结束语

本文提出了一种改进的TIADC失配误差补偿方法，在误差参数估计的基础上设计了灵活的失配误差补偿结构，解决了TIADC应用中的失配问题。并在硬件平台上验证了失配误差补偿结构的可行性。其中，失配误差估计方法具有参数估计精度高和计算复杂度低等特点。对于失配误差补偿结构，主要通过误差估计求得估计参数来实现偏置失配和增益失配误差补偿，并且采用简化的Lagrange插值算法来补偿采样时间失配误差。通过仿真和硬件实验均可看出该补偿结构可以有效地减小系统失真。

参考文献

[1] BLACK W C and HODGES D A. Time interleaved converter arrays[J]. *IEEE Journal of Solid-State Circuits*, 1980, 15(6): 1022–1029. doi: [10.1109/JSSC.1980.1051512](https://doi.org/10.1109/JSSC.1980.1051512).

[2] PETRAGLIA A and MITRA S K. Analysis of mismatch effects among A/D converters in a time-interleaved waveform digitizer[J]. *IEEE Transactions on Instrumentation and Measurement*, 1991, 40(5): 831–835. doi: [10.1109/19.106306](https://doi.org/10.1109/19.106306).

[3] KUIOSAWA N, KOBAYASHI H, MARUYAMA K, et al. Explicit analysis of channel mismatch effects in time-interleaved ADC systems[J]. *IEEE Transactions on Circuits and Systems I, Fundamental Theory and Applications*, 2001, 48(3): 261–271. doi: [10.1109/81.915383](https://doi.org/10.1109/81.915383).

[4] VOGEL C. The impact of combined channel mismatch effects in time-interleaved ADCs[J]. *IEEE Transactions on Instrumentation and Measurement*, 2005, 54(1): 415–427. doi: [10.1109/TIM.2004.834046](https://doi.org/10.1109/TIM.2004.834046).

- [5] LOONEY M. Advanced digital post-processing techniques enhance performance in time-interleaved ADC systems[OL]. <http://www.analog.com/cn/analog-dialogue/articles/advanced-digital-post-processing-techniques.html>, 2017.1.
 - [6] BONNETAT A, HODE J M, FERRE G, *et al*. An adaptive all-digital blind compensation of dual-TIADC frequency response mismatch based on complex signal correlations[J]. *IEEE Transactions on Circuits and Systems II, Express Briefs*, 2015, 62(9): 821–825. doi: [10.1109/TCSII.2015.2435611](https://doi.org/10.1109/TCSII.2015.2435611).
 - [7] BONNETAT A, HODE J M, FERRE G, *et al*. Correlation-based frequency-response mismatch compensation of quad-TIADC using real samples[J]. *IEEE Transactions on Circuits and Systems II, Express Briefs*, 2015, 62(8): 746–750. doi: [10.1109/TCSII.2015.2433472](https://doi.org/10.1109/TCSII.2015.2433472).
 - [8] ELBORNSSON J, GUSTAFSSON F, and EKLUND J E. Blind equalization of time errors in a time-interleaved ADC system[J]. *IEEE Transactions on Signal Processing*, 2005, 53(4): 1413–1424. doi: [10.1109/TSP.2005.843706](https://doi.org/10.1109/TSP.2005.843706).
 - [9] LIU Sujiang, CUI Jiashuai, MA Haixiao, *et al*. Blind timing error estimation based on the phasic relationship between nonoverlapping frequency points in time-interleaved ADCs[C]. IEEE International Conference on Solid-State and Integrated Circuit Technology, Guilin, China, 2014: 1–3. doi: [10.1109/ICSICT.2014.7021586](https://doi.org/10.1109/ICSICT.2014.7021586).
 - [10] 张尚良, 邹月娴. TIADC高速数据捕获和时间失配补偿的FPGA实现[J]. 数据采集与处理, 2011, 26(5): 601–608. doi: [10.3969/j.issn.1004-9037.2011.05.019](https://doi.org/10.3969/j.issn.1004-9037.2011.05.019).
ZHANG Shangliang and ZOU Yuexian. FPGA implementation of data acquisition and timing mismatch compensation for TIADC system[J]. *Journal of Data Acquisition & Processing*, 2011, 26(5): 601–608. doi: [10.3969/j.issn.1004-9037.2011.05.019](https://doi.org/10.3969/j.issn.1004-9037.2011.05.019).
 - [11] 刘洋, 刁节涛, 王义楠, 等. 交错采样技术中的失配误差建模与估计[J]. 仪表技术与传感器, 2015, 12: 132–135. doi: [10.3969/j.issn.1002-1841.2015.12.039](https://doi.org/10.3969/j.issn.1002-1841.2015.12.039).
 - LIU Yang, DIAO Jietao, WANG Yinan, *et al*. Modeling and identification of channel mismatches in time-interleaved technique[J]. *Instrument Technique and Sensor*, 2015, 12: 132–135. doi: [10.3969/j.issn.1002-1841.2015.12.039](https://doi.org/10.3969/j.issn.1002-1841.2015.12.039).
 - [12] SEO M, RODWELL M, and MADHOW U. Generalized blind mismatch correction for two-channel time-interleaved ADCs[C]. IEEE International Conference on Acoustics, Speech and Signal Processing, Honolulu, Hawaii, USA, 2007, vol. 3: 1505–1508. doi: [10.1109/ISCAS.2007.378233](https://doi.org/10.1109/ISCAS.2007.378233).
 - [13] SCHMIDT C A, COUSSEAU J E, FIGUEROA J L, *et al*. Efficient estimation and correction of mismatch errors in time-interleaved ADCs[J]. *IEEE Transactions on Instrumentation and Measurement*, 2016, 65(2): 243–254. doi: [10.1109/TIM.2015.2490378](https://doi.org/10.1109/TIM.2015.2490378).
 - [14] ZOU Yuexian, ZHANG Shangliang, LIM Yongching, *et al*. Timing mismatch compensation in time-interleaved ADCs based on multichannel Lagrange Polynomial Interpolation[J]. *IEEE Transactions on Instrumentation and Measurement*, 2011, 60(4): 1123–1131. doi: [10.1109/TIM.2010.2085291](https://doi.org/10.1109/TIM.2010.2085291).
 - [15] SINDHI S K and PRABHU K M M. Reconstruction of N-th order nonuniformly sampled bandlimited signals using digital filter banks[J]. *Digital Signal Processing*, 2013, 23(6): 1877–1886. doi: [10.1016/j.dsp.2013.06.004](https://doi.org/10.1016/j.dsp.2013.06.004).
- 邹应全: 男, 1976年生, 博士, 副教授, 研究方向为智能信息采集与处理.
- 吴太龙: 男, 1991年生, 硕士生, 研究方向为智能信息处理与智能控制.
- 彭榆淞: 男, 1990年生, 硕士生, 研究方向为智能信息处理与智能控制.
- 孙一航: 男, 1994年生, 硕士生, 研究方向为无线信息传输技术.
- 刘宜昱: 男, 1992年生, 硕士生, 研究方向为智能信息处理与智能控制.
- 张翠芳: 女, 1961年生, 博士, 教授, 研究方向为智能信息处理与智能控制.