

中图分类号：TN47

论文编号：10357P20201027



硕士学位论文

时间交织 ADC 后台校准 方法研究

作者姓名	张永
一级学科	电子科学与技术
二级学科	电路与系统
指导教师	彭春雨、李鑫

Research on Background Calibration Method for Time Interleaved ADC

A Dissertation Submitted for the Degree of Master

Candidate: Zhang Yong

Supervisor: Peng Chunyu、Li Xin

中图分类号: TN47

论文编号: 10357P20201027

硕士学位论文

时间交织 ADC 后台校准方法研究

作者姓名	张永	申请学位级别	学术型硕士
指导教师姓名	彭春雨、李鑫	职 称	副教授、讲师
专业名称	电路与系统	研究方向	TIADC、数字校准
学习时间自	2020 年 9 月 1 日	起 至	2023 年 6 月 30 日止
论文提交日期	2023 年 3 月 30 日	论文答辩日期	2023 年 5 月 21 日

摘 要

模数转换器（Analog to Digital Converters, ADC）可以将模拟信号转化为数字信号，是模拟世界和数字世界沟通的桥梁。随着集成电路产业的快速发展，数字处理系统对外部信号的数量需求日益庞大，对模数转换器性能要求越来越高。然而由于单片 ADC 的精度和采样率相互制约，当前工艺节点下，ADC 的性能逐渐无法满足剧增的数据吞吐量。多通道时间交织模数转换器（Time-Interleaved ADCs, TIADC）通过将多个低速 ADC 组合，可以大幅提高采样率而不损失精度。但是工艺波动、设计不合理和热噪声等因素的影响，会引起 TIADC 系统通道间的失调失配，增益失配和采样时刻失配，进而降低系统的无杂散动态范围（Spurious Free Dynamic Range, SFDR）和信号噪声失真比（Signal to Noise plus Distortion Ratio, SNDR），破坏系统的动态性能。其中，采样时刻失配对 TIADC 的性能影响最大，亟需解决。

本文围绕 TIADC 采样时刻失配校准技术展开研究，针对其它算法中硬件开销大、无法同时获取收敛参数、校准通道数受限等问题，提出基于差值与矩阵优化的全数字校准方法。该方法先对相邻通道做差值计算，然后利用经过优化的矩阵再次对差值进行运算，可以一次性求出所有通道的采样时刻失配参数。同时，联合最小均方（Least Mean Square, LMS）算法可将计算速度大大提高，经过 4k 次以下的采样即可完成收敛。该算法不受通道数目限制、无需大量乘法器，能够以较低的硬件开销完成采样时刻失配参数提取，还可以消除差值中残余的量化误差和热噪声误差。此外，在校正模块中加入希尔伯特变换可以将有效输入频率提高到更高的奈奎斯特区，使 TIADC 系统适用于更多场景。

本文在 Matlab 中对提出的方法进行了行为级建模和仿真。仿真结果表明，对一个 4 通道 12 bit TIADC 的模型，在归一化输入频率为 $f_{in} / f_s = 0.21$ 时，SNDR 和 SFDR 分别获得了 38.1dB 和 52.2dB 的改善，即使在欠采样情况下，校准效果依然有显著提升。另外，本文还用 Verilog 硬件描述语言进行了数字电路设计并在 Modelsim 环境下进行仿真，结果显示归一化频率为 0.41 时，SNDR 和 SFDR 分别可以达到 70.2dB 和 83.7dB，可以有效的抑制输出中的杂散。

关键词：模数转换器，时间交织，采样时刻失配，数字校准

Abstract

Analog-to-Digital Converters (ADC) can convert analog signals into digital signals and bridge the analog and digital worlds. With the rapid development of the integrated circuit industry, the number of external signals required by digital processing systems is becoming increasingly large, and the performance requirements of analog-to-digital converters are getting higher and higher. However, due to the mutual constraints of accuracy and the sampling rate of a single ADC, the performance of the ADC is gradually unable to meet the dramatically increasing data throughput under the current process node. Multi-channel Time-Interleaved ADCs (TIADC) combine multiple low-speed ADCs to significantly increase the sampling rate without losing accuracy. However, process fluctuations, poor design, and thermal noise can cause offset mismatch, gain mismatch and time skew mismatch between channels of TIADC systems, reducing the system's Spurious Free Dynamic Range (SFDR) and Signal to Noise plus Distortion Ratio (SNDR), which destroys the system's dynamic performance. Among all mismatch, the time skew mismatch has the most significant impact on the performance of TIADC and needs to be solved urgently.

The article proposed a calibration method based on difference and matrix optimization to address the problems of high hardware consumption, inability to obtain convergence parameters simultaneously and limited number of calibration channels in other algorithms. The method uses the difference calculation of adjacent channels. Then it uses the optimized matrix to calculate the difference again so that the mismatch parameters of all channels can be found at once. At the same time, the joint Least Mean Square (LMS) algorithm can significantly increase the computational speed and converge after less than 4k samples. The algorithm is not limited by the number of channels, does not require many multipliers, can complete the extraction of the mismatch parameters at the sampling time with low hardware overhead, and can also eliminate the residual quantization error and thermal noise error in the difference. In addition, adding Hilbert transform to the correction module can increase the effective input frequency to a higher Nyquist region, making the TIADC system suitable for more scenarios.

In this paper, the proposed method is modeled and simulated at the behavioral level in Matlab. The simulation results show that the overall improvement of SNDR and SFDR is about 38.1 dB and 52.2 dB respectively for a 4-channel 12-bit TIADC model with a normalized input frequency of $f_{in} / f_s = 0.21$, even in the undersampling case, the calibration effect is still significant. In addition, the digital circuit is designed in Verilog hardware description language and simulated in the Modelsim environment. The results show that SNDR and SFDR can reach 70.2dB and 83.7dB, respectively, effectively suppressing the spurious output.

Keywords: Analog-to-digital converter, Time-interleaved, Time skew mismatch, Digital calibration

目 录

第一章 绪论.....	1
1.1 课题研究背景和意义.....	1
1.2 国内外研究现状.....	3
1.2.1 TIADC 的研究现状.....	3
1.2.2 采样时刻失配校准技术研究现状.....	4
1.3 论文的主要工作及结构安排	6
第二章 TIADC 原理及失配分析	7
2.1 TIADC 基本原理	7
2.2 TIADC 的参数指标	10
2.2.1 静态参数.....	10
2.2.2 动态参数.....	13
2.3 TIADC 失配效应分析	14
2.3.1 失调失配误差分析.....	14
2.3.2 增益失配误差分析.....	16
2.3.3 采样时刻失配误差分析.....	19
2.4 采样时刻失配校准模型和分析	21
2.4.1 前台校准.....	21
2.4.2 后台校准.....	22
2.5 本章小结.....	23
第三章 通道间采样时刻失配校准研究与设计	24
3.1 采样时刻失配校准方法研究	24
3.1.1 基于自相关和数字窗的采样时刻失配校准方法	24
3.1.2 基于差值的采样时刻失配校准方法.....	26
3.1.3 基于确定性均衡的采样时刻失配校准方法	28
3.2 基于差值与矩阵优化的采样时刻失配校准方法设计	29
3.2.1 采样时刻失配估计算法原理.....	29
3.2.2 失调失配和增益失配的干扰.....	32
3.2.3 采样时刻失配校正算法原理.....	33
3.2.4 采样时刻失配校准总框架.....	36
3.2.5 行为级验证和结果分析.....	36
3.3 本章小结.....	40
第四章 采样时刻失配参数 RTL 电路实现	42
4.1 整体架构与关键模块的实现结构	42
4.1.1 误差提取模块.....	43

4.1.2 误差校正模块.....	45
4.1.3 关键模块的 RTL 实现	47
4.1.4 整体架构实现.....	48
4.2 整体架构与关键电路模块的仿真与分析	49
4.2.1 滑动平均器仿真.....	49
4.2.2 导数滤波电路仿真.....	50
4.2.3 希尔伯特滤波电路仿真.....	50
4.2.4 四通道 TIADC 仿真	51
4.2.5 其它通道数的 TIADC 仿真	52
4.3 本章小结.....	55
总结与展望.....	56
总结.....	56
展望.....	57
参考文献.....	58

图目录

图 1.1 ISSCC 发表成果中时间交织 ADC 与非时间交织 ADC 性能统计	2
图 2.1 TIADC 工作时序示意图	7
图 2.2 TIADC 工作原理示意图	8
图 2.3 失调误差曲线示意图	11
图 2.4 增益误差曲线示意图	11
图 2.5 微分非线性误差曲线示意图	12
图 2.6 失调失配原理及示意图 (a) 失调失配原理图 (b) 失调失配波形图	14
图 2.7 四通道 TIADC 失调失配引起的杂散频谱分布	16
图 2.8 增益失配原理及示意图 (a) 增益失配原理图 (b) 增益失配波形图	17
图 2.9 四通道 TIADC 增益失配引起的杂散频谱分布	18
图 2.10 四通道 TIADC 采样时刻失配引起的杂散频谱分布	20
图 2.11 前台校准模型 (a) 前台校准估计阶段 (b) 前台校准校正阶段	21
图 2.12 后台校准模型	22
图 3.1 文献[26]中的算法原理示意图	24
图 3.2 文献[20]中的算法原理示意图	26
图 3.3 采样时刻失配误差提取原理图	26
图 3.4 相邻参考通道差值波形示意图	26
图 3.5 文献[48]中的算法原理示意图	28
图 3.6 基于差值与矩阵优化校准方法采样时刻失配参数估计原理	29
图 3.7 一阶导数近似原理	34
图 3.8 欠采样原理 (a) 奇数阶带通信号 (b) 偶数阶带通信号	35
图 3.9 带通导数滤波器	35
图 3.10 基于差值与矩阵优化校准方法原理总框图	36
图 3.11 基于差值矩阵优化校准的失配因子和参数收敛曲线 (a) 失配因子 (b) 失配参数	37
图 3.12 四通道单音正弦信号校准前后频谱对比 (a) 校准前频谱 (b) 校准后频谱	38
图 3.13 不同归一化输入频率动态性能曲线	39
图 3.14 第二奈奎斯特区单音正弦信号校准前后频谱对比 (a) 校准前频谱 (b) 校准后频谱	

.....	39
图 3.15 不同奈奎斯特区动态性能曲线 (a) SNDR 变化曲线 (b) SFDR 变化曲线	40
图 4.1 基于差值与矩阵优化校准方法数字电路总框图	42
图 4.2 矩阵计算模块	43
图 4.3 自适应迭代计算模块	44
图 4.4 传统求平均算法	44
图 4.5 滑动累加平均模块	45
图 4.6 误差校正模块	46
图 4.7 导数滤波器模块	46
图 4.8 P 阶 FIR 数字希尔伯特滤波器框图	47
图 4.9 滑动累加平均电路硬件实现图	47
图 4.10 FIR 滤波器的硬件实现电路图	48
图 4.11 基于差值与矩阵优化校准方法的 Verilog 电路实现	48
图 4.12 求平均电路仿真图	49
图 4.13 导数滤波电路仿真图	50
图 4.14 希尔伯特滤波电路仿真图	50
图 4.15 采样时刻误差参数 Modelsim 仿真图	51
图 4.16 应用基于差值与矩阵优化校准算法前后 TIADC 输出频谱对比图	52
图 4.17 六通道 TIADC 仿真后 FFT 分析图	53
图 4.18 八通道 TIADC 仿真后 FFT 分析图	54

表目录

表 1.1 各类型 ADC 特性对比表..... 1

表 1.2 应用时间交织技术的产品..... 4

表 3.1 Matlab 仿真参数汇总..... 37

表 4.1 RTL 级仿真中采样时刻失配误差..... 51

表 4.2 四通道电路校准前后动态参数对比..... 52

表 4.3 其它通道仿真参数..... 53

表 4.4 其它通道电路校准前后动态参数对比..... 53

表 4.5 基于差值与矩阵优化校准方法与现有方法比较..... 54

第一章 绪 论

1.1 课题研究背景和意义

自然界中存在光、电、声音、湿度等各种信号，电信号是电子通信技术的主要处理的对象。按照是否连续，可以将电信号分为模拟信号和数字信号，但是处理数字信号与处理模拟信号的电子器件无法通用，因此需要在模拟信号和数字信号之间转化。作为模拟和数字沟通的纽带，模数转换器发挥着不可忽视的作用^[1]。

从 1941 年首个真空电子管 ADC 问世后，模数转换器经历了几十年的发展，分辨率从 5bit 增长到 24bit，采样率也从 KSPS 提升到 GSPS 量级。无论是精度还是速度，ADC 的性能都得到了巨大的提升。目前比较常用的结构有逐次逼近型、流水线型、闪速型等。如表 1.1 所示，不同结构的 ADC 性能不同，应用领域也有所差别，通信、汽车、工业、消费电子为 ADC 面向的主阵地。其中低端 ADC 芯片一般使用在消费电子市场中，宽带通信、毫米波雷达、医疗器械等对 ADC 的精度和采样率要求较高的领域，在设备中大多集成高端 ADC 以满足性能需求。

表 1.1 各类型 ADC 特性对比表

Table 1.1 Comparison table of ADC characteristics by type					
ADC 类型	闪速型 (flash)	逐次逼近型 (SAR)	单斜率积分型 $\Sigma - \Delta$	流水线型 Pipeline	时间交织型 Time Interleaved
采样率	1GHz 以上 速度最快	适中 1MHz-1GHz	最慢 1MHz 以下	适中 1MHz-1GHz	1GHz 以上
分辨率	8bit 以下	8bit-16bit	16bit 及以上	10bit-14bit	12bit 以上
功耗	高	低	适中	高	高
缺点	精度极低	速度受限于工 艺、对 DAC 要求高	带宽小	面积大，结构 复杂、对放大 器要求高	面积大、 通道间失配 严重
应用场合	高速数据 传输	基站、移动设 备、光纤通信	一般用于计 量，仪表、音 频	射频、医学采 样	射频等

在现有的信号处理技术中，相比于易受干扰的模拟信号，数字信号以其高速，高精度，抗干扰等优势被广泛使用。随着工艺进步，各种算法的发展，数字信号处理速

度呈指数增长，为了满足数字处理系统庞大的数据需求，对 ADC 的研究开始转向高频，高精度方向。采样率和分辨率是衡量 ADC 性能的两个重要指标，这两个指标互相制约，当前工艺节点下单片 ADC 无法同时满足高速度和高精度的要求^[2, 3]。已知的解决方法中，最有发展潜力的是多通道时间交织模数转换器架构^[4]。采用多通道时间交织技术的模数转换器，仅使用多个低速率 ADC 就可以提高系统采样速度，还可以保留单片 ADC 高精度的特征，这为解决高速度和高精度互相制约的问题提供了解决方法^[5, 6]。

理想情况下，TIADC 的通道之间的参数相同，可以达到理论性能。然而事实并非如此，CMOS 工艺波动、温度改变、设计不合理和器件老化等因素会造成通道之间信号的失配^[7, 8]。多通道时间交织模数转换器的通道间失配会在输出中引入杂散，极大降低 TIADC 的动态性能。已知的通道间信号失配主要有失调失配、增益失配和采样时刻失配。在这些失配中，对失调失配和增益失配的研究比较成熟，能够将其对 TIADC 系统的影响降到很低。但是采样时刻失配对 TIADC 系统的影响非常大，消除难度也比较高，是提高 TIADC 性能面临的最大困难^[9]。图 1.1 统计了 ISSCC 发表的关于 ADC 的成果中，采样率和 SNDR 的关系图^[10]。图中可以看出，非交织型 ADC 采样率都比较低，但是 SNDR 值较高，而采用交织结构的 ADC 可以取得非常高的采样率，然而随着采样率的增大，SNDR 越来越小。

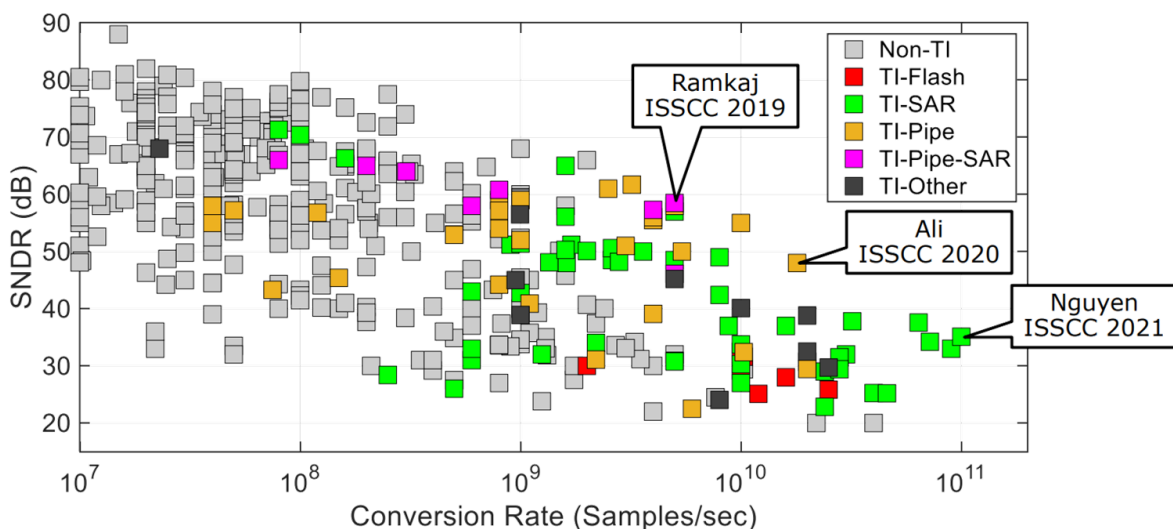


图 1.1 ISSCC 发表成果中时间交织 ADC 与非时间交织 ADC 性能统计

Figure 1.1 Performance statistics of time-interleaved ADCs and other non-interleaved ADCs in ISSCC published results

1.2 国内外研究现状

1980 年 W. Black 和 D. Hodges 首次提出 TIADC 结构, 在 $10\mu\text{m}$ CMOS 工艺下实现了一款 7bit 分辨率, 4MS/s 采样率的多通道时间交织模数转换器^[4]。TIADC 技术以其优越的可扩展性以及极高的采样率, 一经提出便引发学术界的广泛关注和研究。2001 年 Kurosawa 等人对 TIADC 的采样时刻失配问题做出了详细的推导, 指出了采样时刻失配对系统的动态性能产生的影响, 为后人研究如何校准失配提供了理论依据^[11]。

从上个世纪末开始, 国内外很多高校和企业等机构在 TIADC 上投入大量资金和精力, 研究如何提升 TIADC 性能以及如何消除失配的影响, 也取得了很多成果。高校等教育研究机构主要偏向于科学研究的前沿开拓, 注重校准算法的创新和理论的更好性能, 企业则着眼于落地投入使用以形成商业化产品。

1.2.1 TIADC 的研究现状

企业方面, 亚诺德、德州仪器、英飞凌、意法半导体等老牌模拟芯片制造厂商, 尤其是美国的相关企业, 起步早, 资金充足, 技术雄厚, 在 ADC 领域处于领跑地位。他们对 TIADC 的相关研究投入了很多资源, 设计出了很多高性能 TIADC 芯片。然而中国在此领域处于起步阶段, 由于《瓦森纳协定》的存在, 国外的高性能 ADC 对中国禁运, 技术无法共享, 所以中国在 TIADC 等高性能 ADC 方面的研究水平远落后于欧美等国家^[12]。

德州仪器 2016 年推出双通道结构的低功耗、宽带宽、高信噪比的模数转换器 ADS54J60。该芯片分辨率为 16bit, 采样率高达 1GSPS。在 170MHz 输入频率下信噪比达到 70dBFS, SFDR 可达 89dBc, 输入带宽高达 1.2GHz^[13]。2019 年推出单双通道混合芯片 ADC12DJ5200RF, 该芯片具有 12bit 分辨率, 5.2GSPS 采样率。双通道 2.4GHz 输入频率下, 有效位数位为 8.6Bits^[14]。

亚德诺公司 2013 年推出 65MS/s、14bit、16 通道的 TIADC AD9249^[15]。2017 年推出 1.25GS/s、14bit 的 2 通道 TIADC AD9680, 在 172MHz 输入频率, 1GHz 采样频率下, 信噪比为 65.24dB, SFDR 为 87.005dBc^[16]。

此外, 多通道时间交织技术也常用于高速采集器件, 如泰克公司利用该技术实现了 200GSPS 采样率, 70GHz 带宽的超高性能示波器 DPO70000SX。该公司提出异步时

序交织 (ATI) 技术来避免技术中的部分劣势, 提高系统对失配问题的抗性。在输入中加入 60GHz 的正弦波抖动进行测试, 测试结果显示采样的随机抖动 RJ 小于 80fs RM^[17]。

表 1.2 应用时间交织技术的产品

Table 1.2 Products applying time interleaving technology

产品号	位数(bit)	采样速率(MSPS)	通道数(个)	SNR(dB)	SFDR(dB)
ADS54J60	16	1000	2	70	89
ADC12DJ5200RF	12	5200	2	N/A	N/A
AD9249	14	65	16	N/A	N/A
AD9680	14	1250	2	65.24	87.005
DPO70000SX	N/A	200000	可选	N/A	N/A

1.2.2 采样时刻失配校准技术研究现状

国内外高校和研究所在 TIADC 采样时刻失配校准技术研究方面的成果有很多, 由于采样时刻失配校准算法中的估计算法实现难度高, 对校准结果影响较大, 近几年的研究成果都集中在对估计算法的改进和创新。估计算法主要基于通道间相关函数、过零统计、自测试信号、确定均衡性、差值计算等几类, 研究目标为提高校准性能和收敛速度、降低硬件开销和扩大校准方法的适用范围等。

2013 年 T. Yamaji 团队提出伪混叠信号技术解决采样时刻失配和增益失配问题。该技术利用正交变换思想设计伪混叠生成器, 用减法重建伪混叠信号, 通过扩展 Hadamard 矩阵来适应各种信道。该方法可以降低信号的动态范围要求, 无需查找表, 可以减少 FIR 滤波器 50% 的字长要求, 实现校准电路的硬件最小化。用 10bit 电路仿真所提算法, 在更少的抽头下, SNDR 可以达到 62dB。然而此算法对通道数有要求, 只适用于 2 的幂次方数值的系统^[18]。

2016 年中国科学技术大学的陈红梅针对采样时刻失配, 采用 Farrow 结构滤波器补偿算法, 从频率角度出发, 确定误差的频点, 利用调制技术构造相同信号, 估计大小后从输出信号中减去就可以消除杂散。校正后的 SNDR 和 SFDR 分别可以达到 71.2dB 和 84.6dB^[19]。

2017 年 Han Le-Duc 等人提出用于次采样的前馈背景校准技术。该算法使用多项滤波方法取代自适应数字合成滤波器, 可以实现低功耗和中等硬件消耗。用 28nm FD-

SOI 工艺制造校准硬件, TIADC 采用 4 通道结构, 采样频率为 2.7GHz。校准硬件占用面积 0.04mm^2 , 消耗 33.2mW 的总功率, 极大的降低了校准系统的面积和功耗。然而此方法收敛速度慢, 经过大量的采样点后才会稳定。此外, 文中并未给出校准系统的 SNDR 和 SFDR 值^[20]。

同年, Shuai Chen 等人提出了一种由基于导数和差值的全数字校准方法。该方法选取被测通道的相邻两通道的输出作为参考, 计算中间通道和相邻通道的差值, 然后对差值求数学期望即可得到失配参数。该方法很大程度上降低了硬件消耗, 但是该校准方法无法同时完成对每个通道的校准, 校正速度慢^[21]。

2018 年 Yongtao Qiu 等人基于 TIADC 输出的频移基函数, 通过希尔伯特变换, 设计出可以估计并提取三个失配误差的方法。该方法不需要任何附加信息, 不受通道数量, 子 ADC 的采样率、信号类型等限制。对 32GS/s 采样率, 16 通道的 TIADC 校准后可以将 SFDR 提高 30~35dB, 有效位数提高 2~3 位。然而该方法的校准性能效果一般, SFDR 和 SNDR 仅能达到 52.41dB 和 31.94dB^[22, 23]。

2019 年中国清华大学的 Xiao Wang 借助辅助 ADC, 仅使用输出的最高有效位计算自相关值, 可以进一步减小硬件开销。在 180nm CMOS 工艺下实现了 14bit, 500MSPS 的双通道时间交织 ADC。奈奎斯特频率下 SNDR 可以达到 66.1dB^[24]。

2020 年中国科学技术大学 Maowei Yin 提出通过应用泰勒级数近似, 将时序不匹配引起的误差建模为加性误差的方法, 然后提出了基于一阶统计量的可快速收敛的采样时刻失配校准模型。经过 12bit, 4 通道 TIADC 模型仿真后, SNDR 的范围为 46dB~69.2dB, SFDR 的范围为 51dB~78dB。该方法由于采用了导数滤波器, 在抑制谐波方面性能较差^[25]。

2022 年清华大学 Yunsong Tao 提出基于自相关的改进算法, 该算法利用小输入下的采样时刻失配参数特征, 通过给输入加数字窗, 使校准收敛速度提高了至少三个数量级。在 10 通道、7bit 精度、10GS/s 采样速率的测试环境下, 经过 10k 次后即可完成校准, 然而噪声抑制效果不显著, 此外还需要增加参考通道以及检测电路, 增大了硬件开销^[26]。

校准通道间采样时刻失配的方法分为两步, 第一步是提取失配参数, 第二步是根据提取的参数, 校正(或补偿)子 ADC 的输出信号^[27, 28]。校正失配的方法比较固定,

有模拟校正和数字校正两种。模拟校正一般采用可变延时线的方法,通过调节可变延时线中的电压或者增减延时器件,控制信号到达子 ADC 的时间来补偿时间偏移。数字校正一般使用导数滤波器或分数延迟滤波器,在滤波器中计算出各通道输出信号的误差,从原始输出中减去即可完成校正。

由于校正结果是否精确取决于估计的采样时刻失配参数是否精确,所以研究的工作主要集中在设计和优化估计失配参数算法^[29, 30]。自相关函数算法复杂,需要消耗大量硬件,通道可扩展性差;伪混叠信号算法对通道数有限制;过零统计算法需要大量统计数据,收敛时间长且容易引入额外误差;自测试信号算法对输入信号要求较高,不利于多场景应用。各类算法都有其固有缺点,所以目前并没有一种简单且全场景适用的方法可以实现采样时刻失配误差的估计提取与补偿校正^[31]。

1.3 论文的主要工作及结构安排

本论文主要对多通道时间交织 ADC 的失配和校准技术做了详细研究,并针对三种通道间失配类型中的采样时刻失配问题提出了新型校准方法。

第一章阐述研究 TIADC 的必要性和意义,在此基础上调研国内外有代表性的研究成果并做出了简单介绍和总结。

第二章从时域和频域角度分别推导 TIADC 的实现原理,介绍研究 TIADC 需要关注的性能指标和相关概念,并给出计算公式,然后分析各个失配的来源及产生的结果。最后提取校准算法的两种通用模型,指出两种模型的优缺点和一般实现方式。

第三章介绍校准算法的研究和设计。基于 TIADC 的采样时刻失配校准原理,选取三个代表性的算法,详细阐述它们的结构并分析算法中的不足。在此基础上提出基于差值与矩阵优化的校准方法,详细推导该方法实现原理。最后用 Matlab 软件对算法进行行为级建模和仿真,对照实现原理分析仿真结果。

第四章设计实现算法的数字电路,用 Verilog 硬件语言建模,结合 Modelsim 对模型进行 RTL 级功能仿真,分析硬件仿真环境下的结果。

最后总结了本次研究的主要内容和实现的效果,展望下一步研究工作,给出研究方向和目标。

第二章 TIADC 原理及失配分析

时间交织模数转换器 (TIADC) 技术可以解决无法同时提高单片 ADC 采样速率和分辨率的问题。TIADC 通过使多个相同子 ADC 并行工作, 分时依次采样模拟输入信号, 可以达到提升系统工作速度效果。本章将推导 TIADC 的实现原理, 对关键参数进行简单介绍。然后推导失调失配, 增益失配和采样时刻失配产生原理, 分析三类失配误差的来源和造成的影响。最后对校准模型进行归纳, 总结不同校准模型的优缺点。

2.1 TIADC 基本原理

为了满足高速处理的数字信号需求, 需要模数转换器具有更高的精度和采样速度, 然而由于当前工艺制造水平没有较大突破, ADC 的性能一直被限制在一定的范围内无法有效提高, 如何提高 ADC 性能成为急需解决的问题。一种行之有效的方法就是并行采集模拟信号, 然后依次传入一组相同 ADC 中, 最后再把数字域的输出组合来重构系统的输出, 也就是时间交织技术模数转换器技术。

TIADC 的工作原理如图 2.1 和图 2.2 所示。该系统包含 M 个子采样电路, M 个子 ADC 和一个复用 (组合) 电路。输入的模拟信号先经过子采样电路被解复用并保持。然后每个通道将采样到的信号输入到对应的 ADC 中进行模数转化。最后复用电路把转化好的数据按照一定的时序整合到一起输出。 M 个子 ADC 按照一定时序依次交错着采样处理输入的模拟信号, 等效于以 M 倍速率工作的单片 ADC。

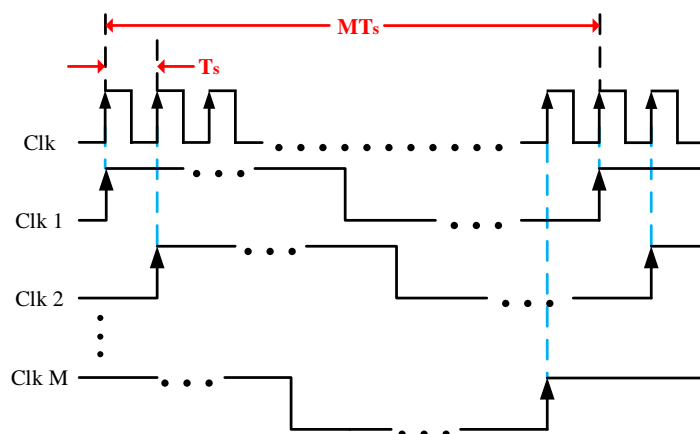


图 2.1 TIADC 工作时序示意图

Figure 2.1 TIADC operating timing diagram

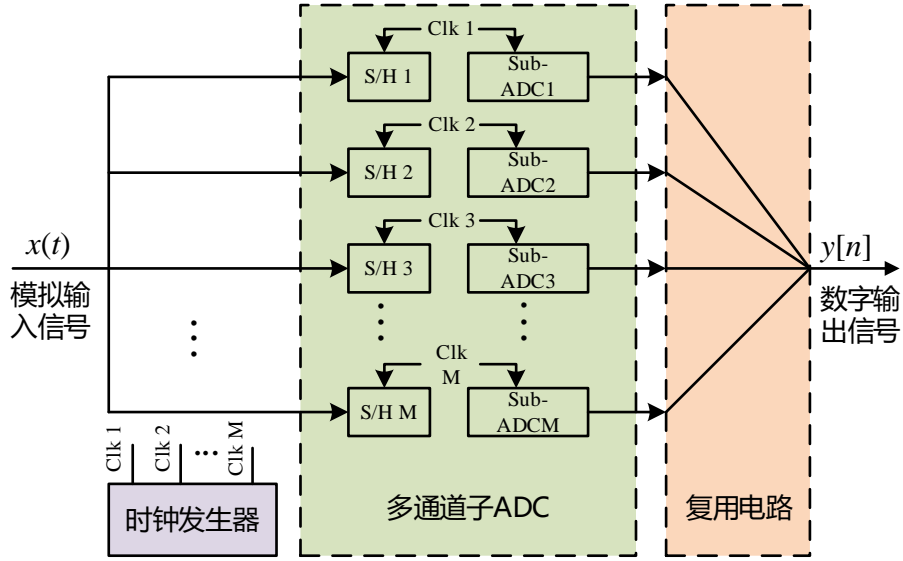


图 2.2 TIADC 工作原理示意图

Figure 2.2 TIADC working principle schematic

(1) 工作原理时域分析

假设有一理想 ADC，模拟输入为一个不带噪声的余弦波^[32]：

$$x(t) = \cos(\omega t + \varphi) \quad (2.1)$$

其中， $t \geq 0$ ， ω 为输入信号角频率， φ 为初始相位。后面小节的失调失配，增益失配和时间失调失配的推导都基于该理想信号，不再赘述。经过量化后理想输出为：

$$y[n] = \cos(\omega n T_s + \varphi) = x(n T_s) \quad (2.2)$$

其中， n 为非负整数， T 为采样周期。

TIADC 系统如图 2.2 所示，设通道数为 M ，采样时钟速率为 f_s ，周期为 T_s ，则每个子 ADC 以 f_s / M 的采样速率对输入信号 $x(t)$ 采样。按照假设，第 m 个子 ADC 的 n 次采样时刻为 $t_i = (nM + m)T_s$ ，其中 $i = nM + m$ ， $n = 0, 1, 2, \dots$ ， $m = 0, 1, 2, \dots, M - 1$ 。

那么每个通道被采样后的输出结果为：

$$\left\{ \begin{array}{l} y_0 = [x(t_0), x(t_M), x(t_{2M}), \dots] \\ y_1 = [x(t_1), x(t_{M+1}), x(t_{2M+1}), \dots] \\ \vdots \\ y_m = [x(t_m), x(t_{M+m}), x(t_{2M+m}), \dots] \\ \vdots \\ y_{M-1} = [x(t_{M-1}), x(t_{2M-1}), x(t_{3M-1}), \dots] \end{array} \right. \quad (2.3)$$

可以等效为 $x(t)$ 与一系列周期为 MT_s 的离散冲激序列 $\delta_m(n)$ 相乘，即：

$$y_m[n] = x(t) \cdot \delta_m(n) = x(n \cdot T_s) \cdot \delta_m(n) \quad (2.4)$$

其中， $\delta_m(n) = \sum_{k=0}^{+\infty} \delta(n - (kM + m)T_s)$ 。为了得到输出，将所有通道相叠加。结果为：

$$y[n] = \sum_{m=0}^{M-1} y_m[n] = \sum_{m=0}^{M-1} x(nT_s) \cdot \delta_m(n) = x(nT_s) \quad (2.5)$$

和公式 2.2 的结果一致。可以得到，理想 TIADC 的输出和期望结果一致， M 通道的系统可以实现使单个 ADC 的工作频率提高 M 倍。

(2) 频域原理分析

对于时域信号 $x(t)$ ，当它被周期为 T_s 的单位冲激序列采样后，可以得到：

$$X_s(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X(j(\omega - k\omega_s)) \quad (2.6)$$

其中， $\omega_s = 2\pi / T_s$ ， $X(j\omega) = F[x(t)]$ ， $F[\bullet]$ 是傅里叶变换算子。式中的输出表

达式可以看作用周期是 MT_s 的单位冲激序列 $P_m(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nMT_s - mT_s)$ 对初始的模拟输

入信号采样后的结果，然后利用频域卷积定理，对 y_m 做傅里叶变换，可以将 y_m 从时域转换到频域：

$$Y_m(j\omega) = F[x(t) \cdot P_m(t)] = \frac{1}{2\pi} X(j\omega) * P_m(j\omega) \quad (2.7)$$

其中， $P_m(j\omega)$ 是对第 m 通道采样的单位冲击序列的频域表达，其周期为 MT_s ，频率为 $1/(MT_s)$ ，表达式为：

$$P_m(j\omega) = 2\pi \sum_{k=-\infty}^{+\infty} \left(p_{k,m} \delta\left(\omega - k \frac{\omega_s}{M}\right) \right) \quad (2.8)$$

其中，

$$P_{k,m} = \frac{1}{MT_s} e^{-jkn \frac{2\pi}{M}} \quad (2.9)$$

结合公式(2.7)和(2.8)，可以得到单位冲激响应下，TIADC 的输出在频域中的表达式：

$$\begin{aligned}
Y_m(j\omega) &= \frac{1}{2\pi} X(j\omega) * \left(\frac{2\pi}{MT_s} \sum_{k=-\infty}^{+\infty} \delta\left(\omega - k \frac{\omega_s}{M}\right) e^{-jkn \frac{2\pi}{M}} \right) \\
&= \frac{1}{MT_s} \sum_{k=-\infty}^{+\infty} \left(\int_{-\infty}^{\infty} X(j\tau) \delta\left(\omega - k \frac{\omega_s}{M} - \tau\right) e^{-jkn \frac{2\pi}{M}} d\tau \right) \\
&= \frac{1}{MT_s} \sum_{k=-\infty}^{+\infty} \left(X\left(j\left(\omega - k \frac{\omega_s}{M}\right)\right) \right) e^{-jkm \frac{2\pi}{M}}
\end{aligned} \tag{2.10}$$

根据傅里叶变换的特性，TIADC 的输出结果是子 ADC 输出的线性叠加，可以得到：

$$\begin{aligned}
Y(j\omega) &= \sum_{m=0}^{M-1} Y_m(j\omega) \\
&= \sum_{m=0}^{M-1} \left(\frac{1}{MT_s} \sum_{k=-\infty}^{+\infty} X\left(j\left(\omega - k \frac{\omega_s}{M}\right)\right) e^{-jkm \frac{2\pi}{M}} \right) \\
&= \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} \left(\frac{1}{M} \left(\sum_{m=0}^{M-1} e^{-jkm \frac{2\pi}{M}} \right) X\left(j\left(\omega - k \frac{\omega_s}{M}\right)\right) \right)
\end{aligned} \tag{2.11}$$

易证：

$$\sum_{m=0}^{M-1} e^{-jkm \frac{2\pi}{M}} = \begin{cases} M, k = 0, M, 2M, \dots \\ 0, \text{others} \end{cases} \tag{2.12}$$

由上面的推导可知 $Y(j\omega) = \frac{1}{T_s} \sum_{k=-\infty}^{+\infty} X\left(j\left(\omega - k \frac{\omega_s}{M}\right)\right)$ ，该式为时域信号 $x(t)$ 被周期是 T_s

的单位冲激序列采样的频域表达，是所有子 ADC 的输出之和。上述推导论证了对于一个通道数为 M 的 TIADC 系统，各个子 ADC 以 f_s / M 的频率工作，系统输出的结果等于工作在 f_s 频率下的单个 ADC。

2.2 TIADC 的参数指标

模数转换器的基本参数指标主要分为静态参数和动态参数。静态参数指的是当输入信号为直流量 DC 时输出和输入的误差。对于 TIADC，每片 ADC 的静态参数的不同导致了失配的产生，所以有必要了解静态参数的相关概念动态参数指的是当输入信号为交流量 AC 时输出和输入的误差。动态参数反映了 ADC 的频域特性，ADC 的运行状态不同，动态参数的值也会发生变化^[33, 34]。

2.2.1 静态参数

(1) 失调误差

失调误差（Offset Error）的来源是实际输入的信号与理想信号之间的偏移以及温度漂移，在输出特性曲线上表现为理想曲线的水平偏移，垂直方向上偏移值的大小即为失调误差，如图 2.3 所示。失调误差不会影响实际传输曲线的斜率和数字码间距，但是会导致输出信号被截断，减小 ADC 输出信号的带宽。

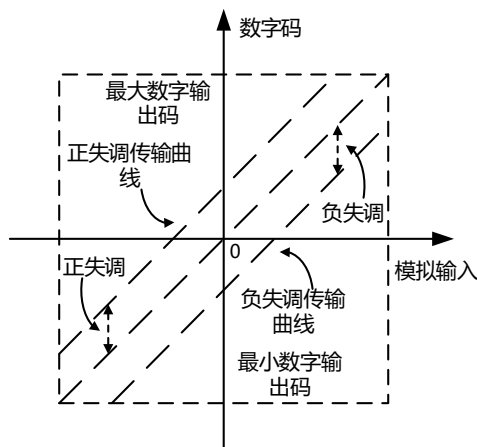


图 2.3 失调误差曲线示意图

Figure 2.3 Schematic diagram of the misalignment error curve

(2) 增益误差

增益误差（Gain Error）的表示通常如下：当输出码为满量程时，实际曲线和理想曲线输出范围的比率。影响增益误差的原因主要为参考电压精度，寄生电容等。增益误差的传输曲线如图 2.4 所示，相比于理想曲线，带增益误差的传输曲线的斜率发生了变化，斜率变大时为正增益误差，斜率变小为负增益误差。

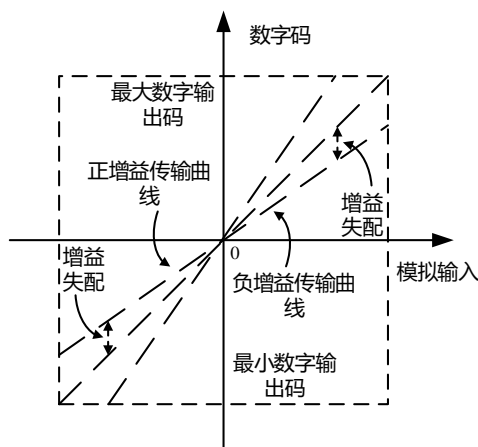


图 2.4 增益误差曲线示意图

Figure 2.4 Schematic diagram of gain error curve

(3) 微分非线性误差

理想情况下，输入输出量化曲线的每个步长都相同，但是实际上由于工艺和噪声的存在，出现了步长增大或者缩小的现象，如图 2.5 所示。ADC 的微分非线性误差（Differential Non-Linearity Error, DNL）定义为：

$$DNL(n) = \frac{\omega(n) - LSB}{LSB} \quad (2.13)$$

$$DNL = \max_n [DNL(n)] \quad (2.14)$$

其中 $\omega(n)$ 表示输出码字为 n 时对应的量化宽度， LSB （Least Significant Bit）为最低有效位，是 ADC 能识别（或转换出）的最小刻度。DNL 过大会引起编码时丢码，导致结果输出错误。

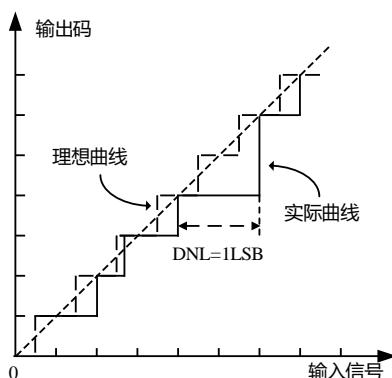


图 2.5 微分非线性误差曲线示意图

Figure 2.5 Schematic diagram of differential nonlinear error curve

(4) 积分非线性误差

积分非线性误差（Integral Non-Linearity Error, INL）来源于量化时的累计误差，表现为传输曲线中 ADC 量化后模拟的输出和理想输出之间的最大差值。实际曲线是线性的直线，但是对于具有积分非线性误差的 ADC，模拟后的输出会变为一条曲线。ADC 的积分非线性定义为：

$$INL(n) = \frac{V_x(n) - V_x(n)|_{ideal}}{LSB} \quad (2.15)$$

$$INL(n) = \sum_{i=0}^n DNL(i) \quad (2.16)$$

$$INL = \max_n [INL(n)] \quad (2.17)$$

其中 $V_x(n)$ 表示输出码字为 n 时的跳变电压。

2.2.2 动态参数

(1) 信号噪声比

信号噪声比 (Signal Noise Ratio, SNR) 也叫信噪比, 是输出信号功率和噪声功率的比值。信噪比用来衡量输出信号中噪声占有有效输出信号的多少, 占比越大噪声越多, 信号失真越大。表达式为:

$$SNR = 10 \lg \left(\frac{P_{\text{signal}}}{P_{\text{noise}}} \right) \quad (2.18)$$

对于一个 N-bit ADC, 只有量化噪声时的信噪比可以由以下公式给出:

$$SNR = 10 \times \lg \left(\frac{(2^N \Delta)^2}{8} \times \frac{12}{\Delta^2} \right) = (6.02N + 1.76) \text{ dB} \quad (2.19)$$

其中, $2^N \Delta$ 是输入为正弦波时 ADC 的动态范围。该公式表达的是理想情况下, N 位 ADC 能达到的最大信噪比。

(2) 信号噪声失真比

除了量化噪声, 谐波失真等误差也会对 ADC 的输出产生影响, 在输出频谱上表现为除了主信号以外的杂散信号。信号噪声失真比 (Signal to Noise plus Distortion Ratio, SNDR), 也称信噪失真比, 表示输出信号功率与噪声信号及谐波信号功率之和的比值。相比于信噪比, 信噪失真比更准确的描述了实际情况下 ADC 性能。信噪失真比的表达式为:

$$SNDR = 10 \times \lg \left(\frac{P_{\text{signed}}}{P_{\text{noise}} + \sum P_{\text{harmonic}}} \right) \quad (2.20)$$

其中, P_{harmonic} 代表各谐波功率的总和。

(3) 有效位数

有效位数 (Effective Number of Bits, ENOB) 考虑了系统的量化噪声和其它失真项, 衡量了输入的交流信号在奈奎斯特区中的转换水平。不同于有效分辨率的以 DC 输入为基准, 测量 ADC 的 ENOB 通常需要输入一个正弦波信号, 然后对输出信号进行 FFT 分析。设 ADC 的位数为 N-bit, 其信噪失真比为 SNDR, 则有效位数的表达式为:

$$ENOB(N) = \frac{SNDR - 1.76}{6.02} \quad (2.21)$$

(4) 无杂散动态范围

无杂散动态范围 (Spurious Free Dynamic Range, SFDR) 表征了一个 ADC 系统的线性度, 无杂散动态范围越大, 表明系统的线性度越好。尤其是对于小信号输入, 当输出谐波中最大分量影响信号值时, SFDR 可以直观的表明系统受干扰程度。该值定义为输出信号功率和最大谐波功率的比值, 表达式如下:

$$SFDR = 10 \lg \left(\frac{P_{\text{signal}}}{P_{\text{spurious}}(\text{max})} \right) \quad (2.22)$$

2.3 TIADC 失配效应分析

2.3.1 失调失配误差分析

由于信号路径的不一致、芯片温度、应力等因素的影响, 会在单片 ADC 输出信号中引入直流分量, 这个直流分量就是失调误差。失调误差会引起输入信号在某个方向上的平移, 导致输出一同变大或者变小^[35], 如图 2.6(a)所示。

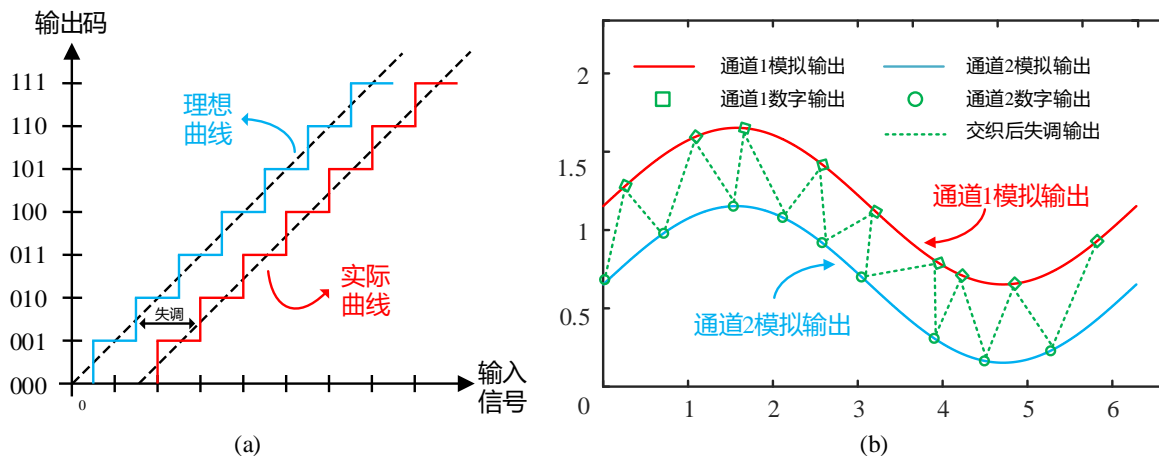


图 2.6 失调失配原理及示意图 (a) 失调失配原理图 (b) 失调失配波形图

Figure 2.6 Offset mismatch principle and schematic diagram (a) Offset mismatch principle diagram

(b) Offset mismatch waveform diagram

失调误差对于单个 ADC 而言, 只是在输出中增加了一部分的直流分量, 不会影响到原来交流信号的动态性能。但是在 TIADC 中, 由于各个通道之间的失调误差值大小不一致, 当所有输出信号叠加以后就会使输出不稳定, 输出由正弦波变成锯齿波, 如图 2.6(b)所示。

(1) 失调失配时域分析

对于单片 ADC，在理想输出的基础上，忽略增益误差和采样时间误差，只关注失调失配，那么带失调失配的输出结果为：

$$y[n] = \cos(\omega nT + \varphi) + O_s \quad (2.23)$$

其中 O_s 为非零常数，代表失调失配。这个信号分量不计入杂散，因而不会降低系统 SFDR 的大小。对于高精度 ADC 来说，即使偏移值远超 1 个 LSB 也能够被允许，可以达到 $\pm 0.3\% \text{FSR}$ (Full Scale Range)。

但是对于多通道 ADC 结构，输出结果不只是简单的叠加，下面以双通道为例讨论输出结果误差。

设第一通道的失调误差为 O_{s1} ，第二通道的失调误差为 O_{s2} ，则两通道的输出表达式分别为：

$$y_1[n] = \cos(2\pi fnT + \varphi) + O_{s1} \quad (2.24)$$

$$y_2[n] = \cos(2\pi fnT + \varphi) + O_{s2} \quad (2.25)$$

其中， f 是 ADC 的输入频率。令两通道失调误差的差 ΔO_s 为 $O_{s1} - O_{s2}$ ，两通道失调误差的平均值 $\overline{O_s}$ 为 $(O_{s1} + O_{s2})/2$ ，那么可以得到输出：

$$y[n] = \cos(2\pi fnT + \varphi) + \overline{O_s} + (-1)^n \frac{\Delta O_s}{2} \quad (2.26)$$

因为 $(-1)^n$ 可以用余弦函数表示，所以有：

$$y[n] = \cos(2\pi fnT + \varphi) + \overline{O_s} + \cos\left(2\pi \frac{f_s}{2} nT\right) \cdot \frac{\Delta O_s}{2} \quad (2.27)$$

其中， f_s 表示 ADC 整体的采样率。对于一个双通道系统，输出将在零频点处出现一个幅值为 $\overline{O_s}$ 的毛刺，在 $f_s/2$ 处出现一个幅值为 $\Delta O_s/2$ 的毛刺。我们可以将双通道 TIADC 系统外推至 M 通道，那么出现杂散的频点位置为 $(i/M) * f_s$ ($i = 0, 1, 2, \dots, M/2$)。

(2) 失调失配频域分析

根据失调失配的定义，对于一个 M 通道的 TIADC 系统，其输出在时域中的表达式可以变形为：

$$y(t) = \sum_{k=0}^{M-1} O_k \sum_{n=-\infty}^{+\infty} \delta(t - kT - nMT) \quad (2.28)$$

其中 O_k 代表第 k 通道的失调误差，对上式做傅里叶变换，可以得到：

$$Y(j\omega) = \frac{2\pi}{T} \sum_{n=-\infty}^{+\infty} \tilde{O}_n \delta\left(\omega - \frac{2\pi n}{MT}\right) \quad (2.29)$$

其中，

$$\tilde{O}_n = \frac{1}{M} \sum_{k=0}^{M-1} O_k e^{-j\left(\frac{2\pi}{M}\right)nk} \quad (2.30)$$

由公式(2.29)可以得到，杂散产生的频点位置为 $(n/M) * f_s$ ($n=0, 1, 2, \dots, M/2$)，和时域推导的结果一致。对于失调失配来说，杂散出现的位置和采样信号的周期以及通道数相关，和输入信号无关。图 2.7 显示了四通道 TIADC 失调失配引起的杂散频谱分布。归一化输入频率为 $0.1f_s$ 时，在 $0.25f_s$ 和 $0.5f_s$ 处产生了噪声，和理论结果吻合。

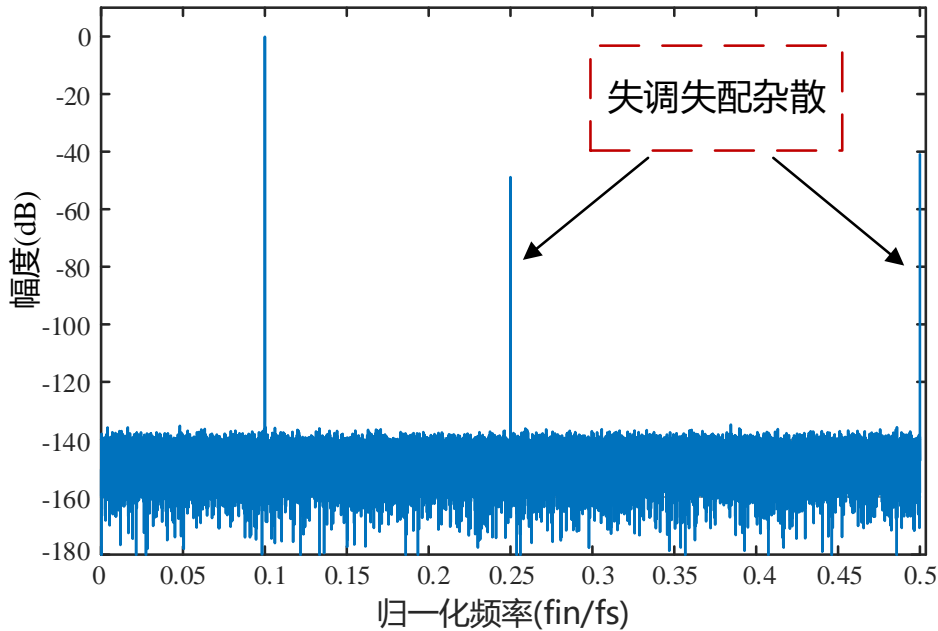


图 2.7 四通道 TIADC 失调失配引起的杂散频谱分布

Figure 2.7 Spurious spectrum distribution caused by offset mismatch of four-channel TIADC

2.3.2 增益失配误差分析

如图 2.8(a)所示，对于一个信号而言，从数学上看增益代表信号的斜率，增益出现误差说明实际输出信号和理想信号的斜率不同，那么在量化时和理想输出信号就会产

生一定的误差。由于 TIADC 的每个子 ADC 通道都会产生增益误差，而且每个通道的增益偏差受通道内运放失配、器件工艺等影响表现出不同的值，导致了 TIADC 出现通道间增益失配的问题，在输出中表现为某些频点上出现杂散，引起输出失真，降低 TIADC 的动态性能^[36]。图 2.8(b)为增益失配波形示意图。

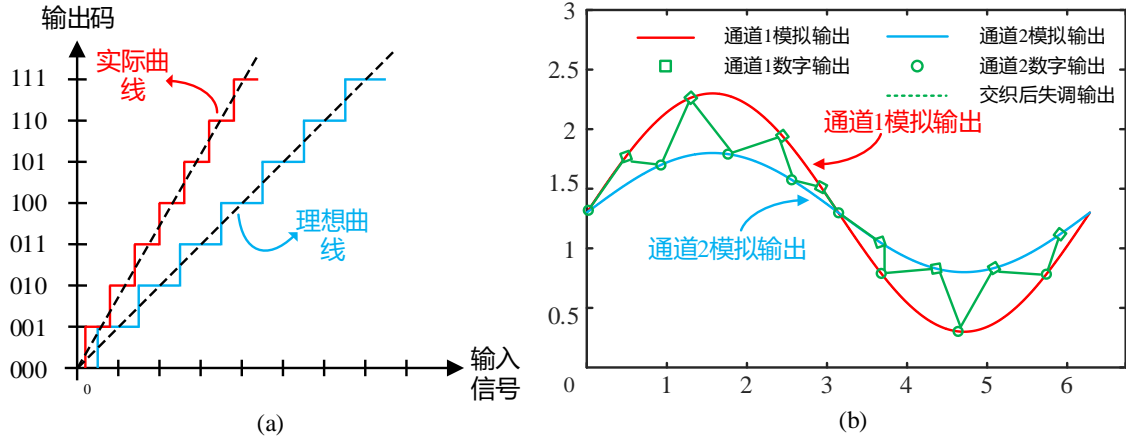


图 2.8 增益失配原理及示意图 (a) 增益失配原理图 (b) 增益失配波形图

Figure 2.8 Gain mismatch principle and schematic diagram (a) Gain mismatch principle diagram

(b) Gain mismatch waveform diagram

(1) 增益失配时域分析

在单通道理想输出的基础上引入增益误差 G :

$$y[n] = G \cos(2\pi fnT + \varphi) \quad (2.31)$$

对于双通道的 TIADC 系统，以没有失调失配误差和采样时刻失配误差为前提，设第一个通道的增益误差为 G_1 ，第二个为 G_2 :

$$y_1[n] = G_1 \cos(2\pi fnT + \varphi) \quad (2.32)$$

$$y_2[n] = G_2 \cos(2\pi fnT + \varphi) \quad (2.33)$$

设平均增益 $\bar{G} = (G_1 + G_2) / 2$ ，增益之差为 $\Delta G = G_1 - G_2$ ，那么输出为:

$$\begin{aligned} y[n] &= (\bar{G} + (-1)^n \Delta G) \cos(2\pi fnT + \varphi) \\ &= \bar{G} \cos(2\pi fnT + \varphi) + \frac{\Delta G}{2} \cos\left(2\pi \left(\frac{f_s}{2} + f\right) nt\right) + \frac{\Delta G}{2} \cos\left(2\pi \left(\frac{f_s}{2} - f\right) nt\right) \end{aligned} \quad (2.34)$$

上面的表达式中包含了理想输出和带增益的失配误差，后面两项即为误差项。对输出做 FFT 分析后可以得到，输出会在 $(\pm f_m + f_s / 2)$ 处会出现噪声^[37]。对于 M 通道的 TIADC 系统，杂散出现的频点位置为 $\pm f_m + (i / M) * f_s$ ($i = 0, 1, 2, \dots, M - 1$)。

(2) 增益失配频域分析

设通道数为 M ，输入模拟信号为 $x(t)$ ，系统采样信号周期为 T ，带增益失配的信号在时域上的表达式为：

$$g(t) = \sum_{k=0}^{M-1} G_k \sum_{n=-\infty}^{+\infty} \delta(t - kT - nMT) \quad (2.35)$$

通过傅里叶变换，将增益失配在时域上的表达转为频域上的表达：

$$G(j\omega) = \frac{2\pi}{MT} \sum_{n=-\infty}^{+\infty} \left(\sum_{k=0}^{M-1} g_k e^{-jnk \frac{2\pi}{MT}} \right) \delta\left(\omega - n \frac{2\pi}{MT}\right) \quad (2.36)$$

设理想输出 $x(t)$ 的频谱为 $X(j\omega)$ ，与增益失配 $G(j\omega)$ 相卷积可得实际输出表达式：

$$Y(j\omega) = \frac{1}{2\pi} X(j\omega) * G(j\omega) = \frac{1}{MT} X(j\omega) * \left(\sum_{n=-\infty}^{+\infty} \left(\sum_{k=0}^{M-1} g_k e^{-jnk \frac{2\pi}{MT}} \right) \delta\left(\omega - n \frac{2\pi}{MT}\right) \right) \quad (2.37)$$

经过变换和化简可得：

$$Y(j\omega) = \frac{2\pi}{T} \sum_{n=-\infty}^{+\infty} \left(\frac{1}{M} \sum_{k=0}^{M-1} g_k e^{-jnk \frac{2\pi}{MT}} \right) \left(\delta\left(\omega - \omega_0 - k \frac{2\pi}{MT}\right) - \delta\left(\omega + \omega_0 - k \frac{2\pi}{MT}\right) \right) \quad (2.38)$$

从式 (2.38) 可以得到，输出将会在频率 $\pm f_{in} + (k/M) * f_s$ 处出现杂散，其中 $k = 0, 1, 2, \dots, M-1$ 。 $M=2$ 时，杂散出现位置是 $\pm f_{in} + f_s/2$ ，和时域推导结果一致。从公式也可以得到，由增益失配引起的杂散出现位置和通道数量、输入信号频率及采样信号频率都相关。

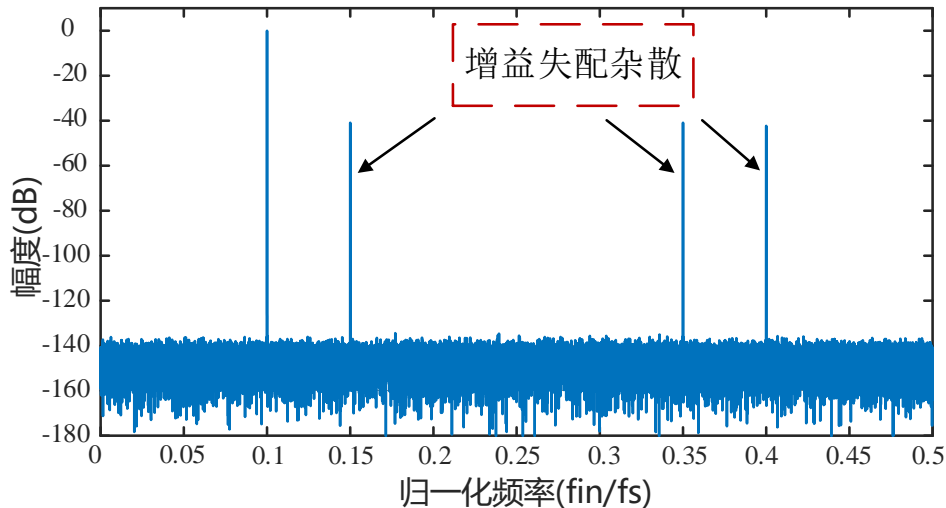


图 2.9 四通道 TIADC 增益失配引起的杂散频谱分布

Figure 2.9 Spurious spectrum distribution caused by gain mismatch of four-channel TIADC

图 2.9 显示了四通道 TIADC 由增益失配引起的杂散频谱分布，由于只显示第一奈

奎斯特区内的频谱, $(f_s/2 + f_{in})$ 处的杂散会以第一奈奎斯特频率为对称轴, 镜像叠加到 $(f_s/2 - f_{in})$ 处。仿真设置的归一化输入频率为 $0.1f_s$, 理论推导将会在 $0.15f_s$ 和 $0.35f_s$ 和 $0.4f_s$ 处产生噪声, 图 2.9 中可以看出这三个频点处确实存在杂散, 和理论结果一致。

2.3.3 采样时刻失配误差分析

对于单片 ADC 而言, 制造工艺波动、时钟抖动、电路和版图设计不合理会造成采样时刻误差。但是采样时刻误差不会影响 ADC 的线性度和信噪比, 只会在时域上体现出采样点的提前或者滞后。但是在 TIADC 系统中情况有所不同, 系统时钟不均匀相移, 版图的布局布线非对称以及工艺制造精度有限等问题会引起各个通道采样时刻不匹配, 在输出中产生大量噪声, 极大影响了 TIADC 的幅频和相频特性^[36, 38, 39]。下面以双通道为例, 推导 TIADC 的采样时刻失配原理。

(1) 采样时刻失配时域分析

在单通道理想 ADC 的输出中引入时间误差 Δt 后, 得到带时间失调误差的输出:

$$y[n] = \cos(2\pi f(nT + \Delta t) + \varphi) \quad (2.39)$$

假设通道 1 和通道 2 带时间偏移误差的输出表达式分别为:

$$y_1[n] = \cos(2\pi f(nT + \Delta t_1) + \varphi) \quad (2.40)$$

$$y_2[n] = \cos(2\pi f(nT + \Delta t_2) + \varphi) \quad (2.41)$$

设 $\bar{T} = (\Delta t_1 + \Delta t_2)/2$ 为平均采样时间误差, $\Delta T = \Delta t_1 - \Delta t_2$ 为采样时刻失配误差, 所以 TIADC 整体的输出表达式为:

$$y[n] = \cos[2\pi f \left(nT + \bar{T} + \left((-1)^n \frac{\Delta T}{2} \right) + \varphi \right)] \quad (2.42)$$

将上式变换后可得:

$$\begin{aligned} y[n] &= \cos \left(\omega \left(\hat{T} + \left((-1)^n \frac{\Delta T}{2} \right) + \varphi \right) \right) \\ &= \cos \left(\omega \frac{\Delta T}{2} \right) \sin(\omega \hat{T} + \varphi) + \frac{\sin \left[\omega \frac{\Delta T}{2} \right]}{2} \cos \left[2\pi \left(\frac{f_s}{2} + f \right) nT + \varphi_1 \right] \\ &\quad + \frac{\sin \left[\omega \frac{\Delta T}{2} \right]}{2} \cos \left[2\pi \left(\frac{f_s}{2} - f \right) nT + \varphi_2 \right] \end{aligned} \quad (2.43)$$

其中, $\varphi_1 = 2\pi f\bar{T} + \varphi$, $\varphi_2 = -2\pi f\bar{T} - \varphi$, $\hat{T} = nT + \bar{T}$, $\omega = 2\pi f$ 。

在公式(2.43)中, 第一项是不包含时间偏移的输出。如果 ΔT 无穷小, 其增益系数可看作 1。后面两项是由于采样时刻失配引起的噪声信号。从该公式可以看出, 对于两通道 TIADC 系统, 输出频谱会在 $(f_s/2 \pm f_{in})$ 处出现噪声信号。把两通道外推至 M 通道, 可得杂散出现的位置为 $(k/M) \cdot f_s \pm f_{in}$ ($k = 0, 1, 2, \dots, m/2$)。

(2) 采样时刻失配频域分析

定义每个通道的采样时刻失调误差为固定延迟, 则 TIADC 的输出在频域下可以表示为:

$$Y(j\omega) = \frac{1}{T} \sum_{n=-\infty}^{+\infty} \phi_{mn}(\omega) X \left[\frac{j}{T_s} \left(\omega - n \frac{2\pi}{M} \right) \right] \quad (2.44)$$

其中, 每个子通道相位延迟的表达式为:

$$\phi_m(\omega) = \frac{1}{M} \sum_{k=0}^{M-1} \left(e^{j(\omega T - n(2\pi/M))\Delta t_k} e^{-jnk(2\pi/M)} \right) \quad (2.45)$$

若输入信号为单频正弦信号, 由上式可以得到由采样时刻失配引起的杂散会在 $(n/M) \cdot f_s \pm f_{in}$ ($n = 0, 1, 2, \dots, M-1$) 处出现。图 2.10 显示了四通道 TIADC 采样时刻失配引起的杂散频谱分布。归一化输入频率为 $0.21f_s$ 时, 理论推导可知会在 $0.04f_s$ 和 $0.29f_s$ 和 $0.46f_s$ 处产生噪声, 图中可以看出这三个频点处确实存在杂散, 和理论结果一致。

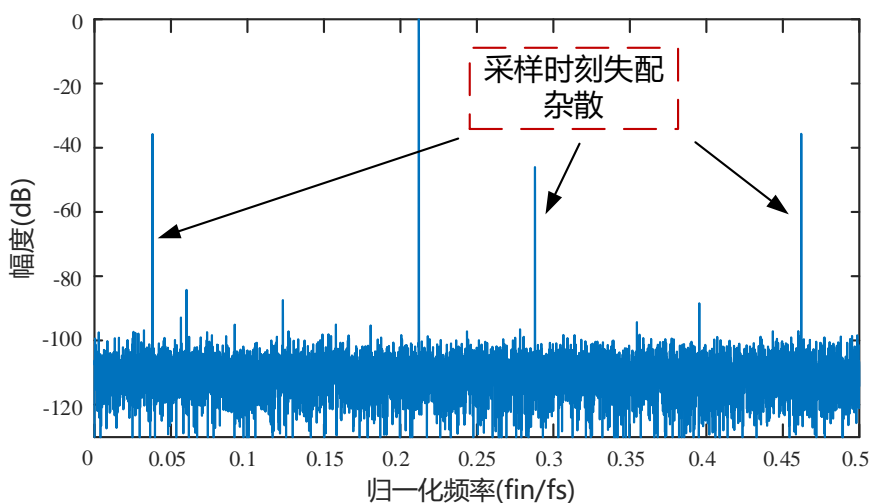


图 2.10 四通道 TIADC 采样时刻失配引起的杂散频谱分布

Figure 2.10 Spurious spectrum distribution caused by time skew mismatch of four-channel TIADC

2.4 采样时刻失配校准模型和分析

按照不同的工作方式可以将校准方法分为前台校准和后台校准^[40]。不论是前台校准，还是后台校准，都可以将采样时刻失配误差校准分为误差估计和误差补偿两个阶段。TIADC 把未校准的输出信号输入给误差估计电路后，误差估计电路计算出信号中的失配误差参数，误差补偿电路接收失配参数后对原始信号进行补偿^[41]。

2.4.1 前台校准

如图 2.11 所示，前台校准的两个阶段需分时进行。在参数估计阶段，把已知的参考信号输入进 TIADC，经过 TIADC 处理后参数估计模块接受数字输出信号，计算出失配参数并保存在存储空间中。校正阶段关闭测试信号和 TIADC 的连接，将输入信号接入，补偿校正模块接受来自 TIADC 的输出和参数估计阶段保存的失配参数，利用失配参数对原始输入信号校正。

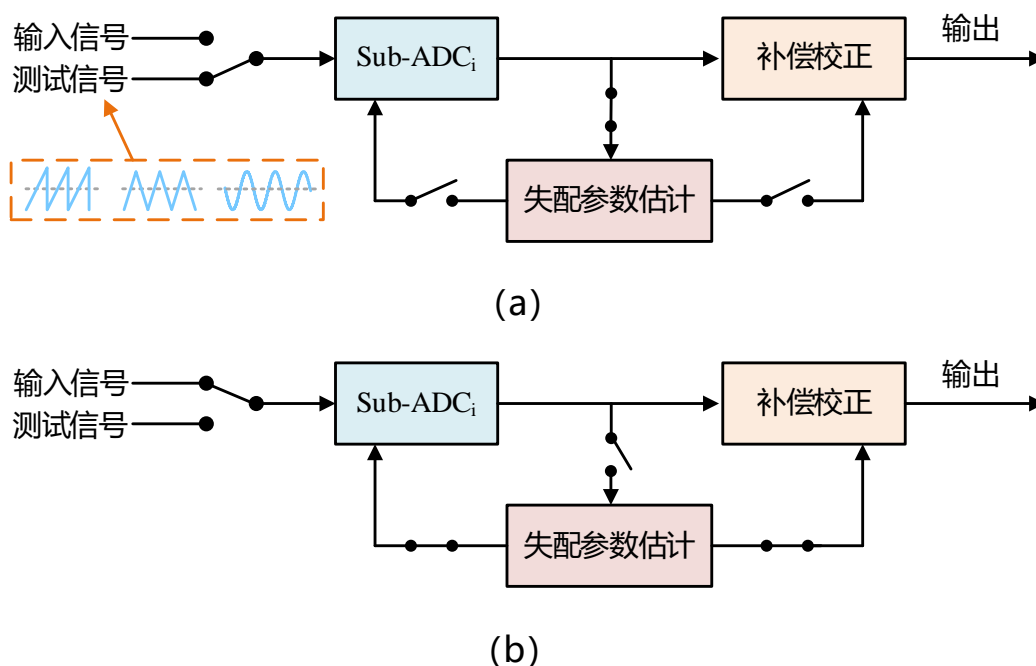


图 2.11 前台校准模型 (a) 前台校准估计阶段 (b) 前台校准校正阶段

Figure 2.11 Foreground calibration model (a) Foreground calibration estimation phase (b)

Foreground calibration correction phase

前台校正通常在出厂时或者工作前完成。实际使用中，TIADC 工作时的温度、电压、输入信号会发生变化，估计误差参数也会随之波动，使输出信号发生变化，严重

时甚至输出错误。此时需要打断 TIADC 的工作，重新加入测试信号，更新失配估计误差后才能重新工作^[42]。

另外，根据时间失调失配的前台校准原理，校准需要在系统中输入和采样时钟频率相同的斜波、三角波等参考信号，选择斜波或三角波等特殊信号是因为提取误差阶段容易量化和计算。如果不存在采样时刻失配，则各通道的输出结果相同。如果存在失配，则输出结果的误差和采样时间误差成正比。提取出误差后在结果中消去就可以得到消除时间误差后的采样值。然而只有输入高精度的信号才可以精确的提取采样时刻失配参数。在实际工作中，很难实现频率相位精确可控的信号，所以该方法的性能受输入信号影响非常大。

2.4.2 后台校准

后台校准方法如图 2.12 所示，TIADC 采样输入信号后量化处理并流向补偿校正模块。补偿校正模块将输出直接传递给下一级电路，同时也会将输出传入失配参数估计模块。估计模块获得的失配参数后，既可以传入模拟域的 TIADC，直接调节时钟信号的延迟，也可以传入数字域的补偿校正模块，通过补偿校正模块消除输出信号中的误差。

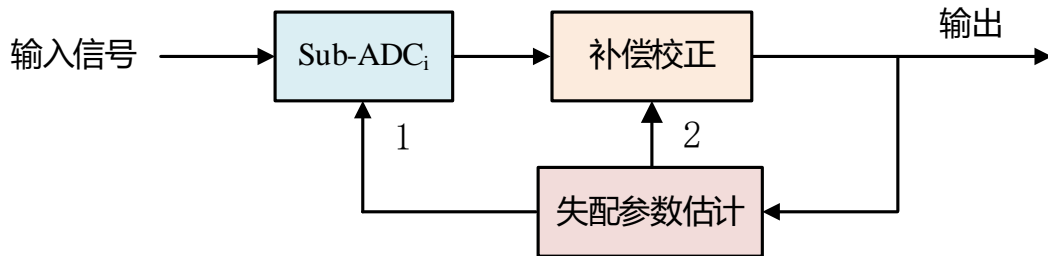


图 2.12 后台校准模型

Figure 2.12 Backend calibration model

和前台校准相比，后台校准通过引入反馈机制，可以实时跟踪误差，不断迭代误差值自动完成校准。然而后台校准的实现较为复杂，需要加入算法和反馈结构作为辅助，消耗大量硬件资源。后台校准方法分为模拟域校准、数模混合校准和全数字校准三大类。模拟域补偿方法需要将失配参数引入回模拟输入中，直接改变模拟输入延迟。但是由于延时器件精度的限制，无法适用于超高速 ADC 的延时调控^[43, 44]。此外，延时器件容易受温度和电压变化的影响，在输入中引入噪声，减小校准的精度。数模混合

校准是在数字域估计失配参数，然后在模拟域校准^[45]。混合校准方法中数字估计算法更新周期短，实现难度低，但是模拟校准模块设计难度高，也容易受环境影响导致精度降低。数字域校准方法大多对硬件开销要求很高，使得校准系统无法小型化，限制校准往低功耗方向发展。而且部分全数字校准方法需要多迭代校准，影响系统收敛速度，增加芯片功耗和复杂度。但是全数字域校准不受外界信号干扰，可以实现高精度校准。而且不断丰富的估计和补偿算法在一定程度上缓解了高硬件消耗的缺点，用额外硬件消耗换取更高的性能是比较可取的方案。

2.5 本章小结

本章介绍了 TIADC 的基本参数和工作原理，从时域和频域两个角度证明 TIADC 实现高速采样的理论可行性。然后针对 TIADC 现存的问题，阐述失配产生的来源——工艺波动、温度变化、信号自带噪声，设计不合理等。接着建立失配模型分析三种失配对输出的影响，获得输出信号的频谱中杂散产生的频点位置和杂散的频幅，为实现 TIADC 采样时刻失配校准提供了理论基础。最后介绍了采样时刻失配前台校准和后台校准两种工作模型，指出了两种模型的优缺点。

第三章 通道间采样时刻失配校准研究与设计

上一章对 TIADC 系统的原理和参数指标进行了介绍,证明并行的时间交织 ADC 结构可以在保持子 ADC 分辨率的情况下使系统采样率提高一定的倍数。指出由于多通道的结构, TIADC 会出现通道间失配的问题,导致输出出现失真。三种失配中,失调失配和增益失配一般基于累加求平均的方法计算,这种校准方法已经比较成熟,可以达到较好的校准效果^[22, 46, 47]。而解决采样时刻失配问题的难度很大,主要体现在设计估计算法的难度和复杂度较高,所以本章将着重介绍三种具体的采样时刻失配估计算法,分析三种方法的优缺点,基于已有方法设计采样时刻失配估计算法,用公式详细推导估计步骤,并结合校正算法提高校准系统适用范围。然后在 Matlab 软件上通过行为级模型进行仿真验证,根据仿真结果和同类算法的性能相对比,可以更直观的显示本算法的优势。

3.1 采样时刻失配校准方法研究

3.1.1 基于自相关和数字窗的采样时刻失配校准方法

基于自相关的采样时刻失配后台校准技术需要硬件开销较小,然而该方法对输入信号的依赖性较大,收敛时间过长。文献[26]结合数字窗检测器技术,提出了基于自相关的校准方法。该方法可以将收敛速度提高几个数量级,实现原理如图 3.1 所示。

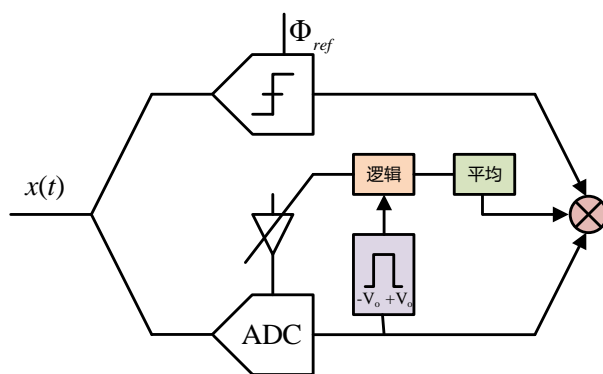


图 3.1 文献[26]中的算法原理示意图

Figure 3.1 Schematic diagram of the algorithm principle in the literature [26]

基于自相关的校准技术利用每个 ADC 通道和参考通道之间的相关性来估计采样时刻失配,在采用单一比较器作为参考 ADC 的方法中,其相关函数表达式为:

$$\begin{aligned}
 R_c(\tau) &= E\left[v(kT_{cal}) \cdot \text{sgn}(v(kT_{cal} + \tau))\right] \\
 &\approx \sqrt{\frac{2}{\pi}}\sigma - \frac{1}{\sqrt{2\pi}} \frac{\tau^2 \sigma_{dv}^2}{\sigma}
 \end{aligned} \tag{3.1}$$

其中, T_{cal} 是采样实例对准周期, σ_{dv} 是 dv/dt 的标准差, σ^2 是随机输入 $v(t)$ 的功率, 该随机输入呈正态分布。从公式可以看出, 相关性主要取决于 $v(kT_{cal})$ 和 $v(kT_{cal} + \tau)$ 之间的符号翻转率。对于幅度较大的输入而言, 两个相邻样本符号基本相同, 包含了极少的采样时刻失配参数, 而且会导致相关函数出现较大波动。对于小输入而言, 失配参数 τ 的占比则比较大。

对于小输入的样本, 则启用相关器的数字窗口检测逻辑块。在这种情况下, 相关函数变为:

$$\begin{aligned}
 R_{lc}(\tau) &= E\left[v(kT_{cal}) \cdot \text{sgn}(v(kT_{cal} + \tau)) \middle| v \in [-V_o, +V_o]\right] \\
 &\approx E\left[v \cdot \text{erf}\left(\frac{v}{\sqrt{2}\sigma_{dv}\tau}\right) \middle| v \in [-V_o, +V_o]\right] \\
 &\approx \frac{V_o}{2} - \frac{1}{2} \frac{\tau^2 \sigma_{dv}^2}{V_o}
 \end{aligned} \tag{3.2}$$

其中, V_o 用来设置小样本的输入范围。和预期的一样, 当 V_o 的降低时, 自相关函数的敏感度会出现相反的趋势。

稳定状态下, 剩余时刻偏差均方差主要由校准步长 τ_{min} 决定, 而和估计误差无关。因此, 对于样本数量的下限有:

$$M_{min} = \sqrt{\frac{\pi}{50}} \frac{\sigma V_o^3}{\tau_{min}^4 \sigma_{dv}^4} \tag{3.3}$$

当 $\tau_{min} = 0.01T_s$, $V_o = 0.1\sigma$ 时, $M_{min} = 2.6 \times 10^2$, 结果显示比传统的方法小了至少三个数量级。

文献[26]提出的对输入信号加窗的方法可以有效降低采样点数, 提高收敛速率。然而根据仿真结果, 收敛速率提高后的系统在高速模式下, 依然需要达到 $10k$ 个采样点才能收敛。从校准性能看, 即使在双通道结构下进行校准, 系统的信噪比也没有达到比较高的水平。此外, 因为基于相关性算法, 该方法不仅需要参考电路作为辅助, 还增加了信号检测模块, 增加了硬件开销。

3.1.2 基于差值的采样时刻失配校准方法

文献[20]提出了一种由基于导数的数字校正器和基于差值的时刻适配估计器组成的采样时间失配的全数字校准方法，该方法的原理结构如图 3.3 所示。图 3.4 和图 3.5 描述了校准方法中的误差提取原理。

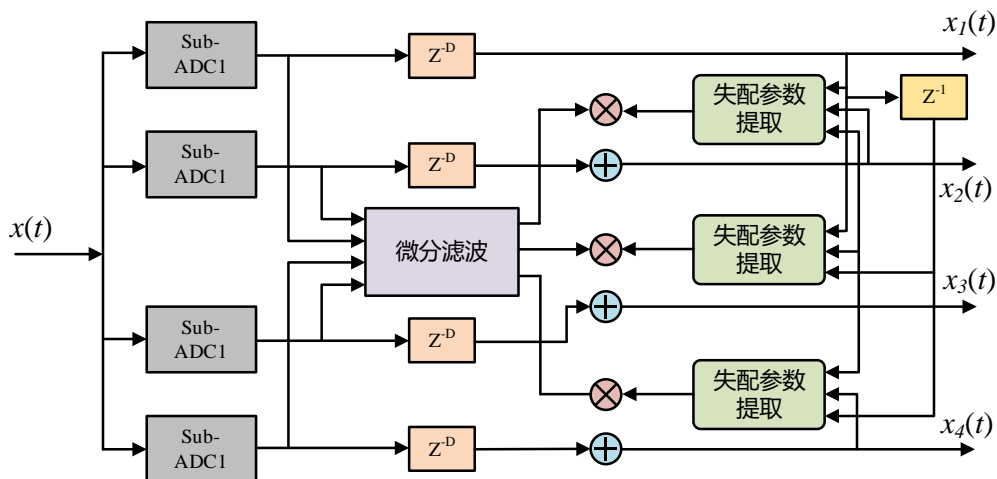


图 3.2 文献[20]中的算法原理示意图

Figure 3.2 Schematic diagram of the algorithm principle in the literature [20]

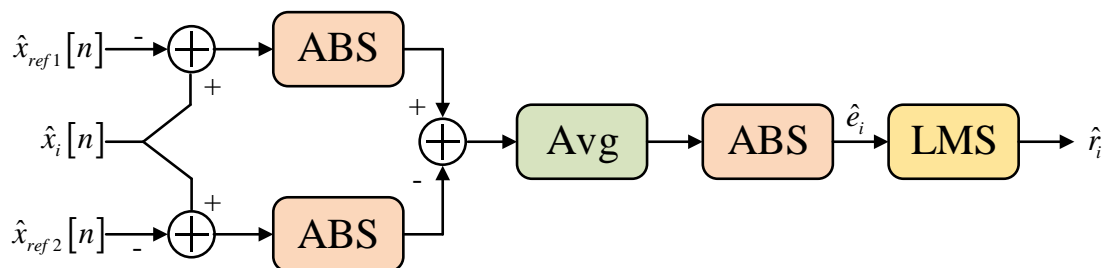


图 3.3 采样时刻失配误差提取原理图

Figure 3.3 Principle diagram of time skew mismatch error extraction

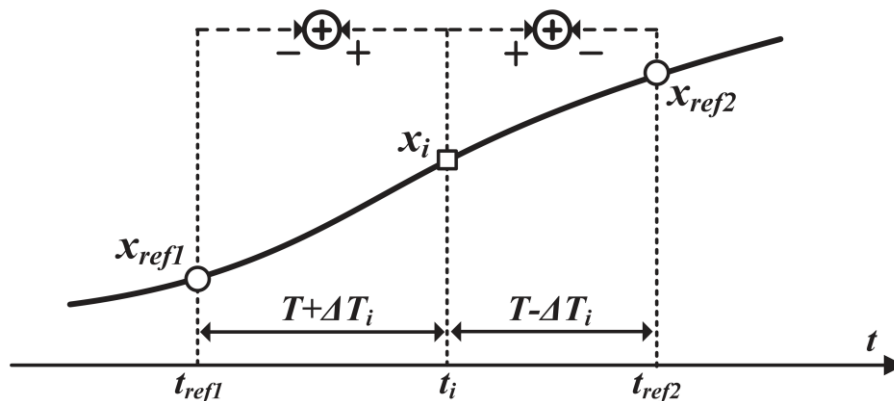


图 3.4 相邻参考通道差值波形示意图

Figure 3.4 Schematic diagram of the difference waveform of adjacent reference channels

(1) 从导数 FIR 滤波器中获得每个子 ADC 输出的一阶导数, 然后乘以估计的采样时刻失配参数生成输出误差, 最终从子 ADC 的输出中减去该误差。延迟单元 Z^{-D} 用于匹配导数 FIR 滤波器的延迟。

(2) 以四通道 TIADC 系统为例介绍时刻失配估计算法, 原理如图 3.4 所示。每个子 ADC 的时刻失配估计器由三个加法器、三个绝对值运算模块、一个移动平均计算模块和一个最小均方 (LMS) 计算模块组成。首先, 计算第 i 个子 ADC 信道的时刻失配参数需要获取来自两个参考子 ADC 信道的输出, 即图中的 \hat{x}_{ref1} 和 \hat{x}_{ref2} 。这两个参考子 ADC 信道分别分布在第 i 个子模数转换器通道等距间隔的前后。

$$\begin{aligned}\hat{x}_i[k] - \hat{x}_{ref1}[k] &= \hat{x}(t_{ref1} + (T + \Delta T_i)) - \hat{x}(t_{ref1}) \\ &= (T + \Delta T_i) \cdot \hat{x}'(t_{ref1})\end{aligned}\quad (3.4)$$

$$\begin{aligned}\hat{x}_{ref2}[k] - \hat{x}_i[k] &= \hat{x}(t_i + (T - \Delta T_i)) - \hat{x}(t_i) \\ &= (T - \Delta T_i) \cdot \hat{x}'(t_i)\end{aligned}\quad (3.5)$$

其中, T 表示采样时间间隔, ΔT_i 表示第 i 通道和相邻通道的采样时间误差, $\hat{x}'(t_{refi})$ 是第 i 个参考通道输入函数的导数。

然后, 上式的平方的数学期望为:

$$E\left[(\hat{x}_i[k] - \hat{x}_{ref1}[k])^2\right] = (T + \Delta T_i)^2 \cdot E(\hat{x}'^2_{ref1}) \quad (3.6)$$

$$E\left[(\hat{x}_i[k] - \hat{x}_{ref2}[k])^2\right] = (T - \Delta T_i)^2 \cdot E(\hat{x}'^2_i) \quad (3.7)$$

由于信号导数的数学期望是常数, 将上面两个公式做差后可得:

$$E\left[(\hat{x}_i[k] - \hat{x}_{ref1}[k])^2\right] - E\left[(\hat{x}_i[k] - \hat{x}_{ref2}[k])^2\right] = 4T \cdot C \cdot \Delta T \quad (3.8)$$

其中, C 代表信号导数的数学期望。由上式可以看出, 在时间间隔为精确的 T 的理想情况下, 第 i 通道和相邻两通道的差的绝对值的输出与采样时刻失配误差 ΔT 成正比, 比例因子为 $4T \cdot C$ 。所以可以通过先计算与相邻两通道的差值的绝对值, 然后再对绝对值做差后取数学期望的方法来获得采样时刻失配误差。基于上述分析, 可以得到误差信号为:

$$\hat{e}_i = \left| \frac{1}{N} \sum_{k=1}^N \left(|\hat{x}_i[k] - \hat{x}_{ref1}[k]| - |\hat{x}_i[k] - \hat{x}_{ref2}[k]| \right) \right| \quad (3.9)$$

有了误差信号, 将误差信号输入导数校正模块即可完成对 TIADC 的校准。文献[19]提出的估计方法具有较低的硬件成本, 每一个通道只需要 7 个加法器和 2 个乘法器。但

是该校准方法无法同时完成对每个通道的校准，这会大大增加校准时间。另外，此方法要求通道数量必须为 2 的整数次幂，使校准方法无法被广泛适用，局限性较大。

3.1.3 基于确定性均衡的采样时刻失配校准方法

基于确定性思想的校准方法是在 TIADC 通道外再添加一个参考模数转换器用于校准。文献[48]基于传统架构，提出分体式架构来设计校准算法，如图 3.5 所示^[48]。

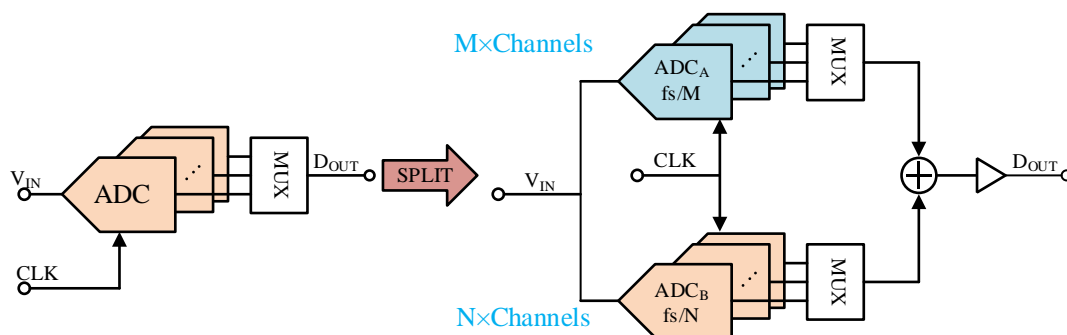


图 3.5 文献[48]中的算法原理示意图

Figure 3.5 Schematic diagram of the algorithm principle in the literature [48]

带参考通道的传统结构在对高速 TIADC 校准过程中，参考 ADC 的信号只能和 TIADC 中的一个 ADC 信号同时被采样，这样会周期性的改变系统输入阻抗，在结果中产生额外杂散。为了解决该问题，传统 TIADC 结构被分离为带有 M 个子通道和 N 个子通道的两个独立 TIADC。这两个 ADC 系统具有相同的采样率 f_s ，但是子通道的采样率不同，分别为 f_s/M 和 f_s/N ，M 和 N 必须互质以保证每次经过 $M \times N$ 次后两个系统的有效采样沿会相遇。该方法的优势在于每个周期中总有两个 ADC 同时采样，这样就会消除输入阻抗不稳定的问题。采样时刻误差的提取方法如下：

$$\Delta t^{new} = \Delta t^{old} + 2 \cdot \mu \cdot \frac{dV_{in}(t)}{dt} \cdot e \quad (3.10)$$

其中， e 是某个采样时刻 TIADC_A 中某个通道的输出和 TIADC_B 中某个通道输出的差值，利用差值不断迭代就可以求出采样时刻失配参数。该方法可以解决确定性均衡算法中，额外的参考通道引入定态杂散问题，但是该算法需要使用将近一倍的面积为代价，不仅增大了面积消耗，也提高了硬件复杂度，对时钟信号要求大大提高。此外，通道数之间还有互质的限制。

经过对比，基于差值的校准算法只需要计算通道之间的差值，无需冗长复杂的乘积运算，收敛速度也比基于自相关的校准算法快几个数量级，无需使用额外方法提高

校准速度。而且，基于差值的算法不用引入额外参考通道，减小了 TIADC 的设计复杂度和面积消耗。对校准 TIADC 系统的通道数目的选择也较为灵活，没有任何的限制，适用范围广。

3.2 基于差值与矩阵优化的采样时刻失配校准方法设计

3.2.1 采样时刻失配估计算法原理

上一节介绍了如何解决提取多通道时间交织 ADC 采样时刻失配参数的几种具体方法，在文中不仅阐述了各种方法的实现原理，也分析了它们各自的优缺点。根据所介绍文献提出的方法，本文设计了一种基于差值的采样时刻失配参数提取新方法。提出的方法在硬件上以加法器为主，避免了大量乘法器的使用，可以有效的降低硬件资源消耗。该方法实现原理如图 3.6 所示。

由于通道中还有失调失配和增益失配的存在，但是这两种失配对于所提方法是否有影响还未知，所以在讨论采样时刻失配校准方法前，假设失调失配和增益失配已被正确校准，这样可以简化分析流程，这两种失配的影响将在下一节讨论。

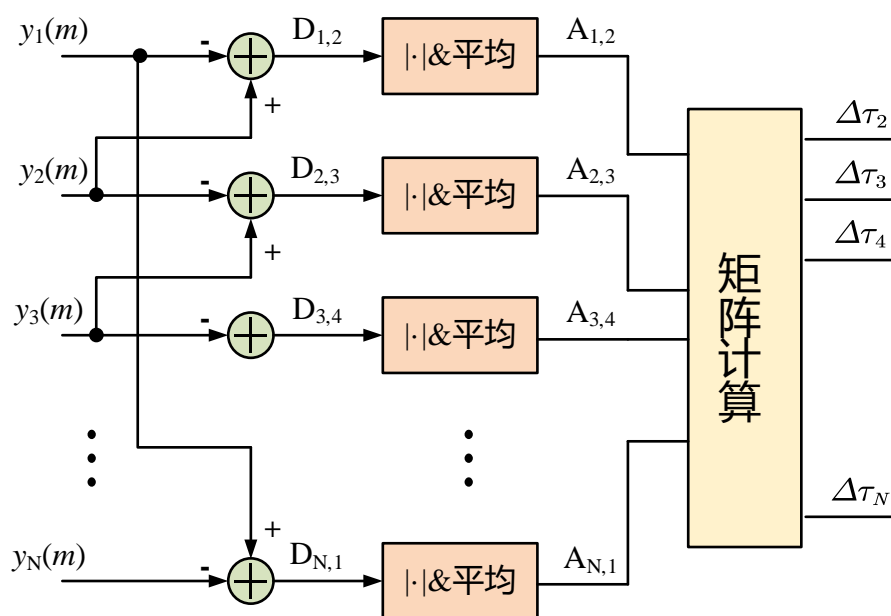


图 3.6 基于差值与矩阵优化校准方法采样时刻失配参数估计原理

Figure 3.6 Principle of time skew mismatch parameter estimation based on difference and matrix optimization calibration method

该方法主要分为两步，第一步是求出通道间差值和差值信号的期望，第二步是利用经过设计的矩阵消除无关项，提取出需要的采样时刻失配参数。校正算法接收计算

出的失配参数，从原始输出信号中消除时间误差，校正每个通道的 ADC 输出，获得更准确的 ADC 输出值。

设 TIADC 系统包含 N 个通道，子 ADC 采样频率是 f_s ，采样周期是 T_s ，根据周期与频率关系，有 $f_s = 1/T_s$ 。每个通道的模拟信号经子 ADC 采样后的数字输出信号表达式为：

$$y_k[n] = y((N \cdot m + k) \cdot T_s + \Delta t_k + e_{j,k}) + e_k \quad (3.11)$$

其中， m 表示采样次数， k 表示第 k 通道， Δt_k 表示第 k 通道的采样时间误差， e_k 是器件中的随机误差，主要由 e_q 和 e_{th} 组成。 e_q 表示量化误差， e_{th} 表示热噪声产生的误差， $n = N \cdot m + k$ 。

用两个相邻通道的输出依次做差，可以得到：

$$\left\{ \begin{array}{l} D_{1,2} = y((N \cdot m + 2) \cdot T_s + \Delta t_2) - y((N \cdot m + 1) \cdot T_s + \Delta t_1) + (e_2 - e_1) \\ D_{2,3} = y((N \cdot m + 3) \cdot T_s + \Delta t_3) - y((N \cdot m + 2) \cdot T_s + \Delta t_2) - (e_3 - e_2) \\ \vdots \\ D_{k,k+1} = y((N \cdot m + k + 1) \cdot T_s + \Delta t_{k+1}) - y((N \cdot m + k) \cdot T_s + \Delta t_k) + (e_{k+1} - e_k) \\ \vdots \\ D_{N,N-1} = y((N \cdot m + N) \cdot T_s + \Delta t_N) - y((N \cdot m + N - 1) \cdot T_s + \Delta t_{N-1}) + (e_N - e_{N-1}) \\ D_{N,1} = y((N \cdot (m + 1) + 1) \cdot T_s + \Delta t_1) - y((N \cdot m + N) \cdot T_s + \Delta t_N) + (e_1 - e_N) \end{array} \right. \quad (3.12)$$

其中， $D_{i,i+1} = y_i[m] - y_{i+1}[m]$ 为两通道之间差值， $D_{N,1} = y_1[m+1] - y_N[m]$ 。利用一阶泰勒展开，对于第 k 通道和第 $k+1$ 通道的差，在第 k 通道的采样时间处展开。一阶泰勒展开公式为：

$$y(x + \Delta x) \approx y(x) + y'(x) \cdot \Delta x \quad (3.13)$$

利用公式(3.13)对公式(3.12)变形可以得到：

$$\left\{ \begin{array}{l} D_{1,2} = y_2[m] - y_1[m] \approx (T_s + \Delta t_2 - \Delta t_1) \cdot y'_1[m] + (e_2 - e_1) \\ D_{2,3} = y_3[m] - y_2[m] \approx (T_s + \Delta t_3 - \Delta t_2) \cdot y'_2[m] + (e_3 - e_2) \\ \vdots \\ D_{k,k+1} = y_{k+1}[m+1] - y_k[m] \approx (T_s + \Delta t_{k+1} - \Delta t_k) \cdot y'_k[m] + (e_{k+1} - e_k) \\ \vdots \\ D_{N,N-1} = y_N[m] - y_{N-1}[m] \approx (T_s + \Delta t_N - \Delta t_{N-1}) \cdot y'_{N-1}[m] + (e_N - e_{N-1}) \\ D_{N,1} = y_1[m+1] - y_N[m] \approx (T_s + \Delta t_1 - \Delta t_N) \cdot y'_N[m] + (e_1 - e_N) \end{array} \right. \quad (3.14)$$

对于一个广义平稳信号，在采样时足够长，样本足够多时，它和它的导数的绝对值在统计学下趋于一个常数，通常用数学期望来获得这一常数。同样的，在有限样本下，各个通道的随机误差的差值不完全相同，但是随着样本数量的增长，其值依然会趋于一个常数。根据理论，不妨设：

$$E[y'_1[m]] = E[y'_2[m]] = \cdots = E[y'_N[m]] = \alpha \quad (3.15)$$

$$E[(e_2 - e_1)] = E[(e_3 - e_2)] = \cdots = E[(e_{N-1} - e_N)] = E[(e_N - e_1)] = \beta \quad (3.16)$$

对式(3.14)取绝对值后再求数学期望，数学期望的取值区间为负无穷到正无穷，那么可以得到：

$$\left\{ \begin{array}{l} A_{1,2} = E[D_{1,2}] \approx (T_s + \Delta t_2 - \Delta t_1) \cdot \alpha + \beta \\ A_{2,3} = E[D_{2,3}] \approx (T_s + \Delta t_3 - \Delta t_2) \cdot \alpha + \beta \\ \vdots \\ A_{k,k+1} = E[D_{k,k+1}] \approx (T_s + \Delta t_{k+1} - \Delta t_k) \cdot \alpha + \beta \\ \vdots \\ A_{N-1,N} = E[D_{N-1,N}] \approx (T_s + \Delta t_N - \Delta t_{N-1}) \cdot \alpha + \beta \\ A_{N,1} = E[D_{N,1}] \approx (T_s + \Delta t_1 - \Delta t_N) \cdot \alpha + \beta \end{array} \right. \quad (3.17)$$

上式已经包含了误差项，但是仅得到了误差项的差值，而且由于采样时间 T_s 也被包含在公式中，无法直接通过该式获得误差值。此时利用各个通道的输出，对输出做一定的运算，就可以提取出时间误差。提取算法如下所示：

$$\left\{ \begin{array}{l} \Delta \tau_2 = N \cdot \alpha \cdot \Delta t_2 = (N-1)A_{1,2} - (A_{2,3} + \cdots + A_{N,1}) \\ \Delta \tau_3 = N \cdot \alpha \cdot \Delta t_3 = (N-2)(A_{1,2} + A_{2,3}) - 2(A_{3,4} + \cdots + A_{N,1}) \\ \vdots \\ \Delta \tau_k = N \cdot \alpha \cdot \Delta t_k = (N-k+1)(A_{1,2} + \cdots + A_{k-1,k}) - (k-1)(A_{k,k+1} + \cdots + A_{N,1}) \\ \vdots \\ \Delta \tau_N = N \cdot \alpha \cdot \Delta t_N = (A_{1,2} + \cdots + A_{N-1,N}) - (N-1)A_{N,1} \end{array} \right. \quad (3.18)$$

其中， $\Delta \tau_i, i=1, 2, \cdots, N$ ，不代表真正的采样时刻失配参数，而是与通道数 N 和输入函数的绝对值的导数的乘积。上式可以分解为一个向量和一个矩阵的乘积：

$$\Delta \tau = P \cdot A \quad (3.19)$$

其中， $\Delta \tau = (\Delta \tau_2, \Delta \tau_3, \cdots, \Delta \tau_N)^T$ ， $A = (A_{1,2}, A_{2,3}, \cdots, A_{N,1})^T$ ， P 为 $(N-1) \times N$ 阶矩阵，表达式为：

$$P = \begin{bmatrix} N-1 & -1 & \cdots & -1 \\ N-2 & -2 & \cdots & -2 \\ \vdots & \vdots & \ddots & \vdots \\ 1 & -(N-1) & \cdots & -(N-1) \end{bmatrix} \quad (3.20)$$

对于 N 个通道的系统，每个通道信号曲线绝对值的导数的数学期望和每个通道的时间误差都是常数，所以该值经过一定的采样次数后会收敛于一个定值。在后面的计算中无需算出这些值，所以不需要使用导数滤波器来计算导数值，直接使用 $\Delta\tau_i$ 代入算法中计算就能得到采样时刻失配的大小。因为计算的是相对误差，在不加入额外通道的前提下，选取第一通道作为参考通道，对计算的结果没有任何影响。所以在公式(3.18)中令 $\Delta\tau_1 = 0$ ，其他通道会自动计算相对于第一通道的时间误差。

由于信号的波动，直接提取出来的 $\Delta\tau_i$ 也表现出了相同的特征，所以需要一种算法可以使该值稳定。此处使用 LMS 自适应滤波算法使 $\Delta\tau_i$ 不断迭代，最终可以自适应的收敛。该算法对应的迭代公式为：

$$t_k[n] = t_k[n-1] + \mu \cdot \tau_k[n] \quad (3.21)$$

其中， $n = 1, 2, 3, \dots$ 表示收敛的次数。 k 表示第 k 通道。初始值 $t_k[0] = 0$ ， μ 是固定值，在 0 到 1 之间，代表时间误差值的收敛步长。 μ 越大，收敛越快，但是收敛精度越小。反之， μ 越小，收敛越慢，但是精度越大。所以可以根据需求，通过仿真实验取得一个合适的值，使得 TIADC 系统收敛速度快又可以达到一定的精度。此时便成功提取了采样时刻失配参数，将提取的值输入进校正滤波器中即可得到消除采样时刻失配的输出。

3.2.2 失调失配和增益失配的干扰

根据第二章所述，通道间的失配还包含失调失配和增益失配。现讨论如果在校准采样时刻失配参数前是否需要先校准失调失配和增益失配。下面分别讨论在单个失配存在情况下是否会干扰提取采样时刻失配参数。

不考虑随机误差产生的影响，假设第 k 个子 ADC 的输出只包含失调失配和采样时刻失配，表达式为：

$$y_k[m] = y((N \cdot m + k) \cdot T_s + \Delta t_k) + O_k \quad (3.22)$$

其中, O_k 是第 k 通道的失调因子。运用本次设计的算法, 可以得到:

$$D_{k,k+1} = y_{k+1}[m] - y_k[m] \approx (T_s + \Delta t_{k+1} - \Delta t_k) \cdot y'_k[m] + (O_{k+1} - O_k) \quad (3.23)$$

从失调失配的原理可知, 失调失配产生的来源是通道中产生了一个 DC 直流分量。各个通道产生的直流量各不相同且变化很小。当采样点足够后, 两个通道的失调误差的差值将趋于常量。那么和对量化误差和热噪声误差处理结果一样, 该直流分量被取绝对值和数学期望后再做处理时, 该常量会被抵消掉。显然, 该算法可以滤除电路中的加性噪声或误差造成的干扰。这种误差需要满足一定的条件, 即在足够的采样时间下收敛而不是发散。只要满足这两个性质的误差在此算法下都可以被滤除。

不考虑随机误差产生的影响, 假设第 k 个子 ADC 的输出只包含增益失配和采样时刻失配, 表达式为:

$$y_k[m] = G_k y((N \cdot m + k) \cdot T_s + \Delta t_k) \quad (3.24)$$

其中, G_k 表示第 k 通道的增益失配参数。求两个相邻通道的差, 可得:

$$\begin{aligned} D_{k,k+1} &= y_{k+1}[m] - y_k[m] \\ &= G_{k+1} y((N \cdot m + k) \cdot T_s + \Delta t_{k+1}) - G_k y((N \cdot m + k) \cdot T_s + \Delta t_k) \end{aligned} \quad (3.25)$$

经过泰勒展开后, 可以得到:

$$D_{k,k+1} \approx (G_{k+1} - G_k) y_k(m) + G_{k+1} y'_k(m) \quad (3.26)$$

代入公式(3.18)后, 无法消去增益误差带来的噪声。因此, 输出因为增益误差的存在将无法收敛。

经过以上推导, 可以简单的说明该算法可以同时补偿失调失配, 即失调失配的校准也可以通过该算法完成。然而校准前需要确保增益失配已被消除, 否则将导致输出混乱, 功能无法实现。

3.2.3 采样时刻失配校正算法原理

校正模块建模采用一阶导数的近似算法。近似算法原理如图 3.7 所示。 $y[n]$ 表示 ADC 采样到的数字输出信号, 时间 T 处是 $y[n]$ 的理想采样点。如果采样点发生了 τ 的偏移, 则采样点的位置就会从 T 变为 $T + \tau$, 对应的输出从 $y[n]$ 变为 $y[n + \tau]$ 。从 ADC 通道中输出的实际值是 $y[n + \tau]$, 该值会输入到导数滤波器中。只需要将因为时间误差导致的输出误差 Δy 从 $y[n + \tau]$ 中减去, 就能得到理想采样的输出, 即:

$$y[n] = y[n + \tau] - \Delta y \quad (3.27)$$

在实际采样过程中，通道中产生的误差 τ 远小于采样时间 T_s ，由 τ 引起的 Δy 可以以近似值表示。根据线性近似原理：

$$y[n + \tau] = y[n] + y'[n]\tau \quad (3.28)$$

对比式(3.28)和式(3.29)，可以得到：

$$y[n] = y[n + \tau] - y'[n]\tau \quad (3.29)$$

对于式(3.29)， $y[n + \tau]$ 是和 τ 都已知， $y[n]$ 可以由导数滤波器得到。

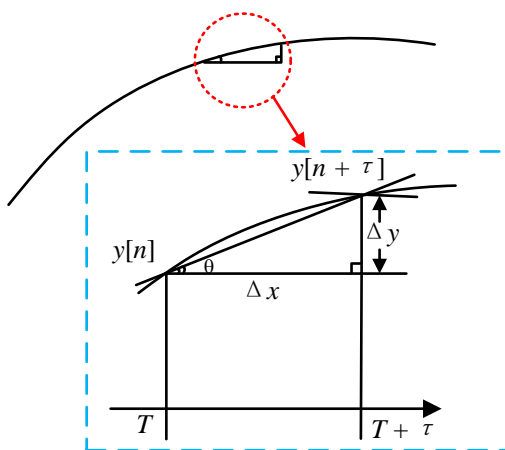


图 3.7 一阶导数近似原理

Figure 3.7 First-order derivative approximation principle

由于在短时间内低频的采样值变化不大，两个采样点间的差几乎为 0，所以无法通过导数滤波器。故一阶导数滤波器是高通滤波器，适合处理 TIADC 这样高速的数据处理系统。理想导数滤波器的冲激响应函数 $h_d[n]$ 为：

$$h_h[n] = \begin{cases} \frac{\cos(\pi n)}{n} & (n \neq 0) \\ 0 & (n = 0) \end{cases} \quad (3.30)$$

为了使输入信号频率可以超越第一奈奎斯特区，需要改变导数滤波器的结构^[20]。本文采用希尔伯特滤波器和导数滤波器一起计算原始数字输出信号的导数。一个实值函数 $g(t)$ 的希尔伯特变换是信号 $g(t)$ 与 $1/(\pi t)$ 的卷积，可以理解为是输入 $g(t)$ 的线性时不变系统的输出，系统的脉冲响应为 $1/(\pi t)$ 。希尔伯特变换是一种时域到时域的变换，相当于只对输入信号变形而没有域的变换。希尔伯特变换的冲激响应函数为：

$$h_h[n] = \begin{cases} \frac{2}{\pi} \frac{\sin^2\left(\frac{\pi n}{2}\right)}{n} & (n \neq 0) \\ 0 & (n = 0) \end{cases} \quad (3.31)$$

根据响应函数，可知希尔伯特变换的作用是使信号相移 90° 。由 BP 采样理论可知，如果输入信号满足奈奎斯特欠采样准则且在奇数次奈奎斯特区（Nyquist Band, NB），欠采样信号基带频谱和原始频谱具有相同的形状，所以在奇数次 NB 的输入信号无需变换。输入信号在偶数次 NB 时，欠采样后高频信号折叠进基带后会发生翻转，如图 3.8 所示。所以输入频率落在偶数次 NB 后，会导致输出基带频谱信号的导数和校正采样时间误差所需的原始 BP 信号的导数不同。对信号进行希尔伯特变换后的输出与信号的导数相运算后，可以把信号还原回基带而不发生翻转。实现的架构如图 3.9 所示。

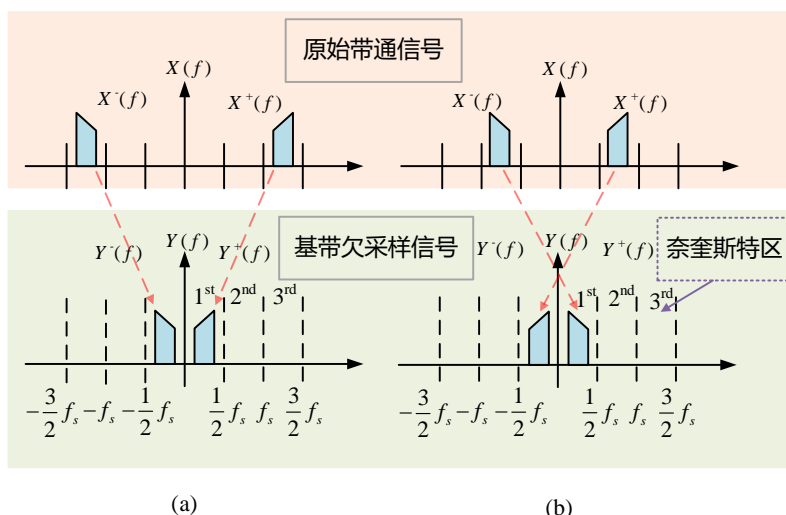


图 3.8 欠采样原理 (a) 奇数阶带通信号 (b) 偶数阶带通信号

Figure 3.8 Undersampling principle (a) Odd-order band communication signal (b) Even-order band

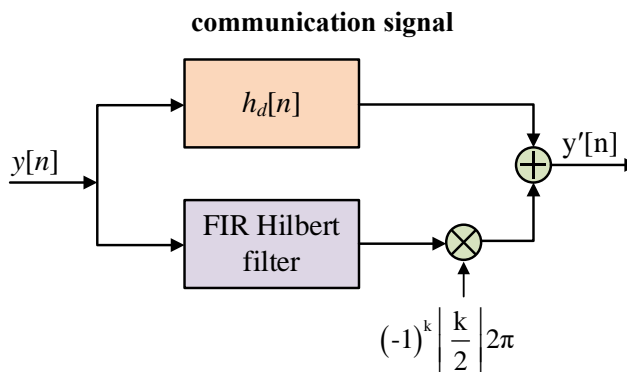


图 3.9 带通导数滤波器

Figure 3.9 Bandpass derivative filter

3.2.4 采样时刻失配校准总框架

对 TIADC 采样时刻失配校准的整体框架如图 3.10 所示。校准系统主要由三个部分组成， N 个相同子 ADC 组成的 TIADC 模块，绿色框中的校正模块，红色框中的采样时刻失配参数提取模块。模拟信号到来后，每个通道都以 T_s 为采样周期依次采集输入的模拟信号。采集到的模拟信号会被每个子 ADC 转换成数字信号。与此同时，失配提取模块会提取来自校正模块的信号，从实际输出信号中提取采样时刻失配参数。这个参数会和 TIADC 的输出一起输入进校正模块，经过校正模块运算后的值即为消除了误差的正确输出。需要注意的是，第一次校正时失配提取模块没有输入，所以失配提取模块输出为 0。

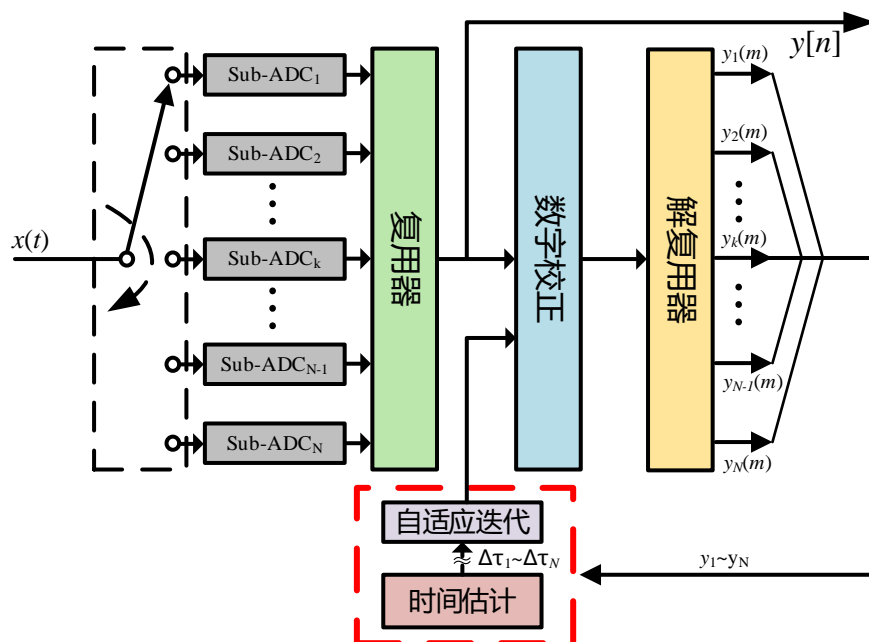


图 3.10 基于差值与矩阵优化校准方法原理总框图

Figure 3.10 General block diagram of the principle of the difference-based and matrix optimization calibration method

3.2.5 行为级验证和结果分析

完成算法原理框图搭建以后，需要验证算法的功能是否正确以及是否能达到预期的性能。本次验证利用 Matlab 平台搭建测试环境，使用该软件对算法进行行为级建模和仿真。激励信号模块采用 4 个 SAR ADC 组成一个四通道的 TIADC 系统，每个子 ADC 具有 12 比特分辨率，采样时间设定为归一化采样周期，大小为 1MHz。校准模型采用上一节介绍的模型。模型中的仿真参数如表 3.1 所示。

表 3.1 Matlab 仿真参数汇总

Table 3.1 Summary of Matlab simulation parameters

参数类型	参数值
通道数 (个)	4
分辨率 (bit)	12
归一化采样频率 (1/fs)	1
归一化输入频率	$1737f_s$
时间偏移量	$(0.01, 0.045, 0.03, -0.01) \cdot T_s$
初始相位	$\pi/3$
采样点数量	2^{14}

图 3.11 展示了仿真前后的时间误差变化图。从图 3.11(a)和(b)可以清晰的看出，提取的时间偏移量在经过 1200 次左右的采样校准后收敛于一个固定的值。图 3.11(b)显示，Delta 1—Delta 4 分别趋于 0, 0.035, 0.02 和-0.02，对应的曲线在这些值附近的范围内震荡，稳定值和设定的偏移量基本吻合，可以达到理论预期的效果。

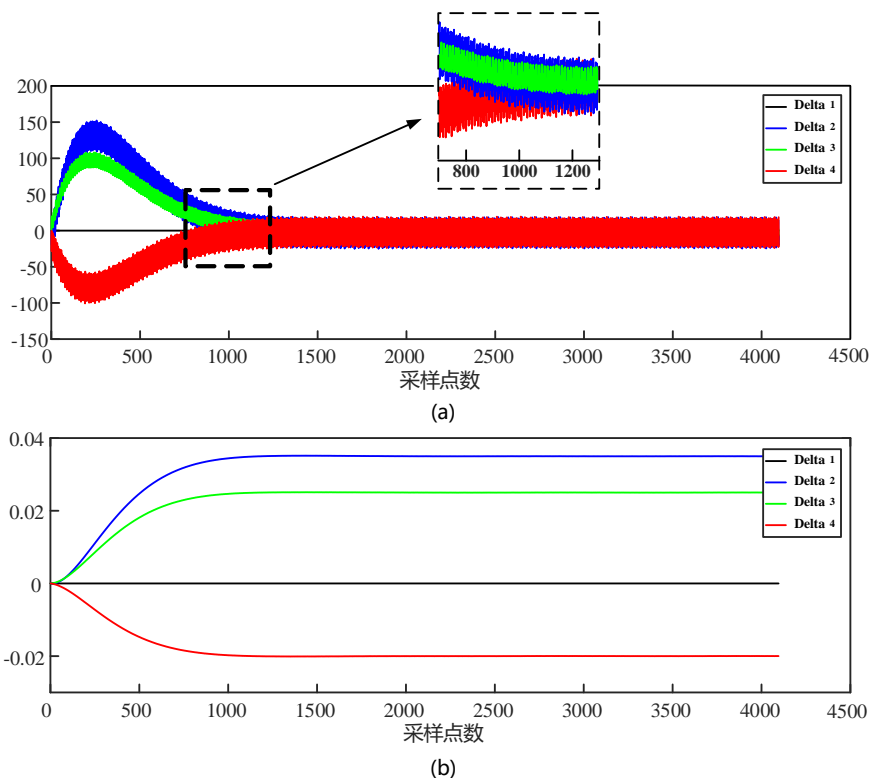


图 3.11 基于差值矩阵优化校准的失配因子和参数收敛曲线 (a) 失配因子 (b) 失配参数

Figure 3.11 Mismatch factor and parameter convergence curves based on the optimal calibration of the difference matrix (a) Mismatch factor (b) Mismatch parameter

图 3.12 显示了校准前后频谱图。从图(a)中可以看出，因为采样时刻失配，除了在 $0.212f_s$ 处产生了一个幅值最高的主信号，还在其它频点产生了三个次高的杂散信号，

分别为 $0.042f_s$, $0.288f_s$, $0.462f_s$, 频谱图显示结果和理论完全一致, 该模型可以按照理论, 非常精确的模拟多通道时间交织 ADC 结构。图(b)表明, 经过校准后, 只剩下幅度最强的主信号, 三个杂散信号已经降到平均噪声水平, 不再对基带信号产生极大的干扰。SNDR 和 SFDR 在经过校准后也分别有 38.1dB 和 52.2dB 的改善, 提高了 TIADC 系统的抗干扰能力。

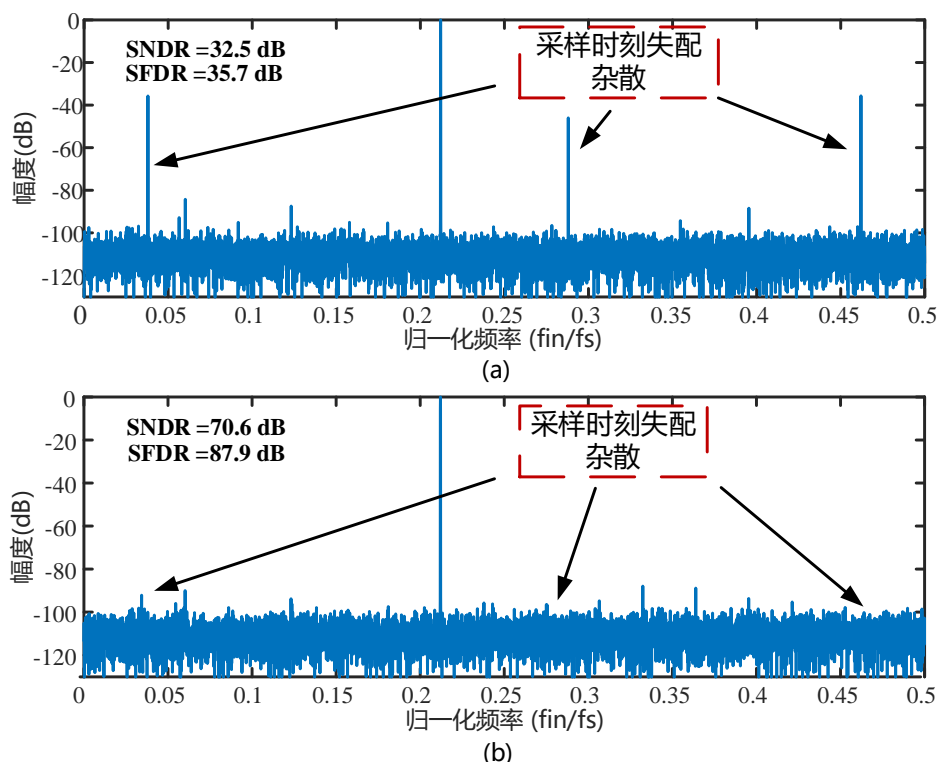


图 3.12 四通道单音正弦信号校准前后频谱对比 (a) 校准前频谱 (b) 校准后频谱

Figure 3.12 Comparison of spectrum before and after calibration of four-channel monophonic sine signal (a) spectrum before calibration (b) spectrum after calibration

从仿真结果看, 所提出的基于差值的低复杂度快速校准方法能够有效消除 TIADC 系统中由于采样时刻失配引起的噪声, 校准收敛时间短, 只需要一千多次采样时刻失配参数即可达到稳定, 校准效果显著。

图 3.13 显示了校准前后, 不同频率下 SNDR 和 SFDR 的变化趋势。一般来说, SFDR 的值会远大于 SNDR。在第一奈奎斯特区, 当归一化频率小于 $0.45f_s$ 时, SNDR 和 SFDR 都有明显的改善。SNDR 稳定在 70dB 左右, SFDR 稳定在 80dB 左右, 相比于未校准的情况, 分别有 30db 和 40dB 的提升。而归一化频率大于 $0.45f_s$ 以后, 经过校准的两个参数值均下降到了未校准的水平, 这是因为误差校正使用的是一阶导数滤波器, 当输入频率接近奈奎斯特频率后, 导数滤波器频率响应变差导致校准性能出现衰减。

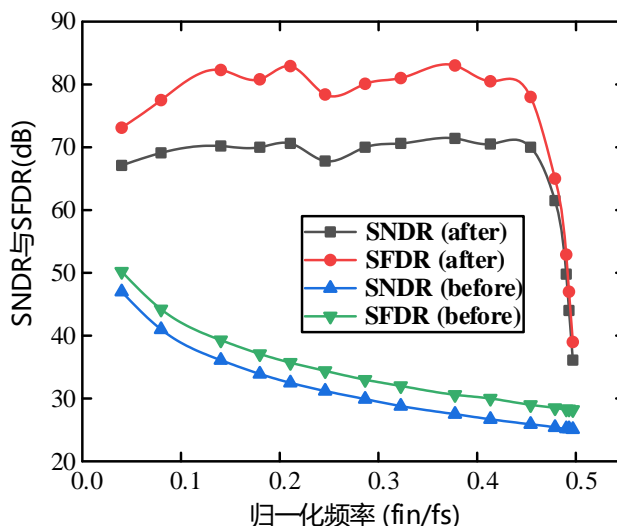


图 3.13 不同归一化输入频率动态性能曲线

Figure 3.13 Dynamic performance curves for different normalized input frequencies

图 3.14 显示了本文提出的算法在第二奈奎斯特区的仿真结果，主要参数参照表中的设置，输入频率变为 $0.927f_s$ 。图中可以看出，输出信号中的杂散被有效抑制了。

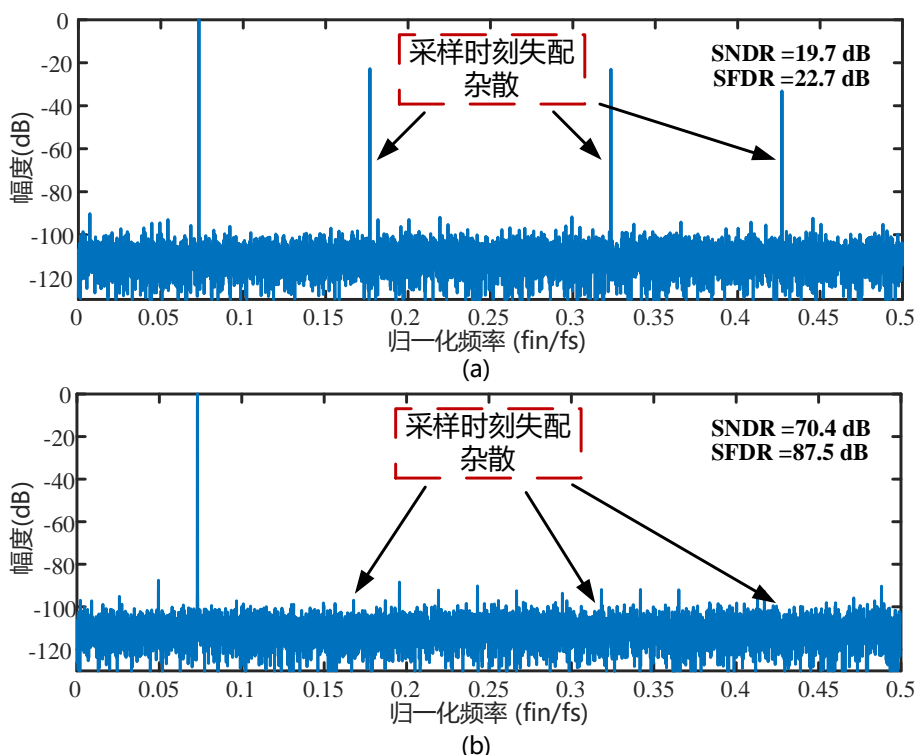


图 3.14 第二奈奎斯特区单音正弦信号校准前后频谱对比 (a) 校准前频谱 (b) 校准后频谱

Figure 3.14 Comparison of the spectrum before and after calibration of the monophonic sine signal in the second Nyquist region (a) spectrum before calibration (b) spectrum after calibration

图 3.15 显示了输入频率在不同奈奎斯特区中的 SNDR 和 SFDR 的表现。图中虚线

表示未经过校正的曲线，实线表示经过校正后的曲线。

图 3.15(a)中，当归一化频率小于 $0.45f_s$ 时，对于未经校准的 TIADC 系统，在单个奈奎斯特准区中，随着输入频率变大，SNDR 逐渐降低。随着输入频率所属奈奎斯特区增大，SNDR 也呈现出降低的趋势。这是因为时间误差失调会随着输入频率增大而增大^[49]。对于经过校准的 TIADC 系统，其 SNDR 曲线值在第一奈奎斯特区到第四奈奎斯特区均在 70dB 附近，表现出了极好的稳定性。表明即使在更高奈奎斯特区，提出的算法也可以提高 TIADC 系统稳定性，降低噪声对系统输出信号的影响。相比于未校准的系统，输入频率越高，SNDR 的提升也越大。图 3.15 中，SFDR 和 SNDR 几乎有相同的表现，都得到了有效的提高。

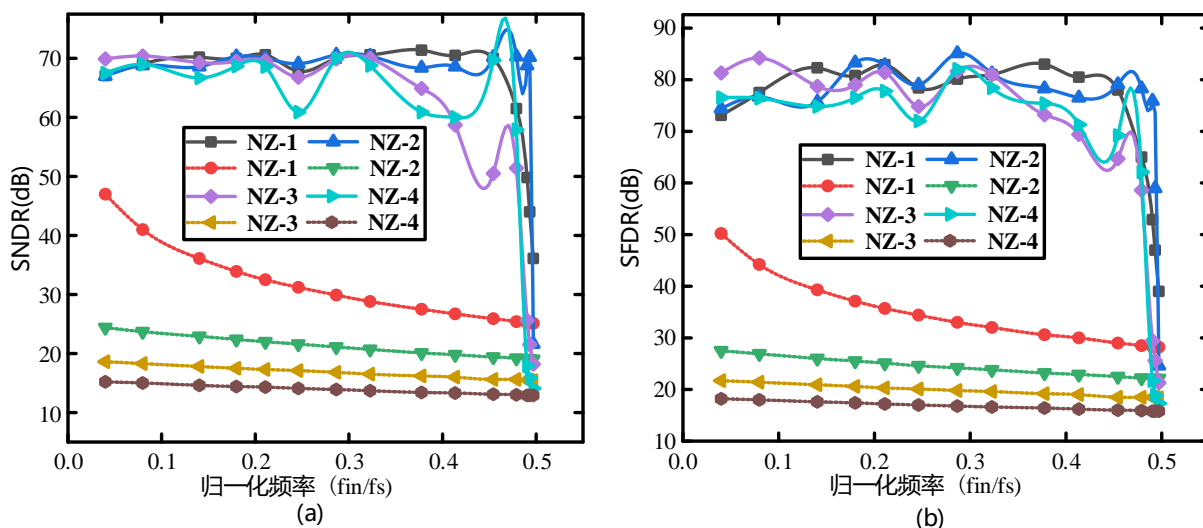


图 3.15 不同奈奎斯特区动态性能曲线 (a) SNDR 变化曲线 (b) SFDR 变化曲线

Figure 3.15 Dynamic performance curves in different Nyquist zones (a) SNDR variation curve; (b) SFDR variation curve

通过以上仿真的验证和分析，可知基于差值与矩阵优化校准方法有效优化了现有算法所存在的局限性问题，不需要计算相关函数的导数和额外设置参考通道，仅需要很少的采样点数即可达到收敛状态。此外，该校准方法可以对输入频率超越第一奈奎斯特区的输出进行校准。

3.3 本章小结

本章详细分析了三类时间失配误差估计算法，并提出了基于差值与矩阵优化的校准方法，从原理上证明了提取失配参数的可行性。接着分析了失调失配和增益失配对算法的影响，然后在行为级层面建模整个校准算法，从仿真角度证明算法的有效性。

通过设计不同的实验仿真算法的校准性能，观察 SFDR 和 SNDR 值衡量算法的校准效果，并对仿真结果进行分析，解释说明每个现象产生的原因。根据行为级仿真实验结果可以得出结论，所提出的算法能够有效消除由于采样时刻失配在结果中引入的杂散，并且该算法在更高的奈奎斯特区也可以达到优秀的滤波效果。

第四章 采样时刻失配参数 RTL 电路实现

上一章主要介绍了提出的采样时刻失配的提取算法，然后从行为级层面仿真算法的正确性和效果。本章将从 RTL 级对所提出的算法进行仿真，主要包括设计整个硬件架构，然后使用 Verilog 语言编写代码完成对算法的 RTL 级建模。最后用 Mental 公司的硬件仿真软件 Modelsim 进行仿真。

4.1 整体架构与关键模块的实现结构

根据算法实施原理和校准流程，设计了一个四通道的校准电路，RTL 系统框架如图所示。该系统有四个输入端，一个输出端。输入端为时钟信号，复位信号，输入信号和自适应迭代参数的输入端，输出端为校准后的数字信号。输入信号接受来自上一级 TIADC 未校准的数字输出，时钟和 TIADC 系统共用一个系统时钟信号。

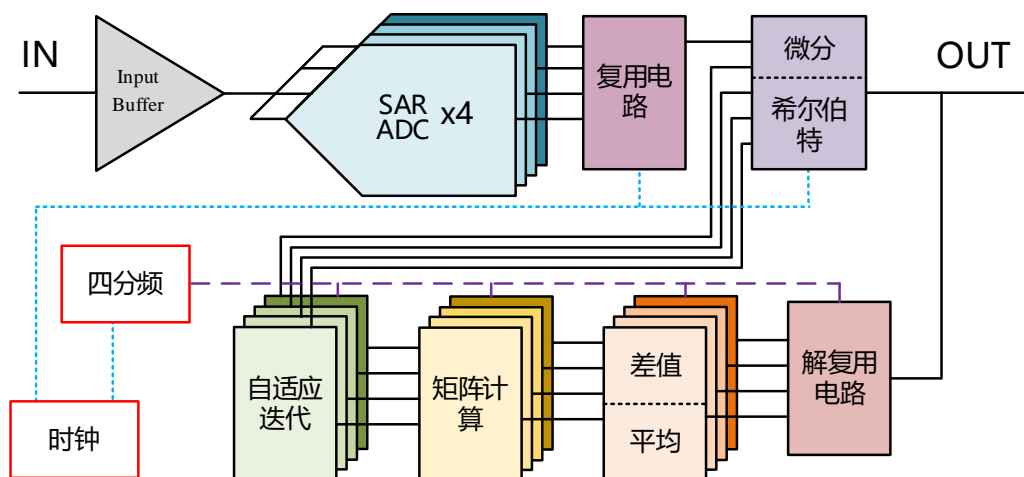


图 4.1 基于差值与矩阵优化校准方法数字电路总框图

Figure 4.1 General block diagram of digital circuit based on difference and matrix optimization calibration method

如图 4.1 所示，当上一级未校准的数字输出信号到来后，经过数据缓存，接着进入误差校正模块，单次校准完成后数据输出分为两路，一路流向校准模块的输出，一路进入采样时刻失配参数估计模块。采样时刻失配参数模块分为做作差模块，累加平均模块和计算模块。参数提取模块输出连接自适应迭代的输入，经过自适应迭代以后输出到误差校正模块。此外，还有一个独立的时钟分频模块。系统时钟用于驱动数据缓存模块、误差校正模块和 1:4 数据分配器。由于 TIADC 系统采用的是 4 通道模式，所以系统时钟经过 4 分频后生成 CLK/4 的时钟，驱动误差提取模块和自适应模块。

4.1.1 误差提取模块

(1) 矩阵电路设计

根据提出的算法原理，误差提取模块分为两部分，做差后的累加求平均以及对平均值进行矩阵运算。做差值运算的电路实现简单，用加法器即可。求平均电路的设计在上一小节已经有详细的介绍。因此，只需要对矩阵计算电路模块进行设计。

对于一个通道数为 N 的 TIADC，其校准电路中矩阵的阶数为 $(N-1) \times N$ 。只要通道数不变，矩阵的阶数就不变，矩阵中包含的元素大小也随之固定，所以在实际工作中无需改变矩阵即可对一个固定通道的 TIADC 进行校准，很大程度上降低了系统复杂度，也降低了电路设计的难度。

根据 3.3.1 小节矩阵计算部分的原理，对于一个四通道的校准算法，其矩阵为：

$$P = \begin{bmatrix} 3 & -1 & -1 & -1 \\ 2 & 2 & -2 & -2 \\ 1 & 1 & 1 & -3 \end{bmatrix} \quad (4.1)$$

考虑到在数字电路的底层运算逻辑中，十进制运算都会转化为二进制码后再进行计算，所以可以将式 (4.1) 矩阵转化为以 2 为底的一系列数的和，那么该矩阵可以改为下列形式：

$$P = \begin{bmatrix} 2^1 + 2^0 & -2^0 & -2^0 & -2^0 \\ 2^1 & 2^1 & -2^1 & -2^1 \\ 2^0 & 2^0 & 2^0 & -2^1 - 2^0 \end{bmatrix} \quad (4.2)$$

原始的求解公式中，为了获得采样时刻失配因子，需要计算 $P \cdot A$ ，而矩阵的乘法会消耗较多硬件资源。但是使用经过变换后的矩阵，乘法操作都转化为移位操作，这将有效的减小硬件开销，简化电路复杂度。图 4.2 以求解第二通道的采样时刻失配因子为例，介绍改进后的矩阵乘法电路图，其它通道的求解电路和第二通道的相似。

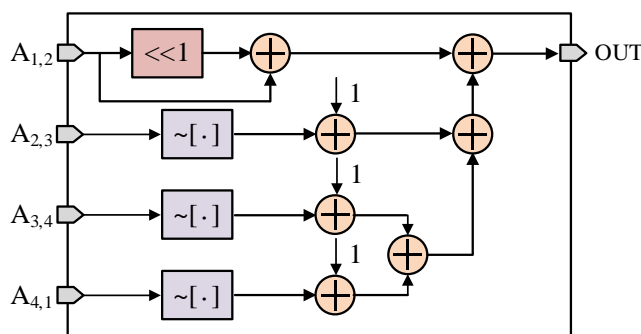


图 4.2 矩阵计算模块

Figure 4.2 Matrix calculation module

(2) 自适应电路设计

如 3.3 节描述, 迭代计算模块用于稳定输出, 防止计算过程中出现输出震荡导致参数提取错误的问题。同时, 该模块也可以加快迭代收敛速度。该模块的原理是 LMS 自适应迭代算法, 迭代原理和公式在 3.3 小节中已有详细介绍, 此处不再赘述。它的硬件设计由一个乘法器、一个累加器和一个延时模块实现, 电路结构如图 4.3 所示。

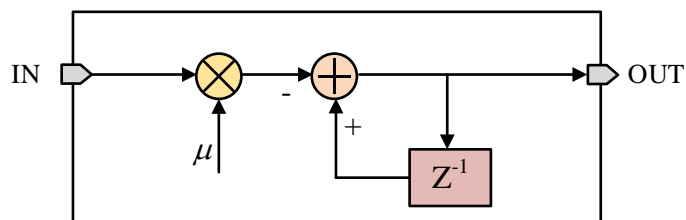


图 4.3 自适应迭代计算模块

Figure 4.3 Adaptive iterative computation module

(3) 累加平均电路设计

累加平均器模块中, 累加电路实现起来较为容易, 但是取平均影响着电路的运行速度和误差提取精度以及收敛速度, 不一样的求平均电路效果也不尽相同, 所以需要对其进行设计以满足所提出算法的需要。

传统的方法是当输出累加到一定次数后除以总次数, 就可以得到平均值, 其实现原理结构如图所示。传统的平均器在用在文中提出的算法下, 需要大量的采样点数才能求出平稳准确的时间误差信号, 而且需要多次求平均。从图 4.4 的实现结构可以看出, 随着采样点越多, 平均器的延时越大。过高的延时会使系统收敛时间变长, 降低系统运行速率, 增大硬件消耗, 无法实现高性能器件的要求。此外, 在累加的时间段内平均器的输出值只能维持上一个阶段的计算结果, 也就是说传统平均器的输出是阶段性的, 会导致输出不平滑, 容易上下摆动, 增大了信号出错几率。

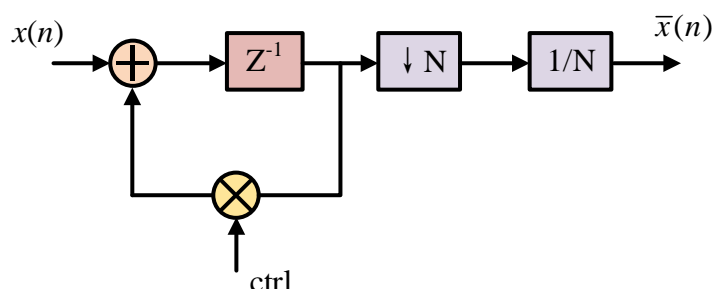


图 4.4 传统求平均算法

Figure 4.4 Traditional averaging algorithm

由于传统平均器不符合设计要求，所以采用 MMA（Modified Moving Average）代替传统硬件结构。MMA 的实现原理来自于无限冲激响应滤波器（Infinite Impulse Response, IIR），MMA 的表达式为：

$$\begin{aligned}\bar{x}(n) &= \frac{1}{N}x(n) + \frac{1}{N}(x(n-1) + x(n-2) + \cdots + x(n-N+1)) \\ &= \frac{1}{N}x(n) + \frac{1}{N}((N-1)\bar{x}(n-1)) \\ &= \alpha x(n) + (1-\alpha)\bar{x}(n-1)\end{aligned}\quad (4.3)$$

其中， N 是平滑因子的倒数， $x(n)$ 是当前输入， $\bar{x}(n-1)$ 是上一次的输出。从公式可以看出，MMA 只需要上一个样本就可以直接获得平均值。虽然开始时的误差会比较大，但是随着样本数量的增多，输出会逐渐收敛于信号的期望值。它的输出是实时且连续的，相比于传统平均器，数据不会突变，其精度和平滑度都会得到很大的提升。硬件的实现结构如图 4.5 所示。实现该平均器只需要两个加法器和一个乘法器，硬件资源消耗比传统平均器小很多。

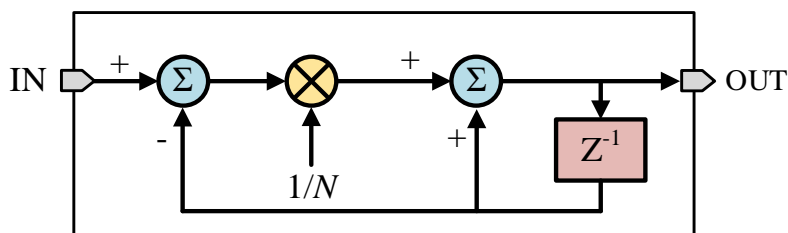


图 4.5 滑动累加平均模块

Figure 4.5 Sliding cumulative averaging module

4.1.2 误差校正模块

校正模块的硬件实现有两种方式，在模拟域实现和在数字域实现。模拟域常用方法是，在 TIADC 的模拟域的时钟路径上加入可变延时线，利用提取到的采样时刻失配调整各个通道数据到达 ADC 的时间。模拟可变延时线一般通过器件延时或者传输线延时实现。高频电路的模拟延时器件实现效果不理想。器件延时由于对工艺波动和外界温度变化敏感，输出线性度差。对幅度极小的误差信号，容易产生额外噪声。因为使用电容组，传输线延时器件频繁充放电极大增加了系统功耗。此外调整适配时间的精度取决于驱动电压和电容的大小，很难满足高精度的要求。数字域的一种常用方法是一阶导数补偿法，该校正方法无需改变模拟电路部分，直接修正 TIADC 的输出。一阶导数的校正电路设计简单效果显著，不受温度和电压等因素影响，因此不会引入外部

噪声。结构如图 4.6 所示。

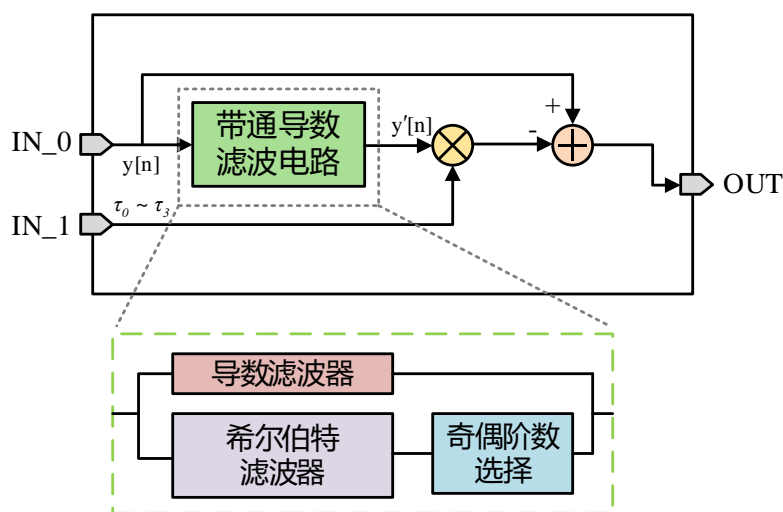


图 4.6 误差校正模块

Figure 4.6 Error correction module

(1) 导数滤波电路设计

由于输入信号是四个通道复用后的数字输出，要求输出相位是线性的。无限长单位冲激序列（Infinite Impulse Response, IIR）想做成线性相位滤波器需要加入额外的延时单元来补偿非线性误差，这会增大硬件面积和功耗，所以采用有限长单位冲激序列（Finite Impulse Response, FIR）来设计导数滤波器。FIR 滤波器是线性相位滤波器，不会出现相位失真，只会出现幅度失真，因此比 IIR 更适合做导数滤波器。图 4.7 显示了导数滤波器模块的硬件组成。

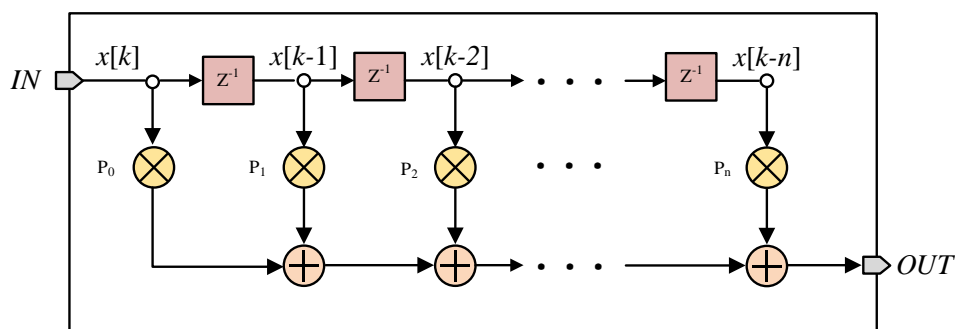


图 4.7 导数滤波器模块

Figure 4.7 The derivative filter module

(2) 希尔伯特滤波器电路设计

在 3.3.3 小节已经详细介绍了希尔伯特变换的原理。通过 Matlab 软件得到希尔伯特滤波器的系数，根据所得系数实现并行结构的直接式 FIR 滤波器。根据 FIR 的系统函数可以看出，输入信号经过延迟后与其对应的系数相乘，然后将相乘之后的结果进行乘

累加运算就可以得到滤波器的输出信号。根据以上分析，48 阶希尔伯特滤波器的结构如图 4.8 所示，该结构主要包含移位寄存器模块和乘累加模块。

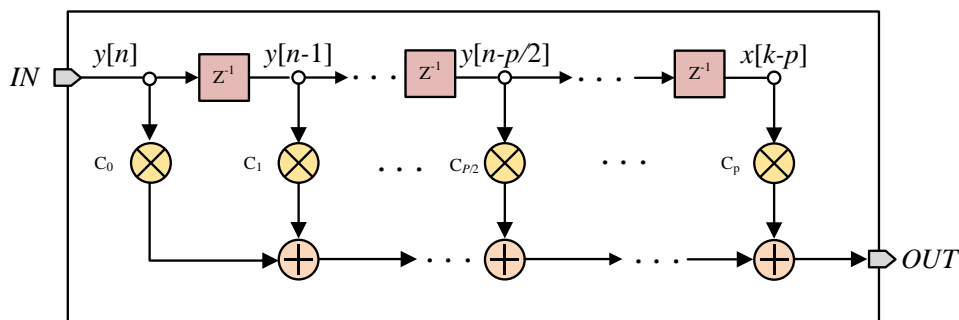


图 4.8 P 阶 FIR 数字希尔伯特滤波器框图

Figure 4.8 Block diagram of P-order FIR digital Hilbert filter

4.1.3 关键模块的 RTL 实现

根据电路工作的原理，用 Verilog 硬件语言搭建电路，通过 Quartus II 软件编译和综合后，实现了关键部分的硬件电路。

(1) 滑动累加平均电路

滑动累加平均电路的设计首先要解决的问题是小数的运算。由于硬件中无法直接表示小数和进行小数的运算，所以在 Verilog 中需要把变量的值先扩大一定的倍数后再截取相应的位数。进行小数运算时需要确定小数点的位置，该位置取决于扩大倍数的多少。由于硬件的计算是基于二进制的，对 2 的乘法可以变为左移的操作，所以一般倍数取 2 的整数次幂，即根据整数部分及小数的精度确定扩展多少个高位。同理，选取 2 的整数次幂作为滑动平均的系数 N，有利于减小硬件复杂度，占用更少的 FPGA 的计算资源。在滑动平均电路中集成了一个深度为 N 的同步双口 RAM 存放量化值，用来计算和。该 RAM 工作在同一个时钟下，当存储器的空间被占满后，每次有一个数据流入，就会有一个数据流出，因此随着值的不断输入，输出会收敛于一个常数，并在该常数附近波动，波动的程度取决于 N 的大小。实现的电路如图 4.9 所示。

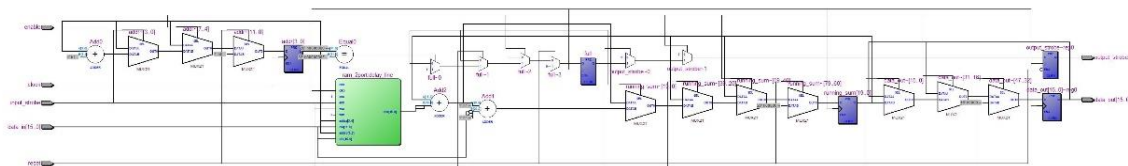


图 4.9 滑动累加平均电路硬件实现图

Figure 4.9 Hardware implementation of the sliding accumulative averaging circuit

(2) 基于 FIR 滤波器的导数滤波电路和希尔伯特滤波电路

由 4.1.2 节可知，由于 FIR 滤波器具有线性时不变的特性，所以导数滤波电路和希尔伯特滤波电路都基于等纹波法的 FIR 滤波器实现。按照 FIR 滤波电路的实现原理，实现的电路结构如图 4.10 所示，该结构主要利用了乘累加计算以及 D 触发器实现数据的延时。利用 Matlab 自带工具对两种电路的系数进行设计。导数滤波器的频率设定为归一化频率，通带截止频率为 0.5，阻带截止频率为 0.55。在 FIR 滤波器设计中还有一个密度因子需要设计，根据官方给出的解释，提高该因子的值可以增大频率网的密度，使设计出的滤波器更接近理想性能，但是会增大滤波器计算公式的复杂度。经过对比，增大该因子对滤波器的幅频特性并无太大改变，所以选取最小值 16。希尔伯特滤波器是全通型的，所以只需要设置为在 0 和 f_s 处幅值为 0 的带通滤波器即可。通带截止频率为 0.05，阻带截止频率为 0.95，密度因子设置为 16。得到系数后存为 txt 格式，读入写好的 Verilog 代码中，或者直接写入就可以实现对应滤波器的电路。

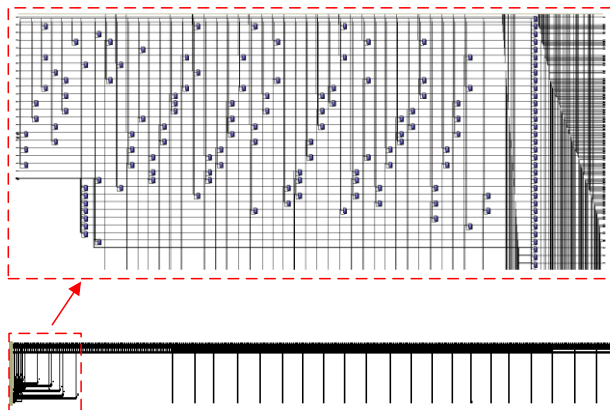


图 4.10 FIR 滤波器的硬件实现电路图

Figure 4.10 Circuit diagram of the hardware implementation of the FIR filter

4.1.4 整体架构实现

各个部分的电路完成以后，将模块化的小电路例化到顶层电路中，连接好的电路如图 4.11 所示。

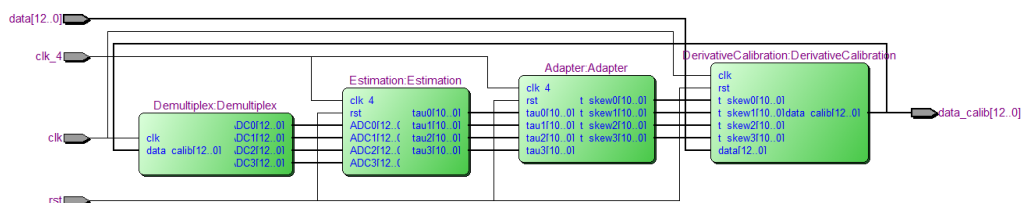


图 4.11 基于差值与矩阵优化校准方法的 Verilog 电路实现

Figure 4.11 Implementation of Verilog circuit based on difference and matrix optimization calibration method

4.2 整体架构与关键电路模块的仿真与分析

完成采样时刻失配校准模块电路设计和实现后，需要在 Modelsim 中对其效果进行功能仿真，测试该算法是否能在 RTL 级模型下完成校准。本节先仿真了滑动平均电路、导数滤波电路和希尔伯特滤波电路的功能，最后仿真整体电路的功能。用 Matlab 模拟时间交织模数转换器的输出，产生带有采样时刻失配的数字信号。在 Modelsim 环境下，校准电路接收带失配的数字信号并提取该信号中的失配参数，最后利用失配参数对信号进行校正。最后将得到的输出数据从 Modelsim 导出 txt，再导入到 Matlab 中进行快速傅里叶变换分析，查看输出中的杂散是否被有效的抑制。如果杂散被抑制，说明校准电路的功能可以实现。

4.2.1 滑动平均器仿真

为了更直观的对比传统求平均电路和滑动求平均电路的区别，这两种电路被放入了一个模块中，对同一个输入信号做求平均的运算。输入信号均值为 1038，波动范围设为正负 60，求平均系数设为 1024。从图 4.12 中可直观的看出，在时钟驱动信号的周期设为 10ns 时，传统平均电路在 10240ns 左右开始计算均值，并且均值为十六进制的 40e，也就是十进制的 1038。传统平均电路的输出曲线呈台阶式，滑动平均电路的输出曲线则从 0 开始平滑的向上增长，直到 5700ns 左右计算出均值，不仅输出稳定，计算速度也比传统平均电路快了近一倍。

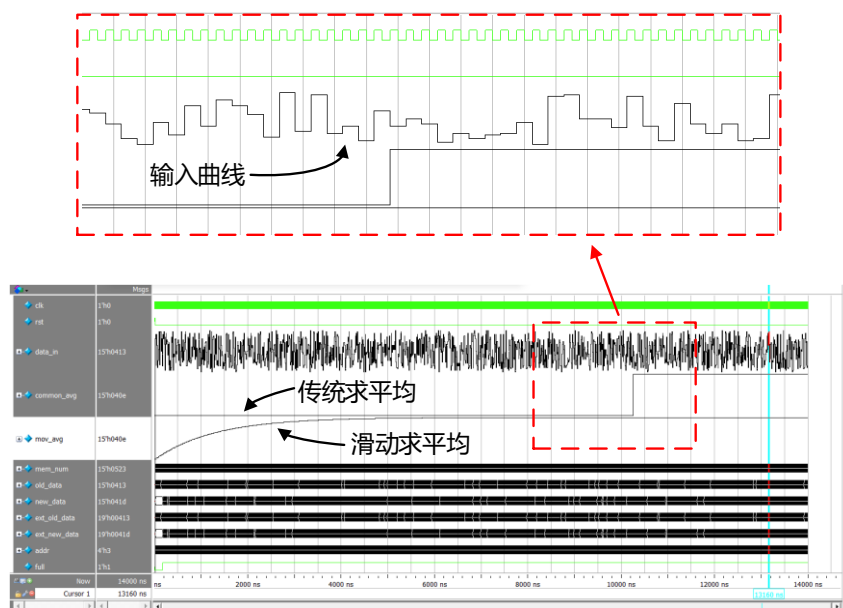


图 4.12 求平均电路仿真图

Figure 4.12 Simulation diagram of averaging circuit

4.2.2 导数滤波电路仿真

对导数滤波电路的仿真结果如图 4.13 所示，输入为一个正弦波，周期为 10π ，初始相位为 0 度，振幅为 30 。对应的输入端口为 `filter_in`，输出端口 `filter_der` 对应经过导数滤波电路处理后的信号。显然，经过电路运算后的输出信号相对于输入信号在相位上提前了 90 度，信号由正弦变成了余弦，导数滤波电路可以实现对输入信号的微分操作。

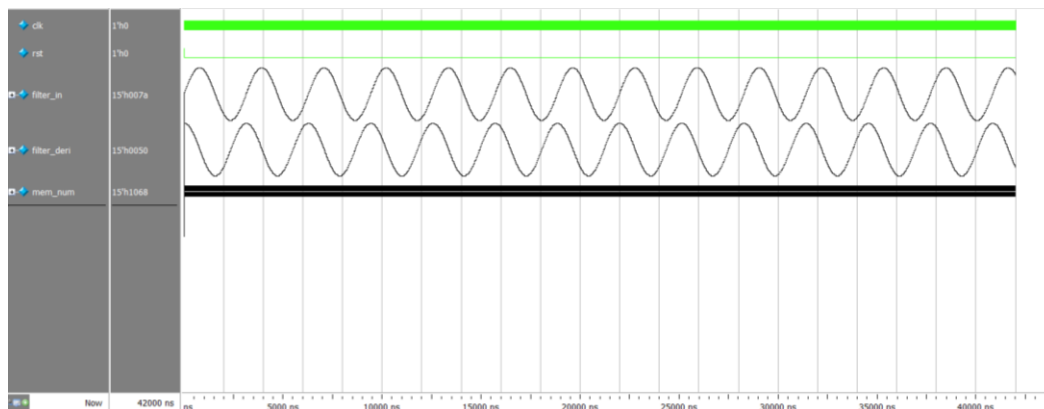


图 4.13 导数滤波电路仿真图

Figure 4.13 Simulation of the derivative filter circuit

4.2.3 希尔伯特滤波电路仿真

希尔伯特滤波电路的仿真测试信号和导数滤波电路一样，都采用正弦输入，且参数也保持相同。三个端口 `filter_in`，`filter_real`，`filter_img` 分别为输入信号，输出信号的实数部分和虚数部分。显然，实数部分和输入信号的相位保持一致，虚数部分的相位滞后了 90 度，和原本信号正交，而且三个信号的振幅都相同。由此可见，设计的电路可以实现希尔伯特变换的操作。

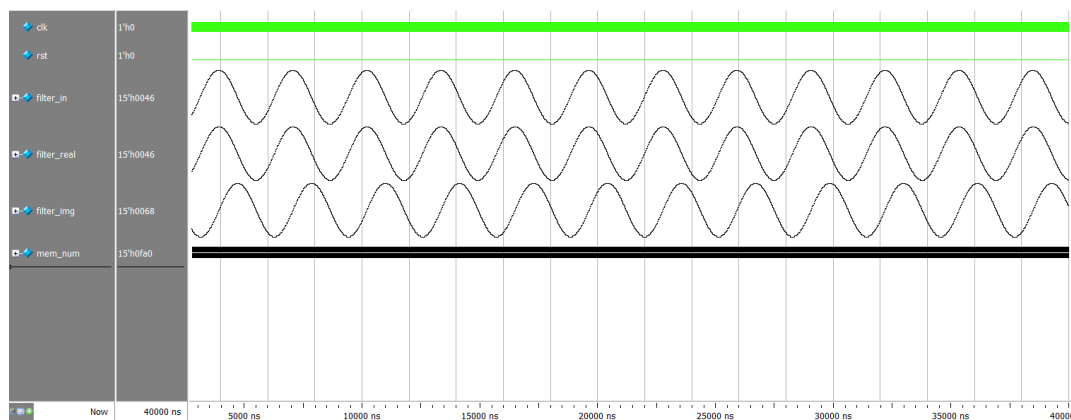


图 4.14 希尔伯特滤波电路仿真图

Figure 4.14 Hilbert filter circuit simulation diagram

4.2.4 四通道 TIADC 仿真

基于硬件设计，编写测试模块对设计进行功能测试。除了采样时刻失配误差参数值，其它仿真参数和表 3.1 一致。图 4.15 为采样时刻失配参数的仿真结果，图中可以看出，在计时到 44095ns 附近开始收敛。测试模块中设定的单个采样时钟周期为 10ns，即采样次数在 4.4k 时采样时刻失配参数开始收敛，收敛参数的值用十进制表示分别为 4096、4300、4260 和 3933。

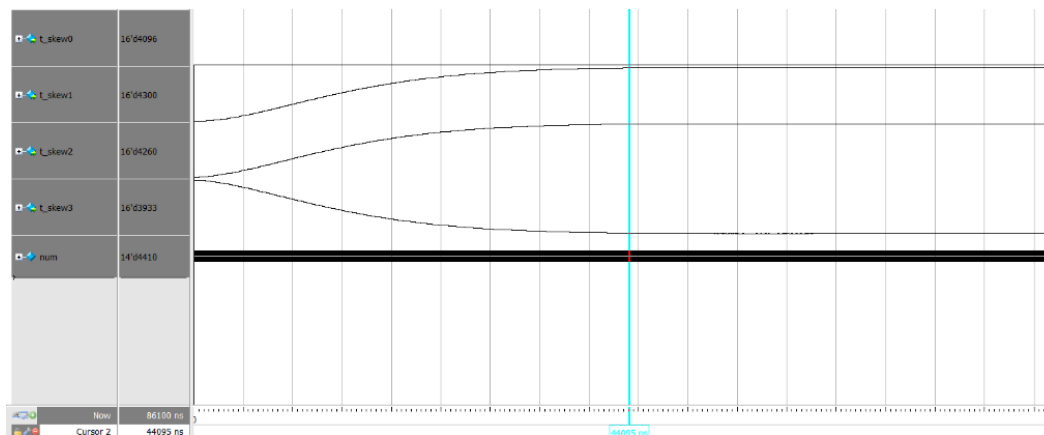


图 4.15 采样时刻误差参数 Modelsim 仿真图

Figure 4.15 Sampling moment error parameter Modelsim simulation

因为输出值需要取小数，所以在代码中对输入值进行了放大。为了得到真实结果，需要将提取到的输出值还原，从结果中减去 4096，转化后的结果如表 4.1 所示。从表中的数据可以看出，提取出采样时刻失配实际值的相对误差分别为 0，0.29%，0，1.0%，可以认为该算法能够精确的完成误差提取。

表 4.1 RTL 级仿真中采样时刻失配误差

Table 4.1 Sampling moment mismatch errors in RTL-level simulation

通道的序号	预设参数	估计参数	估计偏差
一	0.01	000: (0000000000000000) _b : (0) _d	0
二	0.035	204: (00000011001100) _b : (0.0249) _d	0.0001
三	0.03	164: (00000010100100) _b : (0.0200) _d	0
四	-0.01	-163: (10000010100011) _b : (-0.0199) _d	-0.0001

验证了所提校准算法对参数的估计效果之后，需要进一步测试对 TIADC 整体性能的改善效果。对校准电路进行仿真后，把输出数据导出并进行快速傅里叶变换分析，将校准后的频谱图和校准前的对比，如图 4.16 所示。红色的是校准后的频谱，蓝色是校准前的频谱。从图中可见，基于差值与矩阵优化的后台校准算法能够显著抑制由采

样时刻失配误差引起的杂散，所有对应的杂散谱线均衰减至-80dB 以下，SNDR 和 SFDR 分别从 26.9dB 和 35.7dB 提升至 70.2dB 和 83.7dB，有效位数也从 4.2bit 提升至 11.4bit，几乎提升了两倍，TIADC 的动态性能得到显著改善，如表 4.2 所示。因此，可以认为提出的校准算法具有良好的可实现性和改善动态性能的能力，能够实现对采样时刻失配误差的估计与校准。

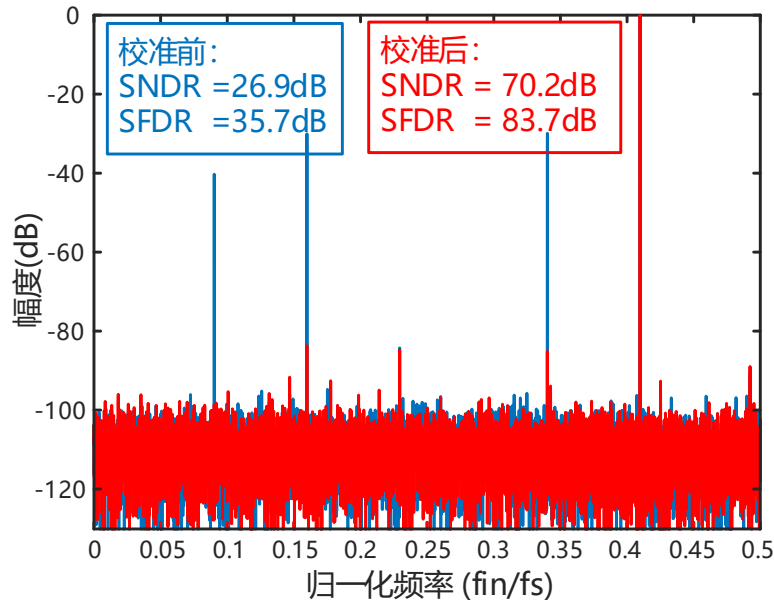


图 4.16 应用基于差值与矩阵优化校准算法前后 TIADC 输出频谱对比图

Figure 4.16 Comparison of TIADC output spectrum before and after applying the difference-based and matrix-optimized calibration calculation

表 4.2 四通道电路校准前后动态参数对比

Table 4.2 Comparison of dynamic parameters before and after calibration of the four-channel circuit

动态参数	SFDR(dB)	SNDR(dB)	ENOB(bit)
校准前	33.9	26.9	4.2
校准后	83.7	70.2	11.4
改善	49.8	43.3	7.2

4.2.5 其它通道数的 TIADC 仿真

根据提出算法的原理，校准通道数量可以拓展至任意通道数。为了测试该算法在 RTL 仿真环境下是否依然具有通道扩展性，对六通道和八通道的校准电路做出了仿真。更改了输入信号及校准算法，使输入信号拓展为六通道和八通道，校准电路也拓展到对应的通道数，更改的仿真参数如表 4.3 所示，其它参数和表 3.1 一致。

表 4.3 其它通道仿真参数

Table 4.3 Other channel simulation parameters

参数类型	六通道参数值	八通道参数值
通道数 (个)	6	8
归一化输入频率	$3357 \cdot f_s$	$3357 \cdot f_s$
时间偏移量	(0.01, 0.035, 0.03, -0.01, 0.02, -0.015)	(0.01, 0.035, 0.03, -0.01, 0.02, -0.015, 0, 0.015)

如图 4.17 和 4.18 所示，从六通道和八通道仿真结果的 FFT 分析来看，未校准之前，六通道 TIADC 产生了六处杂散，SNDR 和 SFDR 分别从 32dB 和 34.1dB 提升到了 70.1dB 和 83.5dB。八通道 TIADC 产生了八处杂散，SNDR 和 SFDR 分别有 40.3dB 和 52.3dB 的改善。从结果看，在多通道输出的情况下，TIADC 的动态性能依然提升了很多，可见提出的基于差值与矩阵优化的采样时刻失配校准方法可以拓展到对其它通道的校准。

表 4.4 其它通道电路校准前后动态参数对比

Table 4.4 Comparison of dynamic parameters before and after calibration of the other-channel

动态参数	六通道			八通道		
	SFDR(dB)	SNDR(dB)	ENOB(bit)	SFDR(dB)	SNDR(dB)	ENOB(bit)
校准前	33.4	26.3	4.1	33.1	26.2	4.1
校准后	78.5	67.8	11.0	79.2	69.1	11.2
改善	45.1	41.5	6.9	46.1	42.9	7.1

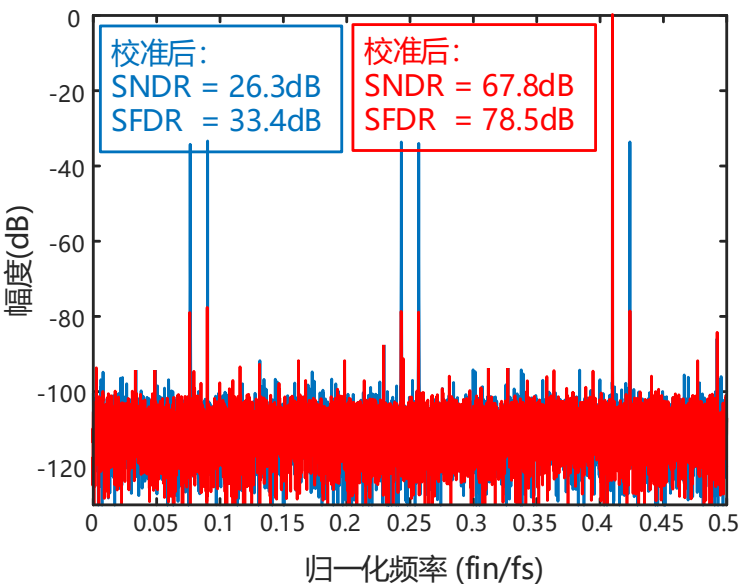


图 4.17 六通道 TIADC 仿真后 FFT 分析图

Figure 4.17 FFT analysis after six-channel TIADC simulation

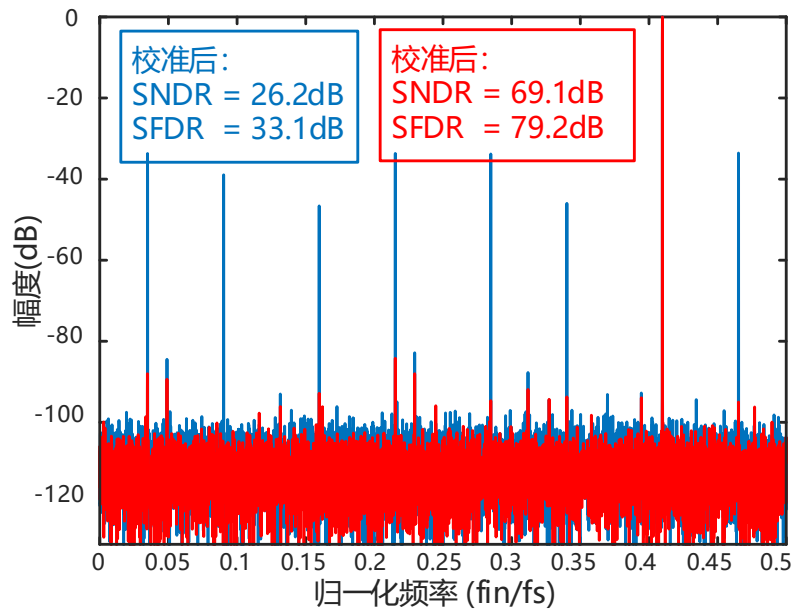


图 4.18 八通道 TIADC 仿真后 FFT 分析图

Figure 4.18 FFT analysis after eight-channel TIADC simulation

表 4.5 将所提算法和现有算法进行了对比，主要选取了近五年内的校准算法，对比的参数主要有精度、通道数、可扩展性、硬件开销程度以及 TIADC 的动态指标。从表中可以更直观的看出各个算法的优缺点，也可以体现出本文提出的基于差值与矩阵优化校准算法的优势。

表 4.5 基于差值与矩阵优化校准方法与现有方法比较

Table 4.5 Comparison of calibration methods based on difference and matrix optimization with existing methods

文献	[21] 2017 VLSI	[50] 2019 TCAS-I	[48] 2020 VLSI	[51] 2019 TCAS-I	[22] 2018 TCAS-I	[52] 2021 TCAS-I	Proposed method
精度	12	10	10	12	N/A	12	12
通道数	4	4	7/8	8	4	16	4
失配类型	时刻	时刻	时刻	时刻	失调，增益 时刻	失调，增益 时刻	时刻
校准类型	数字	数字	数字	数字	数字	数字	数字
任意通道	否	否	否	是	是	是	是
滤波器数量	1	1	N/A	3	2	1	2
采样次数	N/A	80k	80k	3276k	40k	1200k	4k

接表 4.5

加法器数量	N/A	N/A	N/A	N/A	$(M-1)(2L+4)+L-1$	$5M-1+L-1$	$5M$
乘法器数量	N/A	N/A	N/A	N/A	$(M-1)(2L+8)+L$	$5M-1+L$	N/A
其它奈奎斯特区	否	否	是	否	是	否	是
SFDR/SNDR 改善量(dB)	-29.03	24.2/19	-4.3	32.1/-	40/30	40/-	49.8/43.3

4.3 本章小结

本章用 Verilog 硬件语言设计数字电路，从硬件角度仿真所提算法的性能。第一节详细介绍了误差提取模块和误差校正模块的电路结构和设计思路，分析不同结构的优缺点，选取最优的电路。通过 Modelsim 软件仿真设计代码，并对输出结果进行 FFT 分析，结果表明所提算法在硬件中也可以实现校准的功能，可以精确估计采样时刻失配误差并显著提升 TIADC 的动态性能。

总结与展望

总结

在 5G 通信, 自动驾驶, 人工智能等需求的推动下, 电子通信信号越来越趋向高频化。作为连接模拟和数字的桥梁, 模数转换器在其中起着不可替代的作用, 其转换性能直接决定通信的质量。随着数字端对模拟端数据需求量的不断增长以及对精度的要求日益变高, 模数转换器的性能逐渐满足不了当前的数据转换需要, 全球各大企业和各大高校等研究机构都在探索如何设计高性能 ADC。然而 ADC 的分辨率和采样率互相制约, 在不升级工艺情况下, 无法解决这个难题。多通道时间交织模数转换器利用多个通道并行处理数据的技术, 在不降低系统精度的情况下, 可以大幅度的提高采样速度, 具有极高的可拓展性, 一直以来都是被研究的热点。然而实际工作中, 通道之间存在的失配长久制约着 TIADC 的输出线性度和转换精度, 极大降低了 TIADC 的动态性能。

本文主要研究了 TIADC 的采样时刻失配导致的动态性能下降的问题, 工作内容主要体现在以下几个方面:

调研 TIADC 领域的国内外研究现状, 阐述研究 TIADC 的重要意义, 初步提出当前采样时刻失配校准存在的问题。详细介绍 TIADC 工作原理, 证明通过多通道 ADC 交织采样以获得更高性能 ADC 的理论可行性。指出由于工艺波动, 外部环境变化等因素引起的通道间失配问题, 并通过公式, 分别从时域和频域角度推导论证三种失配产生的影响。

根据不同的估计方法原理, 分别介绍基于自相关、差值和确定性均衡性三类算法, 并逐个分析算法的优缺点。然后从算法复杂度、硬件消耗及收敛速度等角度, 提出基于差值与矩阵优化的采样时刻失配估计算法。该算法利用可调的自适应迭代因子提高估计速度和精度, 并且改变校正算法部分的架构, 使输入频率在非第一奈奎斯特区也可以正常工作。在 Matlab 环境下搭建行为级仿真模型, 且仿真结果表明, 在第一奈奎斯特区域, 当标准化频率为 0.21 时, 此算法可以将 SNDR 和 SFDR 提高到 70.6dB 和 87.9dB。此外, 还对输入频率超越第一奈奎斯特区的情况进行了仿真, 结果显示在第二奈奎斯特区到第四奈奎斯特区, 此算法依然可以有效的消除杂散, 提高系统的动态性能。

设计实现算法的 RTL 电路，分别对电路的关键模块进行优化，以获得更好的性能和更少的硬件消耗。利用 Verilog 硬件描述语言实现了算法，并通过 Modelsim 软件和 Matlab 联合仿真，测试该算法在硬件仿真环境中的性能。对四通道模型进行了仿真，当归一化频率为 0.41 时，SNDR 和 SFDR 分别可以达到 70.2dB 和 83.7dB，可以看出该算法在 RTL 级对通道校准的效果也非常好。此外，还对六通道和八通道的模型进行了仿真：六通道模型下，SFDR 和 SNDR 分别提升了 45.1dB 和 41.5dB；八通道模型下，SFDR 和 SNDR 分别提升了 46.1dB 和 42.9dB，结果表明提出的算法在其他通道也能大幅度提高系统动态性能。

综上所述，算法的优势在于只用了加法器和少量的乘法器，极大降低了算法复杂度和硬件资源消耗。此外，该算法可以扩展到任意通道、收敛速度快且输入频率不局限于第一奈奎斯特区，校准效果显著。

展望

本文采用了基于差值的 TIADC 采样时刻失配估计算法，经过仿真验证可以实现对 TIADC 失配的补偿，然而依然有可以改进的方向。

(1) 由于校正模块采用导数滤波器，标准化频率大于 0.45 时，校准精度出现了明显下降，后续可以通过改进导数滤波器或者使用其它校正方法；

(2) 该算法可以同时校准失调失配引起的误差，但是增益失配会对算法性能造成很大影响，需要先校准增益失配。后续可以改进算法，使其可以兼容校准增益失配误差的校准工作；

(3) 该算法只是用软件进行了仿真，后续工作中将利用 FPGA 开发板对算法进行硬件实现，并完成 ASIC 设计和流片工作。

参考文献

- [1] Razavi B. Design considerations for interleaved ADCs [J]. IEEE Journal of Solid-State Circuits, 2013, 48(8): 1806-1817.
- [2] Zhang H, Hassan A, Chen P, et al. Estimation of Broadband time-interleaved ADC's Impairments and Performance Using Only Single-Tone Measurements [J]. IEEE Access, 2022, 10: 50403-50417.
- [3] Zhang M, Zhu Y, Chan C-H, et al. A 20GS/s 8b time-interleaved time-domain ADC with input-independent background timing skew calibration; proceedings of the 2021 Symposium on VLSI Circuits, F, 2021 [C]. IEEE.
- [4] Black W C, Hodges D A. Time interleaved converter arrays [J]. IEEE Journal of Solid-state circuits, 1980, 15(6): 1022-1029.
- [5] 姜子林, 吴旦昱, 季尔优, et al. 基于以太网通信的高采样率 ADC 交织校准实现 [J]. 电子测量技术, 2021, 44(20): 53-59.
- [6] Shen H, John D, Cardiff B. A Background Calibration for Joint Mismatch in the OFDM System With time-interleaved ADC [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(9): 3630-3634.
- [7] Jiang W, Zhu Y, Chan C-H, et al. A 7-bit 2 GS/s time-interleaved SAR ADC with timing skew calibration based on current integrating sampler [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 68(2): 557-568.
- [8] Verma D, Rikan B S, Shehzad K, et al. A Design of 44.1 fJ/Conv-Step 12-Bit 80 ms/s time interleaved Hybrid Type SAR ADC With Redundancy Capacitor and On-Chip time-skew Calibration [J]. IEEE Access, 2021, 9: 133143-133155.
- [9] Liu W, Chiu Y. Time-interleaved analog-to-digital conversion with online adaptive equalization [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2012, 59(7): 1384-1395.
- [10] Murmann B, Manganaro G, Harpe P, et al. Short Course: High Speed/High Performance Data Converters: Metrics, Architectures, and Emerging Topics, F, 2022 [C].
- [11] Kurosawa N, Kobayashi H, Maruyama K, et al. Explicit analysis of channel mismatch effects in time-interleaved ADC systems [J]. IEEE Transactions on Circuits and Systems I:

- Fundamental Theory and Applications, 2001, 48(3): 261-271.
- [12]张倩. 《瓦森纳协定》调整下中国半导体产业发展的思考 [J]. 电子技术应用, 2020, 46(10): 34-38.
- [13]Incorporated T I. ADS54J60 Dual-Channel, 16-Bit, 1.0-GSPS Analog-to-Digital Converter [EB/OL], 2017. www.ti.com.
- [14]Incorporated T I. ADC12DJ5200RF 10.4-GSPS Single-Channel or 5.2-GSPS Dual-Channel, 12-bit,RF-Sampling Analog-to-Digital Converter [EB/OL], 2019. www.ti.com.
- [15]Incorporated A D. AD9249, 16 Channel, 14-Bit, 65 MSPS, Serial LVDS, 1.8 V ADC [EB/OL], 2013. www.analog.com.
- [16]Incorporated A D. AD9680, 14-Bit, 1.25 GSPS/1 GSPS/820 MSPS/500 MSPS JESD204B, Dual Analog-to-Digital Converter [EB/OL], 2017. www.analog.com.
- [17]创新时序交织结构解决实时示波器对超高带宽测试的性能需求 [J]. 国外电子测量技术, 2016, 35(03): 1-4.
- [18]Matsuno J, Yamaji T, Furuta M, et al. All-digital background calibration technique for time-interleaved ADC using pseudo aliasing signal [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(5): 1113-1121.
- [19]陈红梅. 高速时间交织模数转换器数字校准技术研究 [D]; 中国科学技术大学, 2017.
- [20]Le Duc H, Nguyen D M, Jabbour C, et al. Fully digital feedforward background calibration of clock skews for sub-sampling TIADCs using the polyphase decomposition [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 64(6): 1515-1528.
- [21]Chen S, Wang L, Zhang H, et al. All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2017, 25(9): 2552-2560.
- [22]Qiu Y, Liu Y-J, Zhou J, et al. All-digital blind background calibration technique for any channel time-interleaved ADC [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(8): 2503-2514.
- [23]陆昱帆. 时间交织 ADC 频率响应失配数字校准算法的研究 [D]; 中国科学技术大学, 2021.
- [24]Wang X, Li F, Jia W, et al. A 14-bit 500-MS/s time-interleaved ADC with autocorrelation-based time skew calibration [J]. IEEE Transactions on Circuits and Systems II: Express

- Briefs, 2018, 66(3): 322-326.
- [25] Yin M, Ye Z. First order statistic based fast blind calibration of time skews for time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 67(1): 162-166.
- [26] Tao Y, Ragab K, Shao J, et al. A Fast Converging Correlation-Based Background Timing Skew Calibration Technique by Digital Windowing for time-interleaved ADCs; proceedings of the 2022 IEEE International Symposium on Circuits and Systems (ISCAS), F, 2022 [C]. IEEE.
- [27] Seong K, Han J-S, Shim Y, et al. A 2.5 GS/s 7-Bit 5-Way time-interleaved SAR ADC With On-Chip Background Offset and Timing-Skew Calibration [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(10): 4043-4047.
- [28] Järvinen O, Kempf I, Unnikrishnan V, et al. Fully Digital On-Chip Wideband Background Calibration for Channel Mismatches in time-interleaved time-Based ADCs [J]. IEEE Solid-State Circuits Letters, 2022, 5: 9-12.
- [29] Conroy C S, Cline D W, Gray P R. An 8-b 85-MS/s parallel pipeline A/D converter in 1- μ m CMOS [J]. IEEE Journal of Solid-State Circuits, 1993, 28(4): 447-454.
- [30] Xu R, Liu B, Yuan J. Digitally calibrated 768-kS/s 10-b minimum-size SAR ADC array with dithering [J]. IEEE Journal of Solid-State Circuits, 2012, 47(9): 2129-2140.
- [31] 刘艳茹. 并行 ADC 采样通道失配误差的一种实时估计及校正方法研究 [D]; 电子科技大学, 2010.
- [32] 叶凡. 多通道时间交织模数转换器的校正与集成电路实现方法研究 [D]; 复旦大学, 2010.
- [33] Razavi B. " Principles of Data Conversion System Design [Z]. IEEE Press
- [34] Salib A, Flanagan M F, Cardiff B. Time-skew estimation for random sampling sequence time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 67(10): 1809-1813.
- [35] Chang D-J, Choi M, Ryu S-T. A 28-nm 10-b 2.2-GS/s 18.2-mW relative-prime time-interleaved sub-ranging SAR ADC with on-chip background skew calibration [J]. IEEE Journal of Solid-State Circuits, 2021, 56(9): 2691-2700.
- [36] Jamal S M. Digital background calibration of time-interleaved analog-to-digital converters

- [M]. University of California, Davis, 2001.
- [37] 李睿. 高速高精度时间交织型 ADC 校准技术研究 [D]; 电子科技大学, 2022.
- [38] Poulton K, Neff R, Setterberg B, et al. A 20 GS/s 8 b ADC with a 1 MB memory in 0.18/spl mu/m CMOS; proceedings of the 2003 IEEE International Solid-State Circuits Conference, 2003 Digest of Technical Papers ISSCC, F, 2003 [C]. IEEE.
- [39] Khakpour A, Karimian G. A new fast convergent blind timing skew error correction structure for TIADC [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 68(4): 1512-1516.
- [40] Bè G, Parisi A, Bertulessi L, et al. A 900-MS/s SAR-Based time-interleaved ADC With a Fully Programmable Interleaving Factor and On-Chip Scalable Background Calibrations [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(9): 3645-3649.
- [41] Guo M, Sin S-W, Qi L, et al. Background Timing Mismatch Calibration Techniques in High-Speed time-interleaved ADCs: A Tutorial Review [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022.
- [42] Liu S, Zhao L, Li S. A Novel All-Digital Calibration Method for Timing Mismatch in time-interleaved ADC Based on Modulation Matrix [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(7): 2955-2967.
- [43] Ni M, Wang X, Li F, et al. A 13-bit 2-GS/s time-interleaved ADC with improved correlation-based timing skew calibration strategy [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 69(2): 481-494.
- [44] Callens N, Gielen G. A time-interleaved Extended-Counting Incremental $\Delta\Sigma$ for Low-Noise High-Speed 3D-Stacked CMOS Image Sensors [J]. IEEE Sensors Letters, 2022, 6(8): 1-4.
- [45] Camarero D, Kalaia K B, Naviner J-F, et al. Mixed-signal clock-skew calibration technique for time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2008, 55(11): 3676-3687.
- [46] Nam J-W, Hassanpourghadi M, Zhang A, et al. A 12-bit 1.6, 3.2, and 6.4 GS/s 4-b/cycle time-interleaved SAR ADC with dual reference shifting and interpolation [J]. IEEE Journal of Solid-State Circuits, 2018, 53(6): 1765-1779.
- [47] Huang C-C, Wang C-Y, Wu J-T. A CMOS 6-bit 16-GS/s time-interleaved ADC using

- digital background calibration techniques [J]. IEEE Journal of Solid-State Circuits, 2011, 46(4): 848-858.
- [48] Guo M, Mao J, Sin S-W, et al. A 1.6-GS/s 12.2-mW seven-/eight-way split time-interleaved SAR ADC achieving 54.2-dB SNDR with digital background timing mismatch calibration [J]. IEEE Journal of Solid-State Circuits, 2019, 55(3): 693-705.
- [49] El-Chammas M, Murmann B. General analysis on the impact of phase-skew in time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(5): 902-910.
- [50] Li D, Zhu Z, Ding R, et al. A 10-bit 600-MS/s time-interleaved SAR ADC with interpolation-based timing skew calibration [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 66(1): 16-20.
- [51] Salib A, Flanagan M F, Cardiff B. A high-precision time skew estimation and correction technique for time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(10): 3747-3760.
- [52] Niu H, Yuan J. A spectral-correlation-based blind calibration method for time-interleaved ADCs [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2020, 67(12): 5007-5017.