

Circuite logice NMOS

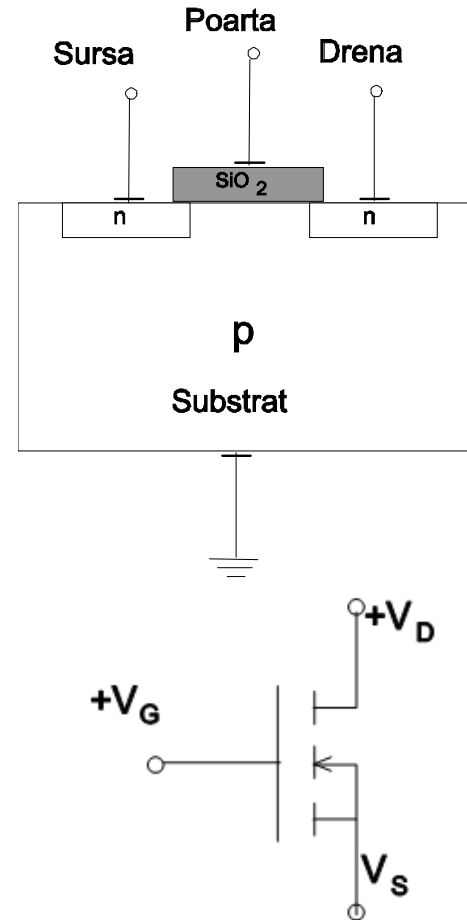
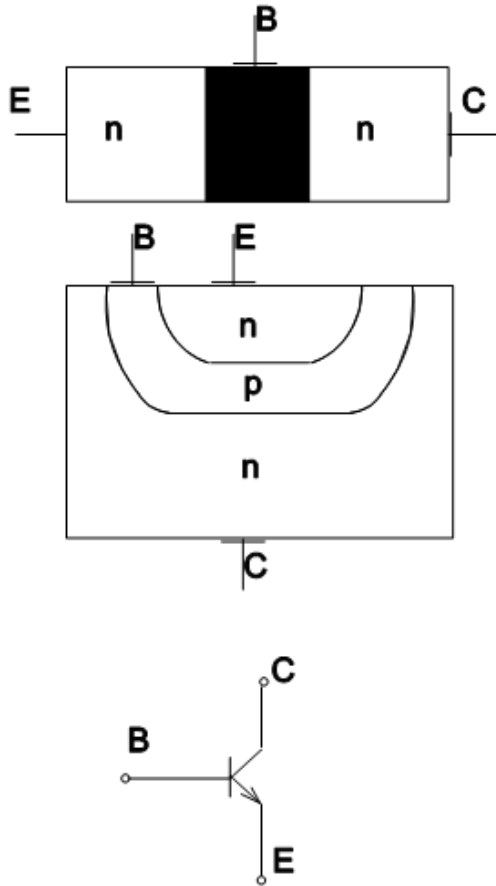
Introducere

Circuite NMOS statice

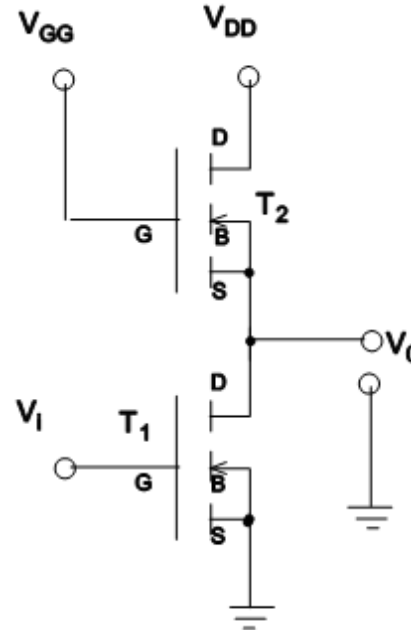
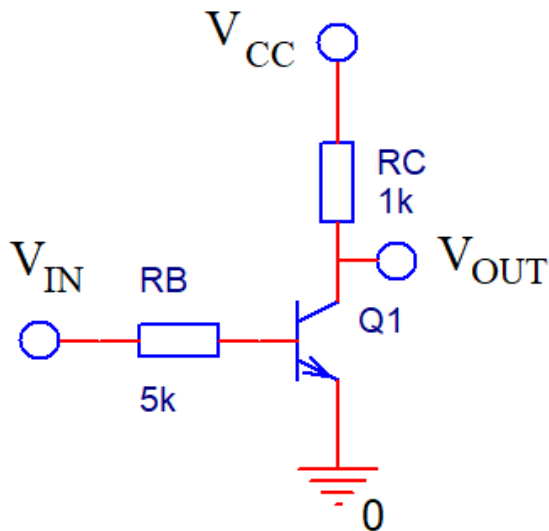
Introducere

- Familiile de circuite PMOS și NMOS bazate pe folosirea tranzistoarelor MOS cu canal indus **p**, respectiv **n**
- În circuitele de comutație se folosesc cu precădere circuite din familia NMOS datorită vitezei de comutație superioare
- Compuse exclusiv din tranzistoare NMOS
- Alimentate de la o singură sursă de tensiune pozitivă
- Nivelele logice depind de tensiunea de alimentare

Tranzistor bipolar vs MOS

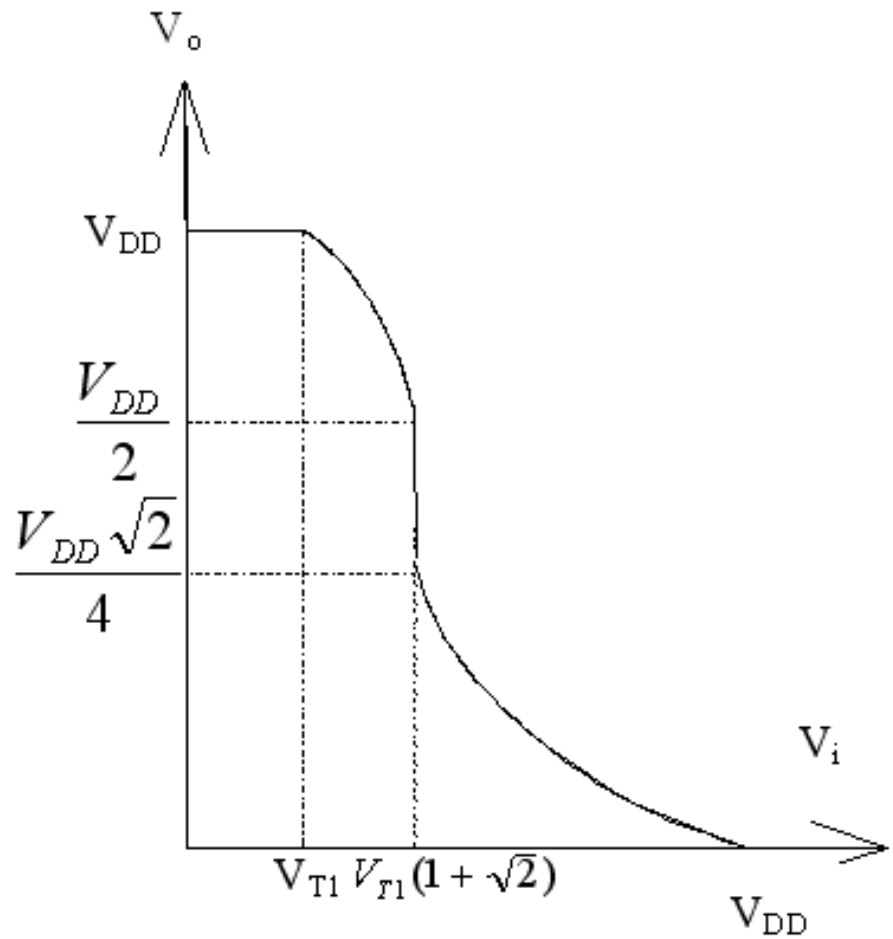
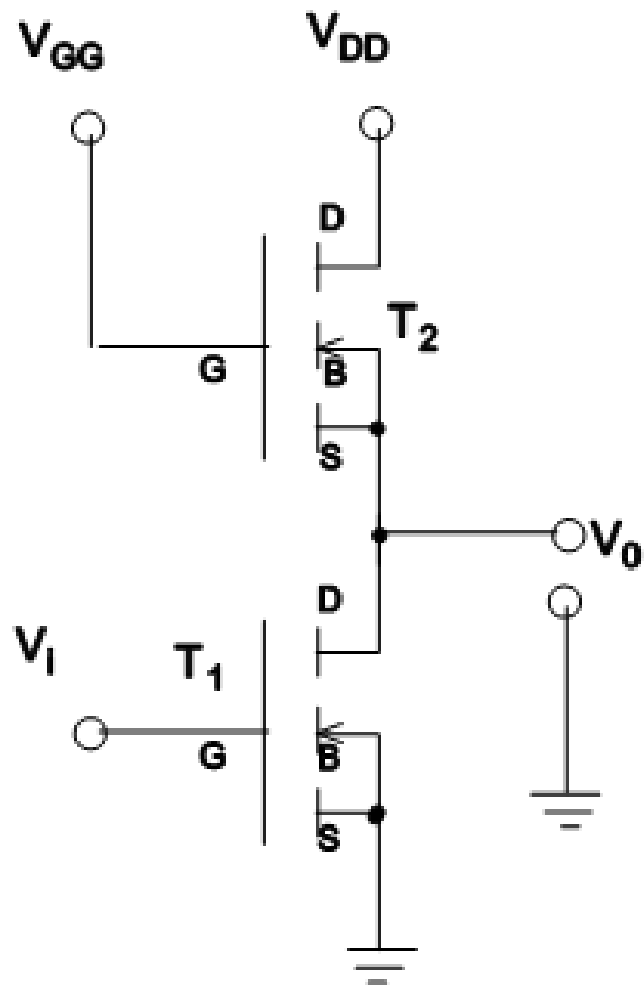


Inversorul NMOS static



- Inversor realizat cu tranzistorul T_1
- T_2 funcționează ca sarcină activă
- În tehnologia MOS rezistențele sunt realizate printr-un tranzistor MOS
- Sarcina externă este în general constituită tot din intrări de tranzistoare NMOS, rezistență de intrare foarte mare, caracter capacitiv

Característica de transfer



Rezistența de sarcină

Realizată cu un tranzistor MOS

Grila alimentată la o tensiune V_{GG}

T_1 conduce, pentru ca V_o sa fie cât mai apropiată de zero, $R_{T2} \gg R_{T1}$:

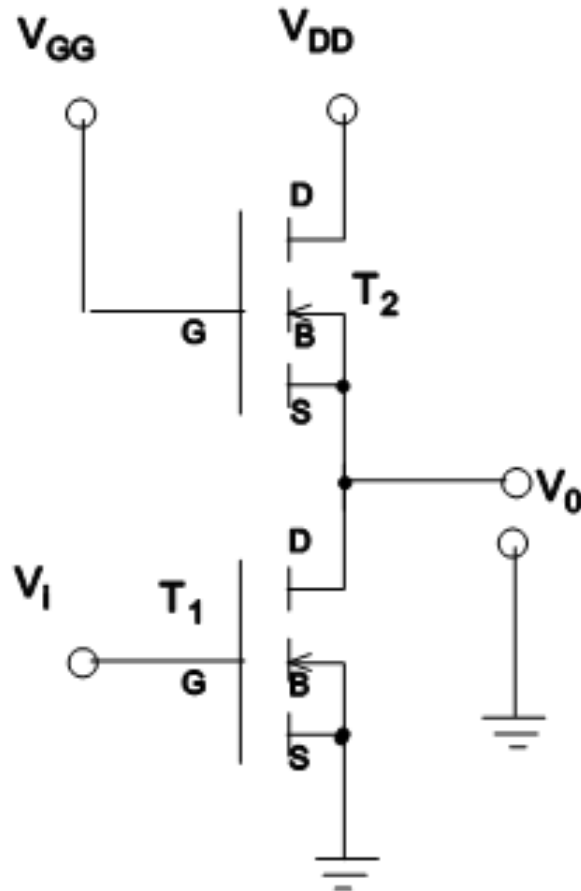
$$\frac{W_1/L_1}{W_2/L_2} \gg 1$$

R_{T1} are valori cuprinse între 0,5 și 10K Ω

Dacă $R_{T1} = 10K\Omega$ și $R_{T2} = 250K\Omega = R_s$

$$V_o = \frac{V_{DD}}{R_s + R_{T1}} R_{T1}$$

Pentru $V_{DD} = 15V$, $V_o = 0,5V$



T_1 este blocat, $V_o = V_{GG} - V_{T2}$, pentru ca V_o sa fie aproximativ V_{DD} , $V_{GG} = V_{DD} + V_T$

Poarta ȘI-NU statică

T_1 și T_2 conectate în serie, pe ale căror grile se aplică semnalele de intrare

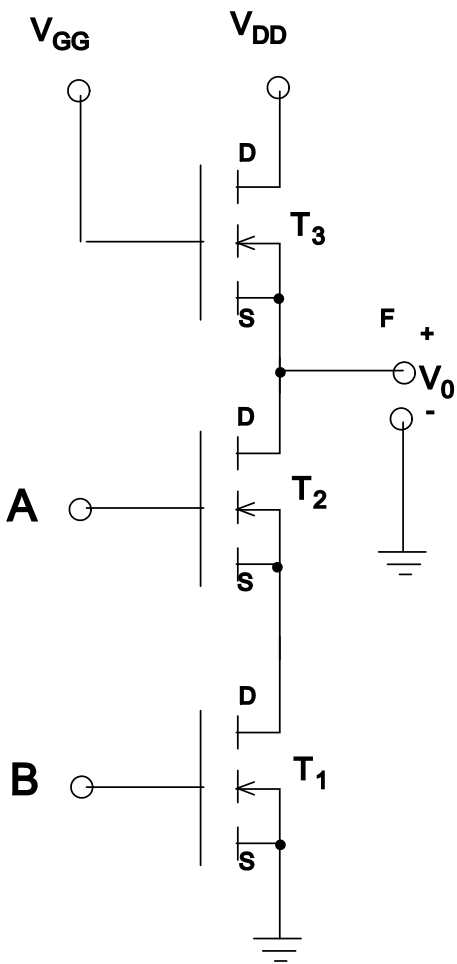
T_3 rezistență de sarcină

Pentru asigurarea la ieșire a unui nivel inferior al tensiunii de ieșire suficient de apropiat de masă, este necesar ca rezistența activă să fie de 20 ori mai mare decât rezistența de trecere a tranzistoarelor de intrare; nu se recomandă legarea în serie a mai multor tranzistoare deoarece creșterea exagerată a rezistenței de sarcină duce la creșterea corespunzătoare a timpilor de comutare

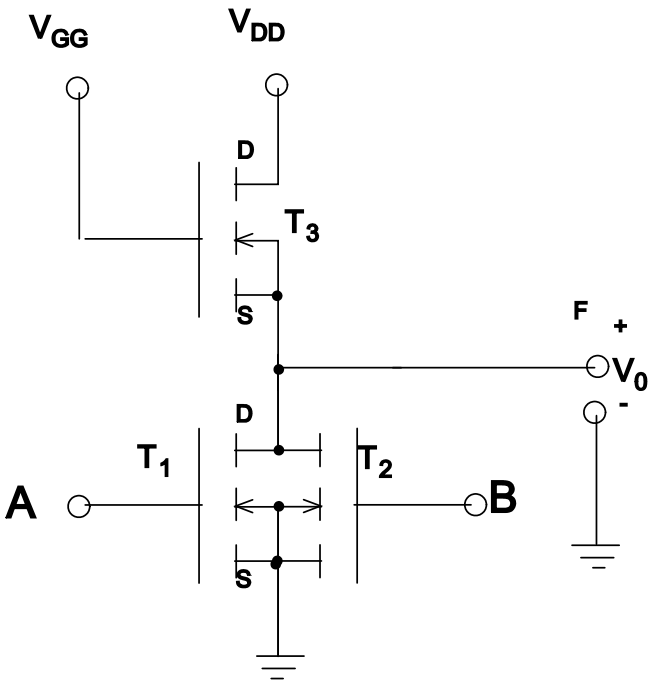
Dacă la ambele intrări se aplică $V_{IH} = V_{DD}$, T_1 și T_2 conduc, $V_o \approx 0V$

Dacă la cel puțin o intrare se aplică o tensiune $V_{IL} = 0V$, tranzistorul de intrare respectiv se blochează, $V_o \approx V_{DD}$

$$F = \overline{AB}$$



Poarta SAU-NU statică



T_1 și T_2 conectate în paralel, pe ale căror grile se aplică semnalele de intrare

T_3 rezistență de sarcină

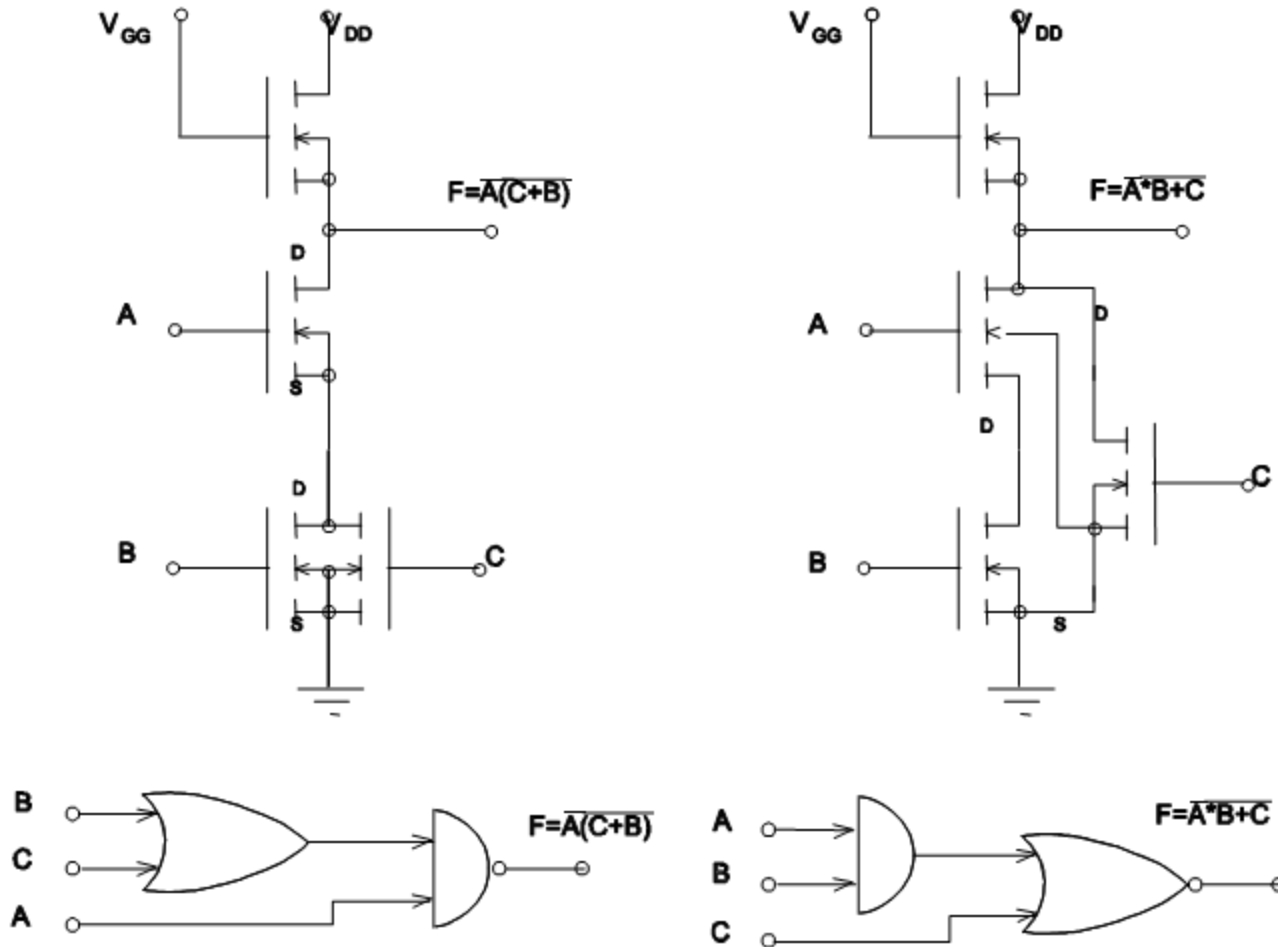
Legarea în paralel a tranzistoarelor nu afectează dimensionarea rezistenței active; numărul de intrări nu este limitat din considerente dinamice.

Dacă la ambele intrări se aplică $V_{IL} = 0V$, T_1 și T_2 blocate, $V_o \approx V_{DD}$

Dacă la cel puțin o intrare se aplică o tensiune $V_{IH} = V_{DD}$, tranzistorul de intrare respectiv conduce, $V_o \approx 0V$

$$F = \overline{A + B}$$

Poarta ȘI-SAU-NU statică



- Prin combinarea procedeeelor de legare în serie și în paralel a tranzistoarelor MOS se pot obține porți ce implementează funcții complexe, menținând o structură simplă a circuitului

Circuite logice integrate CMOS

Introducere

Inversorul CMOS

Parametri circuitelor CMOS

Circuite de protecție

Comportamentul la ieșire al circuitelor CMOS

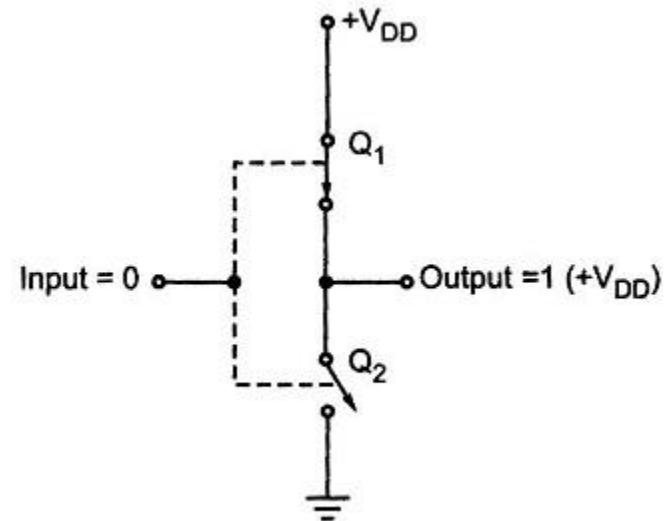
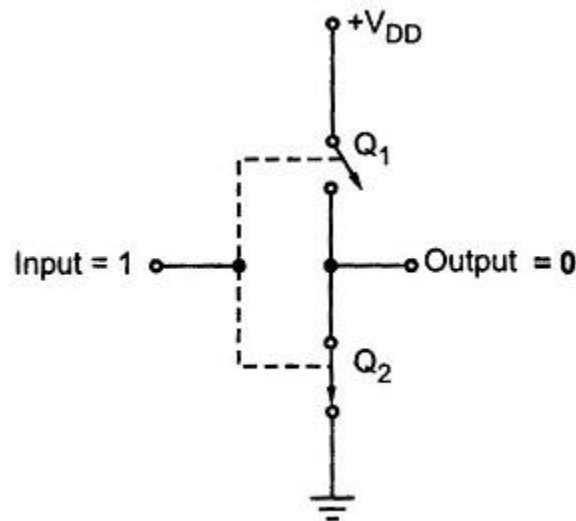
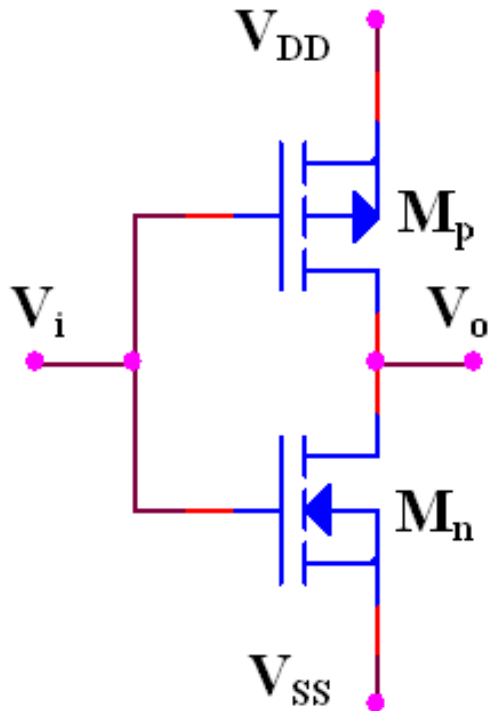
Circuite tampon

Introducere

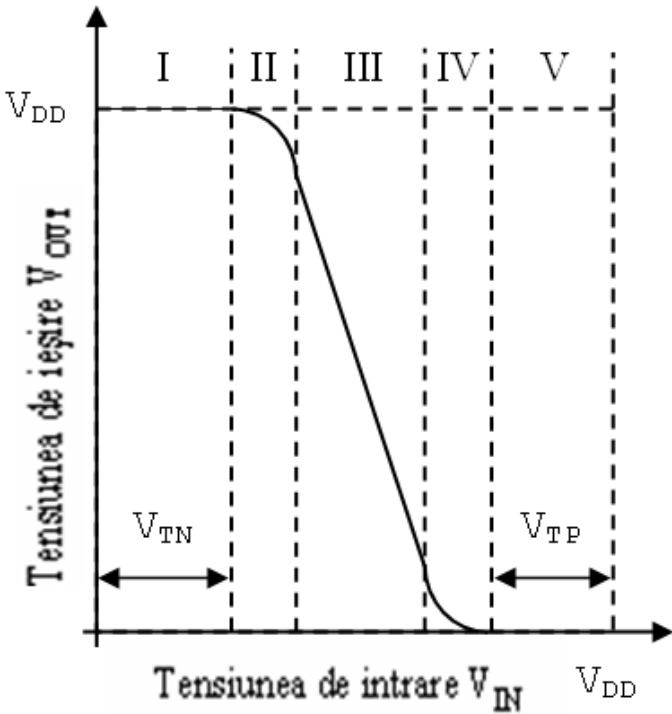
- structuri metal-oxid-semiconductor cu simetrie complementară
- parametri cei mai apropiați de cei ai unei familii ideale
- consum extrem de redus (100 nW în regim static, per poartă)
- gamă largă a tensiunilor de alimentare: 3-15V sau 3-18V
- posibilitatea ca în regim static numărul sarcinilor comandate să fie foarte mare (peste 100)
- în regim dinamic, sarcina de circa 5pF a fiecărei intrări CMOS necesită realizarea unui compromis între numărul sarcinilor comandate și viteză
- gamă largă a temperaturilor ambiante de funcționare ($-40^{\circ}\text{C} \div +85^{\circ}\text{C}$)
- niveluri ale semnalelor de ieșire extrem de apropiate de 0V pentru starea 0 logic și, respectiv, de valoarea tensiunii de alimentare, pentru starea 1 logic

Inversorul CMOS

- pereche de tranzistoare MOS, unul cu canal **n** și unul cu canal **p**
- $V_i = V_{DD} = '1'$, M_n deschis și M_p blocat, $V_o = V_{SS} = '0'$
- $V_i = V_{SS} = '0'$, M_n blocat și M_p deschis, $V_o = V_{DD} = '1'$



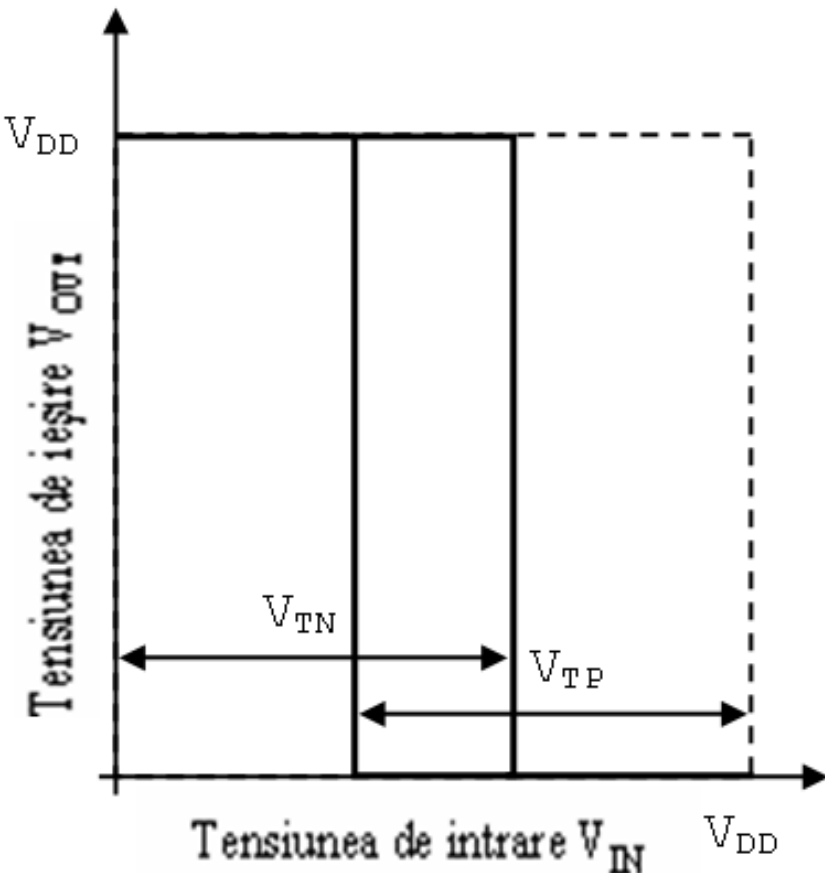
Caracteristica statică de transfer



- dependentă de tensiunea de alimentare V_{DD}
- împărțită în cinci regiuni distincte
- V_{TN} tensiunea de prag a tranzistorului M_n
- V_{TP} tensiunea de prag a tranzistorului M_p

TENSIUNEA DE INTRARE V_{IN}	REGIUNEA	M_p	M_n
$0 \leq V_{IN} \leq V_{TN}$	I	LINIAR	BLOCAT
$V_{OUT} - V_{TP} \geq V_{IN} \geq V_{TN}$	II	LINIAR	SATURAT
$V_{OUT} - V_{TP} \leq V_{IN} \leq V_{OUT} + V_{TN}$	III	SATURAT	SATURAT
$V_{OUT} + V_{TN} \leq V_{IN} \leq V_{DD} - V_{TP} $	IV	SATURAT	LINIAR
$V_{DD} - V_{TP} \leq V_{IN} \leq V_{DD}$	V	BLOCAT	LINIAR

Tensiunea de alimentare minimă



- Dacă V_{DD} este mai mică decât $V_{DDmin} = V_{TN} + |V_{TP}|$, inversorul va prezenta o caracteristică de transfer cu histerezis, și circuitul nu va mai putea fi utilizat ca poartă logică
- Valoarea tipică a tensiunii de prag pentru structurile CMOS standard este: $V_{TN} = |V_{TP}| = 1,5V$
- $V_{DDmin} = 3V$

Nivelele de tensiune și marginea de imunitate la perturbații statice

- $V_{OHmin} = V_{DD} - 0.5V$ (valoarea tipică: $V_{DD} - 0.01V$)
- $V_{OLmax} = 0.05V$ (valoarea tipică: $0.01V$)
- $V_{IHmin} = 70\%V_{DD}$
- $V_{ILmax} = 30\%V_{DD}$
- $M_{ZL} = V_{ILmax} - V_{OLmax} = 30\%V_{DD}$
- $M_{ZH} = V_{OHmin} - V_{IHmin} = 30\%V_{DD}$
- Practic, imunitatea la zgomot este 45...50% din valoarea tensiunii de alimentare

Puterea disipată

- În regim static unul dintre cele doua tranzistoare este blocat; poarta nu consumă curent, cu excepția curentului de fugă ce se propagă prin rezistențe de ordinul megaohmilor, rezistențele tranzistoarelor în regim de blocare
- În regim dinamic, pe fiecare front de comutație crește consumul de putere. La aceasta contribuie două cauze:
 - ambele tranzistoare MOS complementare se află în regim de conducție
 - apare necesitatea încărcării sau descărcării capacităților parazite de la ieșirea circuitului și eventual a capacității de sarcină

Puterea disipată

- $P_t = P_{cc} + P_{dc} + P_{df}$
- P_{cc} este puterea statică, disipată când circuitul este într-o stare stabilă, datorită curentului rezidual prin tranzistorul blocat
- P_{dc} este puterea dinamică disipată datorită încărcării și descărcării sarcinii capacitive a circuitului
- P_{df} este puterea dinamică în momentul comutării circuitului, când fronturile semnalului de comandă sunt nenule

Factorul de încărcare

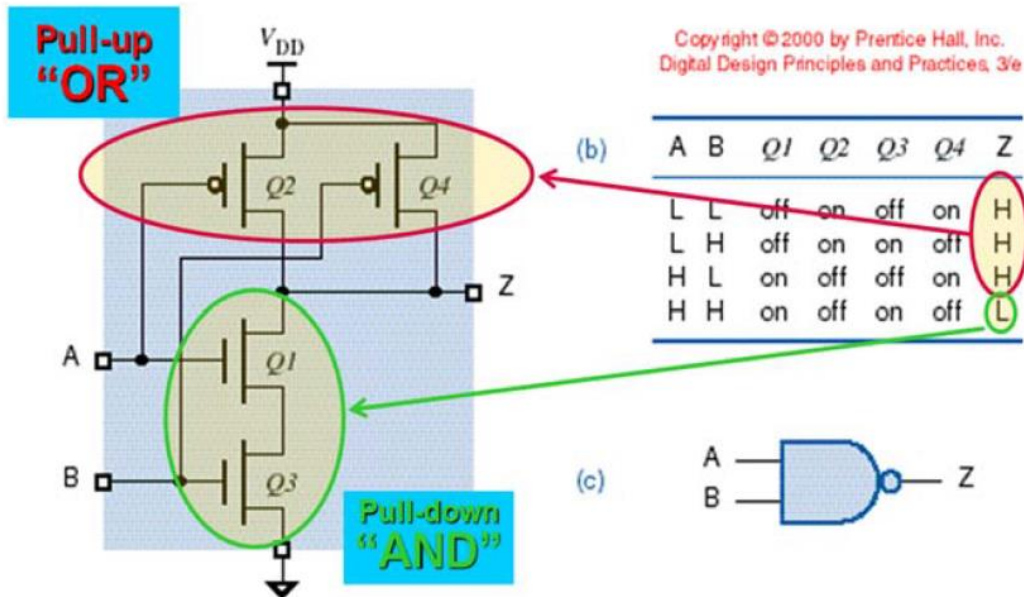
Impedanță de intrare mare, curent de intrare scăzut (10pA)

O componentă a curentului de intrare de valoare mai mare o reprezintă curentul de încărcare-descărcare a capacității de intrare a structurilor CMOS

$I_{OL}=0,44\text{mA}$, $I_{OH}= -0,5\text{mA}$ pentru $V_{DD}=5\text{V}$; $I_{OL}=0,9\text{ mA}$, $I_{OH}=-0,9\text{ mA}$ pentru $V_{DD}=10\text{V}$

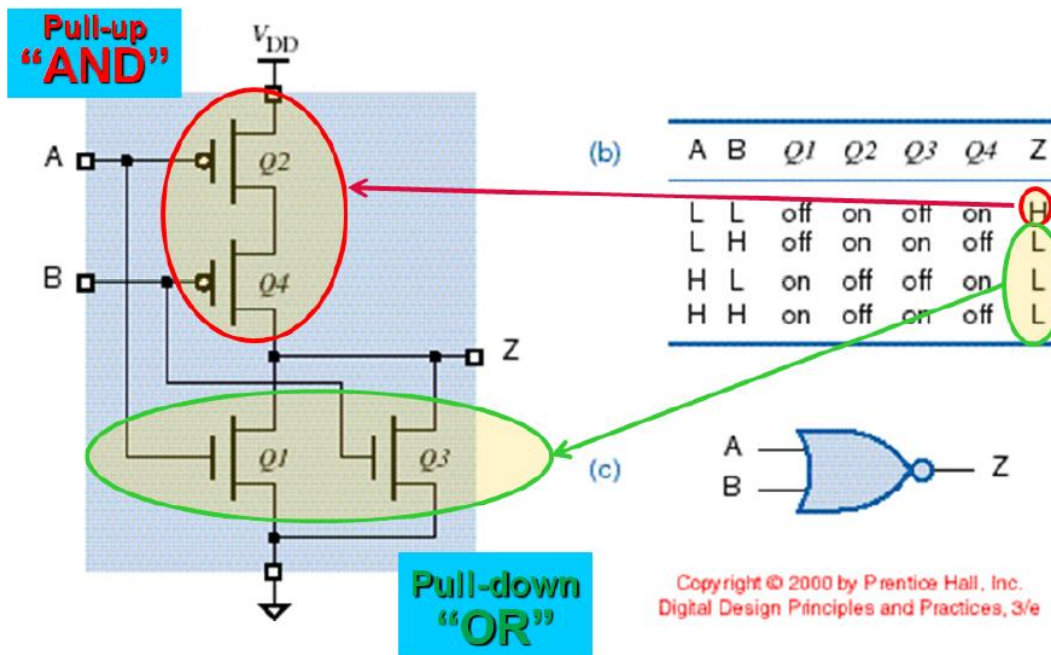
Acești curenți de ieșire pot comanda un număr foarte mare de porți CMOS. Având în vedere sarcina capacitivă, care este proporțională cu numărul de porți comandate, și care are efecte negative asupra timpului de propagare și a puterii disipate, în practică se limitează factorul de încărcare la ieșire la valori maxime de 50

basic CMOS NAND gate



more input combinations
pull output **high** than **low**
→ P-channel pull-ups in
parallel ("OR"),
N-channel pull-downs in
series ("AND")

basic CMOS NOR gate



more input combinations
pull output **low** than **high**
→ P-channel pull-ups in
series ("AND"),
N-channel pull-downs in
parallel ("OR")

**Circuite logice integrate HCT
High-speed CMOS TTL compatible**

Tensiunea de alimentare

$$V_{CC}=4,5V\div 5,5V$$

Nivelele de tensiune

$$V_{OHmin}=V_{CC}-0,1V$$

$$V_{OLmax}=0,1V$$

$$V_{IHmin}=2V$$

$$V_{ILmax}=0,8V$$

Marginea de imunitate la perturbații statice

$$V_{CC}=4,5V$$

$$M_H=V_{OHmin}-V_{IHmin}=2,4V$$

$$M_L=V_{ILmax}-V_{OLmax}=0,7V$$

Curentii de intrare/iesire

$$I_{OH}=I_{OL}=4mA$$

I_{IH} , I_{IL} – neglijabili ($\approx 10pA$)

Factorul de încărcare

Ca și în cazul circuitelor CMOS, curenții de ieșire ai porților HCT pot comanda un număr foarte mare de porți HCT. În practică, numărul porților comandate este limitat pentru a permite funcționarea sistemului numeric la frecvențe mari

Folosind o poarta HCT se pot comanda maximum 2 porti TTL

Timpul de propagare

$$t_{pHL}=t_{pLH}=t_{pd}=7ns$$

Puterea statica disipata

$$P_{cc} \approx 10nW$$

Probleme propuse

- Cate porti TTL din seria 74 pot fi comandate cu o poarta HCT?
- Sa se calculeze valoarea maxima a rezistentei care poate fi conectata intre doua porti CMOS fara modificarea comportamentului circuitului. Cum afecteaza aceasta rezistenta marginea de zgomot?
- Sa se proiecteze un circuit care comanda un LED folosind o poarta CMOS. Pentru LED se considera urmatoarele valori:
 $V_{LED}=1,6V$ si $I_{LED}=20mA$.
 - Daca $I='0'$ -> Q_1 deschis -> LED aprins
 - Daca $I='1'$ -> Q_1 blocat -> LED stins

$$R_E = \frac{V_{OH\min} - V_{BE} - V_{LED}}{I_{LED}} \approx 110\Omega$$

