

Министерство образования и науки Российской Федерации
Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности
Высшая школа технологий искусственного интеллекта
Направление: 02.03.01 «Математика и компьютерные науки»

Отчёт о выполнении лабораторной работы №5
«Кодирующие и декодирующие преобразователи»

Выполнил студент
группы 5130201/40002

_____ Семенов И. А.

Проверила
преподаватель

_____ Веробова Н. М.

«_____» _____ 2025г.

Санкт-Петербург
2025

Цель работы

Изучение принципов действия цифро-аналоговых и аналого-цифровых преобразователей.

Краткие теоретические сведения

Аналого-цифровое преобразование (АЦП) — операция, устанавливающая отношение двух величин: входной аналоговой V_i и эталонной V_r . Цифровой сигнал преобразователя есть кодовое представление этого отношения. Для n -разрядного преобразователя число дискретных выходных уровней равно 2^n .

АЦП параллельного преобразования (flash ADC) используется при требованиях к высокой скорости преобразования (видеотехника, радиолокация, цифровые осциллографы). Входной сигнал одновременно сравнивается со всеми пороговыми уровнями с помощью компараторов, смешённых по уровню опорного сигнала на один МЗР относительно друг друга. Смещение обеспечивается прецизионным резистивным делителем. Сигналы с выходов компараторов через D-триггеры подаются на приоритетный шифратор, формирующий выходной двоичный код. Скорость таких АЦП достигает 100 МГц при 8-разрядном разрешении.

АЦП последовательного приближения (SAR ADC) — наиболее распространённый тип АЦП со средним и высоким быстродействием. Метод основан на аппроксимации входного сигнала двоичным кодом с последовательной проверкой правильности для каждого разряда. Преобразование начинается с установки СЗР в единицу (оценка половины диапазона), затем компаратор сравнивает выход ЦАП с входным сигналом, определяя, сохранить илибросить разряд. Процесс повторяется для всех разрядов, что даёт выходной сигнал за n тактов для n -разрядного преобразователя.

Ход работы

Часть 1. Синтез АЦП параллельного преобразования

Для синтеза 2-разрядного АЦП параллельного преобразования определим количество уровней квантования. Для 2-разрядного преобразователя число уровней равно $2^2 = 4$, что требует 3 компараторов (для разделения на 4 диапазона).

Пусть диапазон входного напряжения составляет от 0 до 10 В. Тогда

шаг квантования:

$$\Delta V = \frac{10}{4} = 2.5 \text{ В} \quad (1)$$

Пороговые уровни компараторов устанавливаются на 2.5 В, 5 В и 7.5 В соответственно. Резистивный делитель формируется из резисторов с соотношением сопротивлений 1 : 2 : 2 : 1 (1 кОм, 2 кОм, 2 кОм, 1 кОм от земли к источнику 10 В).

Таблица истинности приоритетного шифратора:

Обозначим выходы компараторов как x, y, z (от верхнего к нижнему порогу), а выходные биты как f_1 (старший) и f_2 (младший).

| x | y | z | f_1 | f_2 | Диапазон входа |
|-----|-----|-----|-------|-------|---------------------------------|
| 0 | 0 | 0 | 0 | 0 | $V_{in} < 2.5 \text{ В}$ |
| 0 | 0 | 1 | 0 | 1 | $2.5 \leq V_{in} < 5 \text{ В}$ |
| 0 | 1 | 1 | 1 | 0 | $5 \leq V_{in} < 7.5 \text{ В}$ |
| 1 | 1 | 1 | 1 | 1 | $V_{in} \geq 7.5 \text{ В}$ |

Синтез логических функций:

По таблице истинности получаем:

$$f_1 = \bar{x}yz \vee xyz = yz \quad (2)$$

$$f_2 = \bar{x}\bar{y}z \vee xyz = z(\bar{x}\bar{y} \vee xy) = z(x \leftrightarrow y) \quad (3)$$

Функция f_1 реализуется элементом AND2, функция f_2 — элементами XNOR2 и AND2.

Структурная схема АЦП:

Схема включает:

- Резистивный делитель напряжения ($R1=1 \text{ кОм}, R2=2 \text{ кОм}, R3=2 \text{ кОм}, R4=1 \text{ кОм}$)
- Источник опорного напряжения 10 В
- 3 компаратора (COMPARATOR_IDEAL)
- 3 D-триггера для синхронизации
- Генератор тактовых импульсов 50 Гц
- Комбинационную логику (XNOR2, AND2)
- Индикаторы выходов F1, F2

Входной сигнал подаётся через источник напряжения V3 (управляемый клавишой A) на инвертирующие входы всех компараторов. На неинвертирующие входы подаются пороговые напряжения с делителя: 7.5 В, 5 В и 2.5 В.

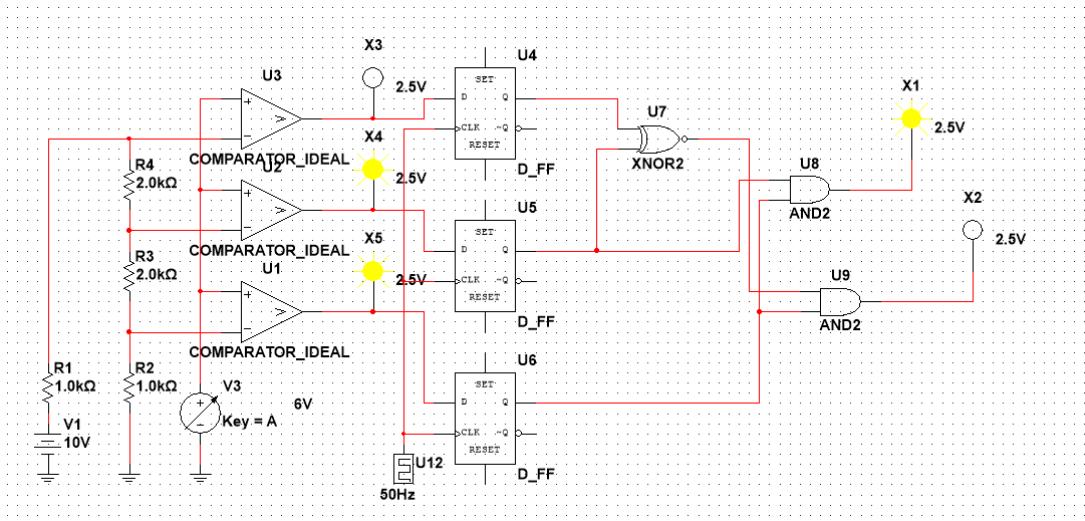


Рис. 1: Схема АЦП параллельного преобразования в Multisim

Часть 2. Синтез АЦП последовательного приближения

Для 2-разрядного АЦП последовательного приближения структура включает:

- 2-разрядный ЦАП (R-2R матрица)
- Компаратор для сравнения выхода ЦАП с входным сигналом
- Регистр последовательного приближения (SAR)
- Контроллер последовательности

Алгоритм работы:

1. Установка СЗР в 1: код 10_2 , ЦАП выдаёт $V_{ref}/2 = 5$ В
2. Сравнение: если $V_{in} \geq 5$ В, СЗР остаётся 1, иначе сбрасывается в 0
3. Установка МЗР в 1 и аналогичное сравнение
4. После 2 тактов получаем 2-битный код

Для диапазона 0–10 В соответствие кодов:

| Код | Диапазон напряжения |
|-----|---------------------|
| 00 | 0 – 2.5 В |
| 01 | 2.5 – 5 В |
| 10 | 5 – 7.5 В |
| 11 | 7.5 – 10 В |

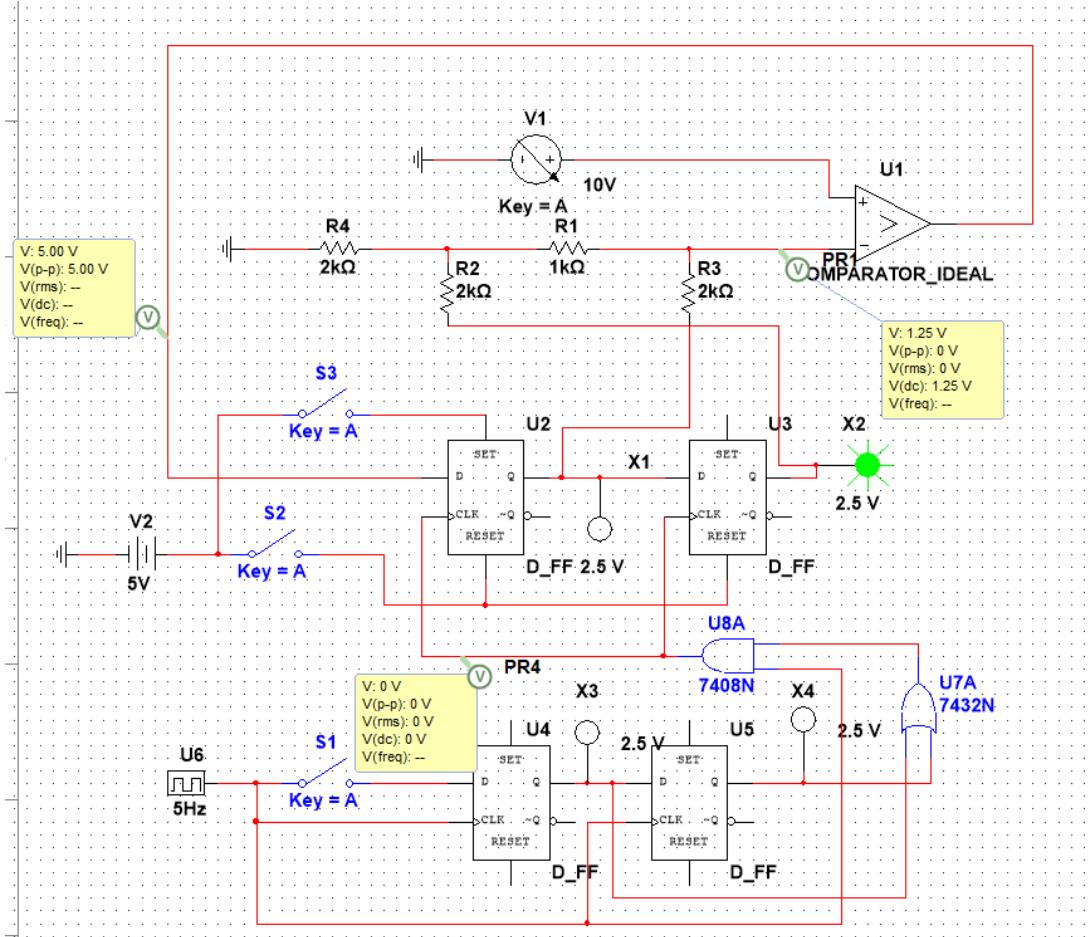


Рис. 2: Схема АЦП последовательного приближения в Multisim

Результаты работы

В результате выполнения работы:

1. Синтезирован 2-разрядный АЦП параллельного преобразования на основе трёх компараторов и приоритетного шифратора.
2. Синтезирован 2-разрядный АЦП последовательного приближения с использованием резистивного делителя, компараторов и управляющей логики.