

Министерство образования и науки Российской Федерации
Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности
Высшая школа технологий искусственного интеллекта
Направление: 02.03.01 «Математика и компьютерные науки»

Отчёт о выполнении лабораторной работы №1
Анализ и синтез комбинационных узлов ЭВМ.
Дешифратор.

Выполнил студент
группы 5130201/40002

_____ Семенов И. А.

Проверила
преподаватель

_____ Веробова Н. М.

«_____» _____ 2025г.

Цель работы

Собрать 3-разрядный дешифратор, а также исследовать принцип его работы. Изучить архитектуру и режимы работы микросхемы K155ИД4 (дешифратор 2 на 4, дешифратор 3 на 4 и демультиплексор), используя среду «Multisim».

Методика выполнения работы

На основании таблицы 1 необходимо составить восемь логических выражений (см. примечание 1), которые легли в основу построения схемы 3-разрядного дешифратора. Для реализации схемы следует использовать следующие элементы: источник питания, заземление, резистор на 1 кОм, переключатели, инверторы, блок логического «И» и индикаторы. В процессе проверки схемы было подтверждено, что дешифратор корректно передаёт сигнал на выбранный выход.

После с среде «Multisim» необходимо реализовать модель дешифратора: задать входные сигналы переключателями, а выходные – через логические элементы.

Во второй части работы необходимо изучить принципы функционирования дешифратора K155ИД4. При этом, помимо указанных компонентов, пользоваться микросхемным элементом 74LS155N в среде «Multisim».

Таблица 1: Таблица истинности для 3-разрядного дешифратора

№ набора	x_1	x_2	x_3	y
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	1
6	1	1	0	0
7	1	1	1	1

Примечание 1: Логические выражения для выходов дешифратора:

0. $\bar{x}_2 \cdot \bar{x}_1 \cdot \bar{x}_0 = y_0$
1. $\bar{x}_2 \cdot \bar{x}_1 \cdot x_0 = y_1$
2. $\bar{x}_2 \cdot x_1 \cdot \bar{x}_0 = y_2$
3. $\bar{x}_2 \cdot x_1 \cdot x_0 = y_3$
4. $x_2 \cdot \bar{x}_1 \cdot \bar{x}_0 = y_4$
5. $x_2 \cdot \bar{x}_1 \cdot x_0 = y_5$
6. $x_2 \cdot x_1 \cdot \bar{x}_0 = y_6$
7. $x_2 \cdot x_1 \cdot x_0 = y_7$

Синтез схемы дешифратора

В соответствии с таблицей 2 был синтезирован 3-разрядный дешифратор. Дешифратор представляет собой логическую схему, преобразующую двоичный код, поступающий на её входы, в управляющий сигнал, который появляется только на одном выходе, номер которого совпадает с кодом на входе.

Таблица 2: Таблица истинности дешифратора 3-разрядного числа

№	x_2	x_1	x_0	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

На основе полученной таблицы истинности была составлена схема дешифратора, собранная из базовых логических элементов. Для реализации использовались три входных ключа, инверторы, элементы И, а также блоки индикации, показывающие активный выход. Схема представлена на рис. 1.

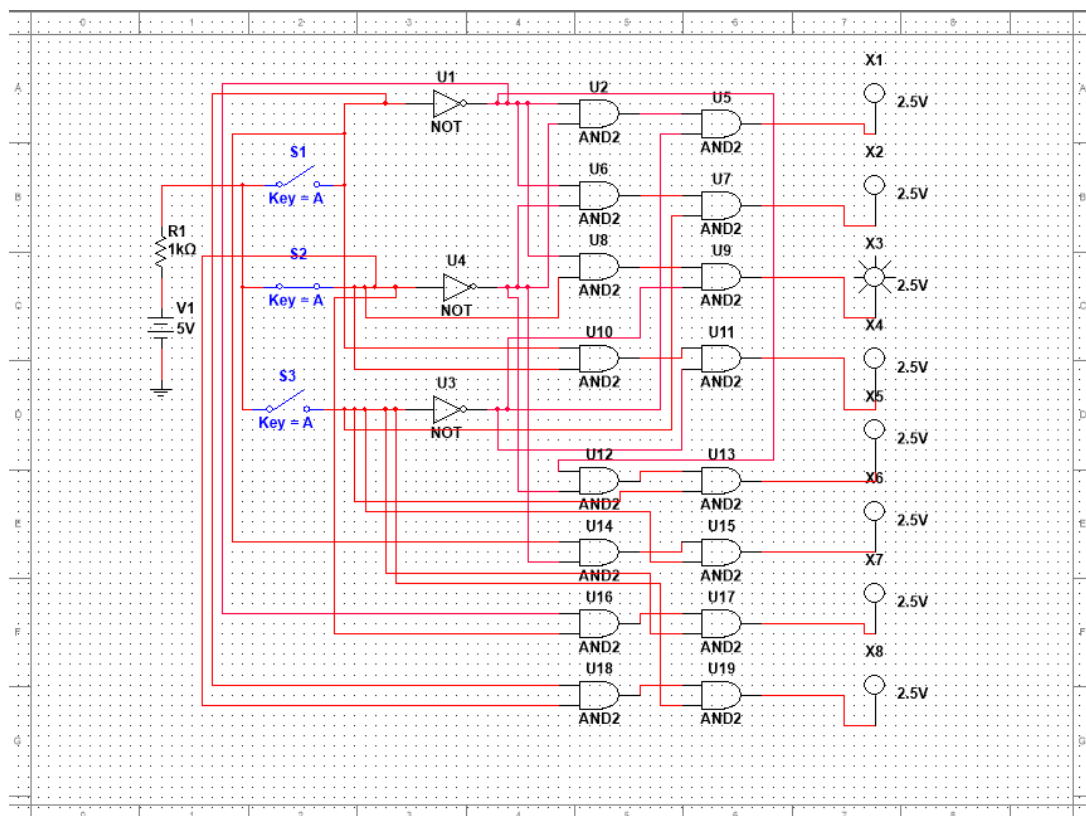


Рис. 1: Схема 3-разрядного дешифратора на логических элементах

Во второй части работы после проверки корректности работы схемы и анализа её работы была построена схема с использованием микросхемы К155ИД4, которая позволяет упростить реализацию дешифратора. Графическая схема представлена на рис. 2. Данная микросхема представляет собой универсальное устройство, которое может использоваться как двойной дешифратор 2 на 4, как дешифратор 3 на 8, а также в качестве демультиплексора 1 на 4 или 1 на 8.

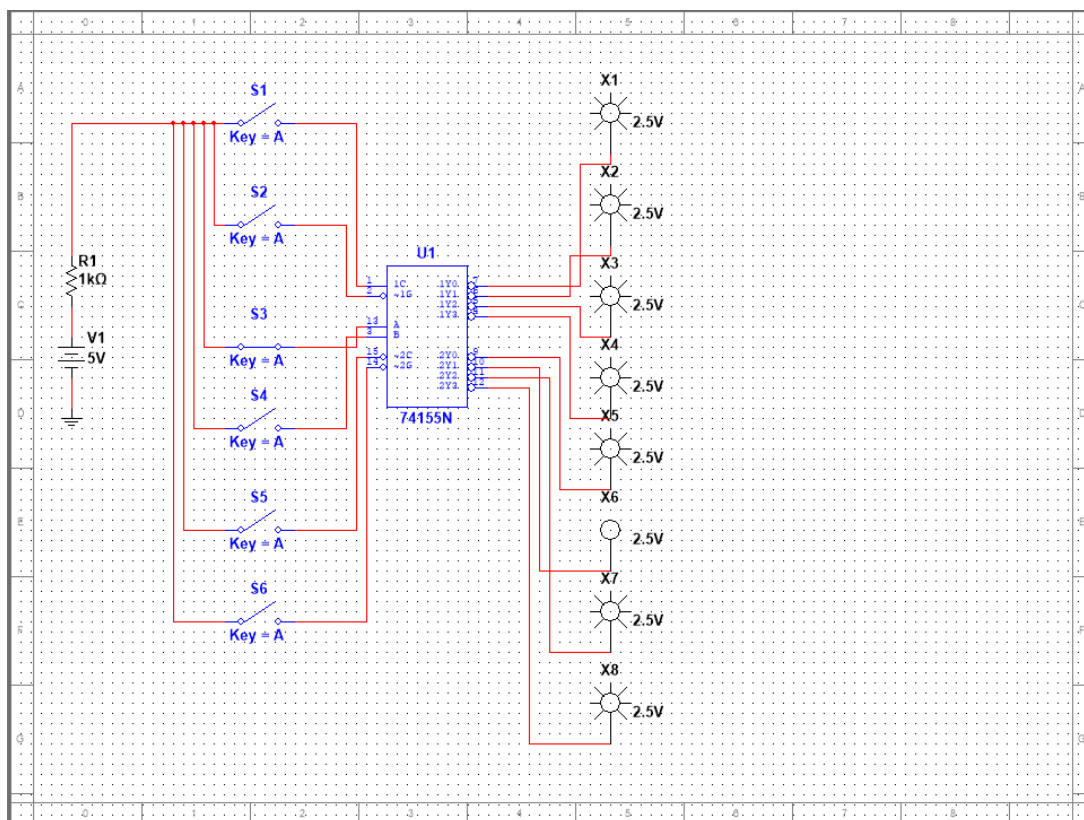


Рис. 2: Схема дешифратора на микросхеме K155ИД4 (SN74155)

На схеме (рис. 2) входные переключатели $S3$ и $S4$ формируют адресные сигналы B и A , а ключи $S2$, $S6$ задают разрешение групп EA и EB . Информационные входы DA и DB установлены в нулевой уровень, поэтому микросхема работает в режиме дешифратора. При выбранной комбинации адресных сигналов активным становится один выход из группы: он переходит в логический ноль, вследствие чего загорается соответствующий индикатор. Таким образом, светодиоды показывают, какая именно линия дешифратора выбрана при текущем адресе.

При подаче информационного сигнала на вход DA (вывод 15) или DB (вывод 1) микросхема работает в режиме демультиплексора: сигнал передаётся на один из выходов, выбранный кодом на адресных входах. Если объединить входы DA и DB , то устройство функционирует как полный дешифратор 3 на 8, где третий адресный разряд задаётся этим объединённым входом (с весом $2^2 = 4$).

В рамках работы была собрана схема включения микросхемы и исследованы её режимы функционирования, подтвердилось, что микросхема K155ИД4 корректно выполняет дешифрацию и демультиплексирование в соот. с логикой своей работы.

Результаты работы

В ходе выполнения лабораторной работы был синтезирован и исследован трёхразрядный дешифратор на основе таблицы истинности. В среде «Multisim» была реализована модель устройства, показавшая корректность работы схемы: при каждой комбинации входных сигналов активируется только один выход, соответствующий поданному двоичному коду.

Также был подробно изучен принцип функционирования микросхемы К155ИД4 (SN74155). Были рассмотрены её основные режимы работы: два дешифратора 2×4 , один дешифратор 3×8 , а также демультиплексоры 1×4 и 1×8 . Составлена схема включения микросхемы, реализованная в среде «Multisim», и проведено моделирование при различных комбинациях входных сигналов.

Результаты моделирования подтвердили правильность функционирования как дешифратора, так и демультиплексора: устройство корректно реагирует на изменения адресных входов и формирует активный сигнал на соответствующем выходе в соответствии с логикой своей работы.