

Lab2

Seg_7_Display

2022.04.13

指導教授：范志鵬

主講人：褚保維



Outline

- ❖ 實驗介紹
- ❖ 七段顯示器介紹
- ❖ Lab2 作業

Lab2

- ❖ 此次實驗使用到的 I/O
 - ◆ 一顆七段顯示器作為輸出
- ❖ 功能
 - ◆ 學會操作「七段顯示器」
 - ◆ 用一個3bits的counter計數0至7，並顯示在最右邊的七段顯示器上。

Verilog

```
//模組名稱
module seg7_counter(
    input clk,
    input rst_n,
    output [7:0] seg7,
    output [7:0] seg7_sel
);

//暫存器宣告
reg [7:0] seg7;
reg [2:0] seg7_cnt;
reg [24:0] count;

wire d_clk;
    設定片選訊號
    assign seg7_sel = 8'b0000_0001; //設定片選訊號

//除頻
always @(posedge clk or negedge rst_n)begin
    if(!rst_n)
        count <= 0;
    else
        count <= count + 1;
end
assign d_clk = count[24];
```

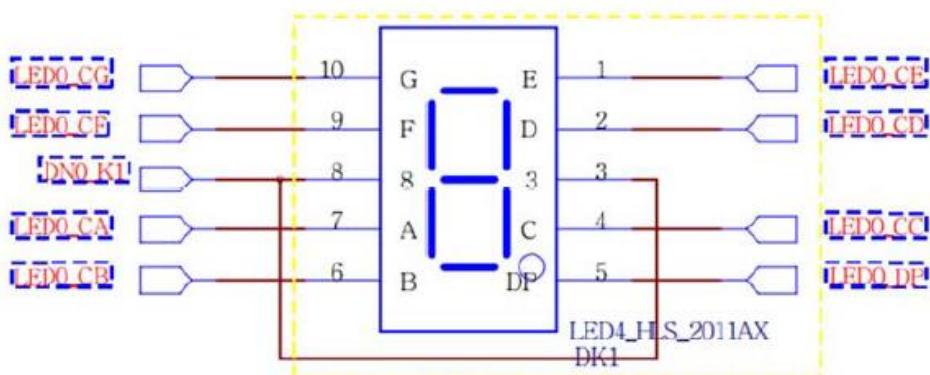
```
//七段顯示器燈號控制
always @(posedge d_clk or negedge rst_n)begin
    if(!rst_n)
        seg7_cnt <= 0;
    else
        seg7_cnt <= seg7_cnt + 1;
end
    7_seg 計數器

always @(posedge d_clk or negedge rst_n)begin
    if(!rst_n)
        seg7 <= 8'b1111_1111;
    else begin
        case(seg7_cnt)
            0:seg7 <= 8'b0011_1111;
            1:seg7 <= 8'b0000_0110;
            2:seg7 <= 8'b0101_1011;
            3:seg7 <= 8'b0100_1111;
            4:seg7 <= 8'b0110_0110;
            5:seg7 <= 8'b0110_1101;
            6:seg7 <= 8'b0111_1101;
            7:seg7 <= 8'b0000_0111;
            default: seg7 <= 8'b1111_1111;
        endcase
    end
end

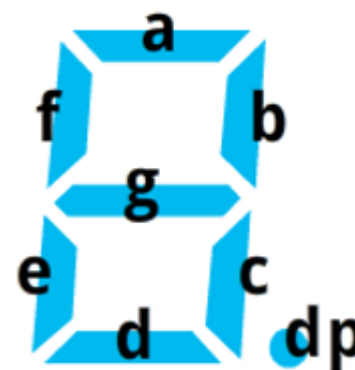
endmodule
```

7-Segment Display

- ❖ 每個七段顯示器有8個腳位(a ~ g & dp)。這8個腳位在多個七段顯示器間是共用的。
- ❖ 要完整控制七段顯示器需要兩種信號
 - ◆ 片選訊號：選擇哪些七段顯示器可以亮 (seg7_sel)
 - ◆ 段選訊號：選擇該亮哪些腳位 (seg7)



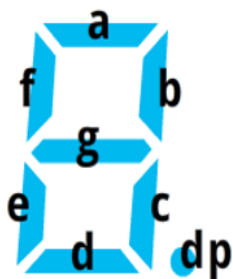
七段顯示器線路圖



外觀對應圖

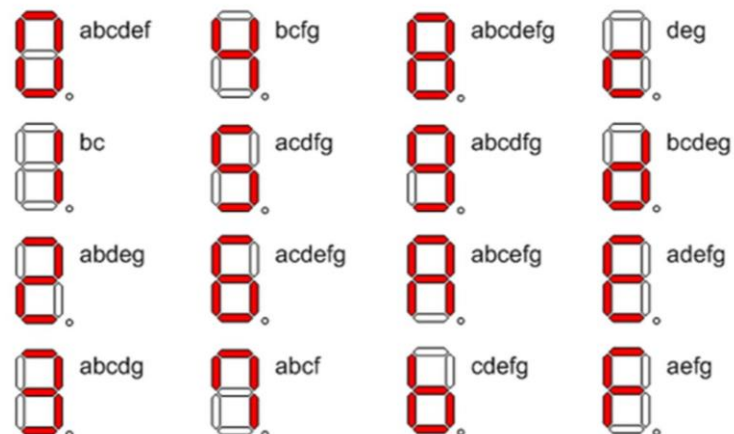
7-Segment Display

- ❖ 段選訊號
- ❖ 每個七段顯示器是由八個發光二極體以不同的組合來顯示數字。
- ❖ 此EGO1上之七段顯示器為**共陰極**，因此當輸入高電位(1)時，七段顯示器才會亮。一組訊號控制4個七段顯示器。



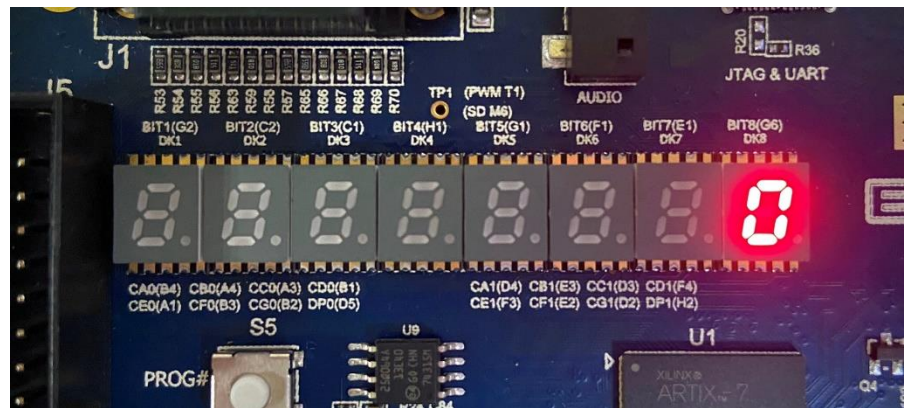
```

0:seg7 <= 8'b0011_1111;
1:seg7 <= 8'b0000_0110;
2:seg7 <= 8'b0101_1011;
3:seg7 <= 8'b0100_1111;
4:seg7 <= 8'b0110_0110;
5:seg7 <= 8'b0110_1101;
6:seg7 <= 8'b0111_1101;
7:seg7 <= 8'b0000_0111;
    
```



7-Segment Display

- ❖ 片選訊號
- ❖ 當 `seg7_sel = 0000_0001`;
則點亮最右邊的七段顯示器
- ❖ 若要同時顯示多個七段顯示器可以用掃描的方式來達成



Lab2 constraint file

名稱	電路圖訊號	FPGA IO PIN
時鐘接腳	SYS_CLK	P17

名稱	電路圖訊號	FPGA IO PIN
重置接腳	FPGA_RESET	P15

段選信號

名稱	電路圖訊號	FPGA IO PIN
A0	LED0_CA	B4
B0	LED0_CB	A4
C0	LED0_CC	A3
D0	LED0_CD	B1
E0	LED0_CE	A1
F0	LED0_CF	B3
G0	LED0_CG	B2
DP0	LED0_DP	D5
A1	LED1_CA	D4
B1	LED1_CB	E3
C1	LED1_CC	D3
D1	LED1_CD	F4
E1	LED1_CE	F3
F1	LED1_CF	E2
G1	LED1_CG	D2
DP1	LED1_DP	H2

片選信號

DN0_K1	LED_BIT1	G2
DN0_K2	LED_BIT2	C2
DN0_K3	LED_BIT3	C1
DN0_K4	LED_BIT4	H1
DN1_K1	LED_BIT5	G1
DN1_K2	LED_BIT6	F1
DN1_K3	LED_BIT7	E1
DN1_K4	LED_BIT8	G6

按鍵

名稱	電路圖訊號	FPGA IO PIN
S0	PB0	R11
S1	PB1	R17
S2	PB2	R15
S3	PB3	V1
S4	PB4	U4

Lab2 constraint file

LED

名稱	電路圖訊號	FPGA IO PIN	顏色
D0	LED0	F6	Green
D1	LED1	G4	Green
D2	LED2	G3	Green
D3	LED3	J4	Green
D4	LED4	H4	Green
D5	LED5	J3	Green
D6	LED6	J2	Green
D7	LED7	K2	Green
D8	LED8	K1	Green
D9	LED9	H6	Green
D10	LED10	H5	Green
D11	LED11	J5	Green
D12	LED12	K6	Green
D13	LED13	L1	Green
D14	LED14	M1	Green
D15	LED15	K3	Green

Lab2 作業(下午班)

- ❖ 將Lab2稍作修改，設計功能如下：
 - ◆ 將seg7_cnt從0~7的計數(3bits)，改為0~15的計數(4bits)，每次從0開始計數。(9以後以大寫英文表示A~F)(註: 英文字母請讓dp一起亮)
 - ◆ 小於等於seg7_cnt數字前的LED全亮。
 - ✦ Ex: seg7_cnt = 0, LED[0]亮; seg7_cnt[N:0]全亮
 - ◆ 運用除頻概念，btn_c (S2) 按鍵加入”加速”功能

<Note> 請注意輸入及輸出要加btn_c與LED[15:0], 以及腳位檔。



Lab2 作業(晚上班)

- ❖ 將Lab2稍作修改，設計功能如下：
 - ◆ 將seg7_cnt從0~7的計數(3bits)，改為15~0的計數(4bits)，每次從0開始計數。(9以後以大寫英文表示A~F)(註: 英文字母請讓dp一起亮)
 - ◆ 小於等於seg7_cnt數字前的LED全亮。
 - ✦ Ex: seg7_cnt = 0, LED[0]亮; seg7_cnt[N:0]全亮
 - ◆ 運用除頻概念，btn_c (S2) 按鍵加入”減速”功能

<Note> 請注意輸入及輸出要加btn_c與LED[9:0], 以及腳位檔。





Thank you for your attention!

