

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA A**

PARTE I

ESERCIZIO 1:

Progettare una rete R sequenziale con una linea di ingresso X ed una linea di uscita z. Ad ogni colpo di clock, R riceve un bit sulla linea X. La rete R riconosce sequenze di ingresso S del tipo $S=0000Q0000$, dove Q denota una sequenza di bit di lunghezza arbitraria. In corrispondenza dell'ultimo bit di S, la rete R deve restituire 1 se il numero di bit uno presenti in S è pari, mentre deve restituire 0 se il numero di bit uno presenti in S è dispari.

Segue un esempio di possibile funzionamento di R:

t:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X(t):	0	1	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	0	0
Z(t):	0	0	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	0	0	0	0	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	0	0

La sequenza S ha inizio nel ciclo di clock $t=2$, in quanto a partire da tale ciclo R riceve la sequenza di quattro bit **0000**, ed ha termine nel ciclo di clock $t=13$, in quanto in tale ciclo R riceve l'ultimo bit della seconda sequenza di quattro bit **0000**. La sequenza S è dunque **000001010000**. Poiché in S è presente un numero pari di bit uno, l'uscita z di R in corrispondenza dell'ultimo bit di S è 1.

Si noti che a partire dal ciclo di clock $t=14$, la rete R continua a riconoscere le successive sequenze S del tipo sopra descritto.

La minimizzazione dell'automa NON E' RICHIESTA.

ESERCIZIO 2:

Estendere il set di istruzioni della macchina ad accumulatore con l'operazione SUMM X che, dato un intero X, restituisce nell'accumulatore la somma del contenuto delle locazioni di memoria che contengono un valore maggiore o uguale ad X.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA A**

PARTE II

DOMANDA 1:

Si illustrino le differenze che sussistono tra relazione di equivalenza e relazione di compatibilità nell'ambito della minimizzazione di automi.

DOMANDA 2:

Si descriva cosa si intende per *alea statica* in una rete combinatoria.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA B**

PARTE I

ESERCIZIO 1:

Progettare una rete R sequenziale con una linea di ingresso X ed una linea di uscita z. Ad ogni colpo di clock, R riceve un bit sulla linea X. La rete R riconosce sequenze di ingresso S del tipo $S=0101Q0101$, dove Q denota una sequenza di bit di lunghezza arbitraria. In corrispondenza dell'ultimo bit di S, la rete R deve restituire 1 se il numero di bit uno presenti in S è dispari, mentre deve restituire 0 se il numero di bit uno presenti in S è pari.

Segue un esempio di possibile funzionamento di R:

t:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X(t):	1	0	<u>0</u>	<u>1</u>	<u>0</u>	<u>1</u>	0	1	0	0	<u>0</u>	<u>1</u>	<u>0</u>	<u>1</u>	0	0
Z(t):	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

La sequenza S ha inizio nel ciclo di clock $t=2$, in quanto a partire da tale ciclo R riceve la sequenza di quattro bit **0101**, ed ha termine nel ciclo di clock $t=13$, in quanto in tale ciclo R riceve l'ultimo bit della seconda sequenza di quattro bit **0101**. La sequenza S è dunque **010101000101**. Poiché in S è presente un numero dispari di bit uno, l'uscita z di R in corrispondenza dell'ultimo bit di S è 1.

Si noti che a partire dal ciclo di clock $t=14$, la rete R continua a riconoscere le successive sequenze S del tipo sopra descritto.

La minimizzazione dell'automa NON E' RICHIESTA.

ESERCIZIO 2:

Estendere il set di istruzioni della macchina ad accumulatore con l'operazione CNTE X che, dato un intero X, restituisce nell'accumulatore il numero di locazioni di memoria che contengono un valore uguale ad X.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA B**

PARTE II

DOMANDA 1:

Si illustrino per grandi linee le differenze che sussistono tra architetture RISC e architetture CISC

DOMANDA 2:

Si supponga di collegare un multiplexer (a monte) con un demultiplexer (a valle), ponendo l'unica uscita del multiplexer in ingresso al demultiplexer. Quale funzione viene calcolata dalla rete così ottenuta?

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA C**

PARTE I

ESERCIZIO 1:

Progettare una rete R sequenziale con una linea di ingresso X ed una linea di uscita z. Ad ogni colpo di clock, R riceve un bit sulla linea X. La rete R riconosce sequenze di ingresso S del tipo $S=1111Q1111$, dove Q denota una sequenza di bit di lunghezza arbitraria. In corrispondenza dell'ultimo bit di S, la rete R deve restituire 1 se il numero di bit uno presenti in S è pari, mentre deve restituire 0 se il numero di bit uno presenti in S è dispari.

Segue un esempio di possibile funzionamento di R:

t:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X(t):	1	0	1	1	1	1	0	1	1	0	1	1	1	1	0	0
Z(t):	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0

La sequenza S ha inizio nel ciclo di clock $t=2$, in quanto a partire da tale ciclo R riceve la sequenza di quattro bit **1111**, ed ha termine nel ciclo di clock $t=13$, in quanto in tale ciclo R riceve l'ultimo bit della seconda sequenza di quattro bit **1111**. La sequenza S è dunque **111101101111**. Poiché in S è presente un numero pari di bit uno, l'uscita z di R in corrispondenza dell'ultimo bit di S è 1.

Si noti che a partire dal ciclo di clock $t=14$, la rete R continua a riconoscere le successive sequenze S del tipo sopra descritto.

La minimizzazione dell'automa NON E' RICHIESTA.

ESERCIZIO 2:

Estendere il set di istruzioni della macchina ad accumulatore con l'operazione CNTM X che, dato un intero X, restituisce nell'accumulatore il numero delle locazioni di memoria che contengono un valore maggiore o uguale ad X.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA C**

PARTE II

DOMANDA 1:

Descrivere il bit di supero in un sommatore per numeri in complemento a due.

DOMANDA 2:

Qual è, in una rete sequenziale, la funzione del registro di stato?

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA D**

PARTE I

ESERCIZIO 1:

Progettare una rete R sequenziale con una linea di ingresso X ed una linea di uscita z. Ad ogni colpo di clock, R riceve un bit sulla linea X. La rete R riconosce sequenze di ingresso S del tipo $S=1010Q1010$, dove Q denota una sequenza di bit di lunghezza arbitraria. In corrispondenza dell'ultimo bit di S, la rete R deve restituire 1 se il numero di bit uno presenti in S è dispari, mentre deve restituire 0 se il numero di bit uno presenti in S è pari.

Segue un esempio di possibile funzionamento di R:

t:	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
X(t):	1	1	<u>1</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	<u>0</u>	<u>1</u>	<u>0</u>	0	0
Z(t):	0	0	<u>0</u>	<u>0</u>	<u>0</u>	<u>0</u>	0	0	0	0	<u>0</u>	<u>0</u>	<u>0</u>	<u>1</u>	0	0

La sequenza S ha inizio nel ciclo di clock $t=2$, in quanto a partire da tale ciclo R riceve la sequenza di quattro bit **1010**, ed ha termine nel ciclo di clock $t=13$, in quanto in tale ciclo R riceve l'ultimo bit della seconda sequenza di quattro bit **1010**. La sequenza S è dunque **101001001010**. Poiché in S è presente un numero dispari di bit uno, l'uscita z di R in corrispondenza dell'ultimo bit di S è 1.

Si noti che a partire dal ciclo di clock $t=14$, la rete R continua a riconoscere le successive sequenze S del tipo sopra descritto.

La minimizzazione dell'automa NON E' RICHIESTA.

ESERCIZIO 2:

Estendere il set di istruzioni della macchina ad accumulatore con l'operazione SUME X che, dato un intero X, restituisce nell'accumulatore la somma del contenuto delle locazioni di memoria che contengono un valore uguale ad X.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/04/2004 – TRACCIA D**

PARTE II

DOMANDA 1:

E' vero o no che qualsiasi funzione booleana può essere espressa da una rete con porte AND, OR e NOT a due livelli (laddove i NOT non vengano considerati ai fini del calcolo dei livelli)?

DOMANDA 2:

Descrivere come si possa ottenere una ALU a partire da un sommatore.