

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/09/2005
(Tempo a disposizione: 2 ore e 15 minuti)**

PARTE II

ESERCIZIO 1:

Progettare una rete R sequenziale con due linee di ingresso x_0 ed x_1 ed una linea di uscita z . Ad ogni colpo di clock t , R riceve due bit sulle linee x_0 ed x_1 , denotati nel seguito da $b_0(t)$ e $b_1(t)$. Ogni tre colpi di clock, R restituisce sulla linea di uscita z il valore 1 se la somma dei bit ricevuti in ingresso durante gli ultimi tre cicli di clock (vale a dire $b_0(t)+b_1(t)+b_0(t-1)+b_1(t-1)+b_0(t-2)+b_1(t-2)$) è maggiore o uguale a 3. In caso contrario la rete R restituisce 0. Dopo aver ricevuto le tre coppie di bit la rete dimentica gli ingressi passati e ricomincia il suo funzionamento dal principio.

Segue un possibile funzionamento di R:

t:	0	1	2	3	4	5	6	7	8	9	10	11
x_0:	0	0	1	1	0	0	0	0	1	1	1	1
x_1:	1	1	1	0	0	1	1	0	1	1	1	1
z:	0	0	<u>1</u>	0	0	<u>0</u>	0	0	<u>1</u>	0	0	<u>1</u>

ESERCIZIO 2:

Estendere il set di istruzioni della macchina ad accumulatore con l'operazione DIFFPD X. Nelle locazioni $M[X]$, ..., $M[X+L-1]$ della RAM, è memorizzato un vettore V di lunghezza L, dove L è il valore presente nell'accumulatore. L'operazione deve restituire nell'accumulatore la differenza tra la somma dei numeri pari contenuti nel vettore V e la somma dei numeri dispari contenuti nello stesso vettore V.

Ad esempio, sia $V = [1, 3, 10, 4, 6, 7]$, allora al termine dell'esecuzione dell'istruzione DIFFPD nell'accumulatore sarà memorizzato il valore $(10+4+6) - (1+3+7) = 9$.

**PROVA SCRITTA DI
CALCOLATORI ELETTRONICI
DEL 16/09/2005
(Tempo a disposizione: 30 minuti)**

PARTE I

DOMANDA 1:

Descrivere la metodologia di sintesi di circuiti combinatori mediante l'uso di sole porte NAND.

DOMANDA 2:

Si descrivano struttura (a livello di porte logiche) e funzionamento di un Mux-demux.