

**Nama : Sidartha Prastya. P**

**NIM : 13219033**

**Praktikum : 1**

1. Type FPGA yang dipakai pada praktikum ini adalah Altera Cyclone IV E EP4CE6E22C8.

EP4C : Cyclone IV

E : Enhanced Logic/Memory

6 : 6272 logic elements

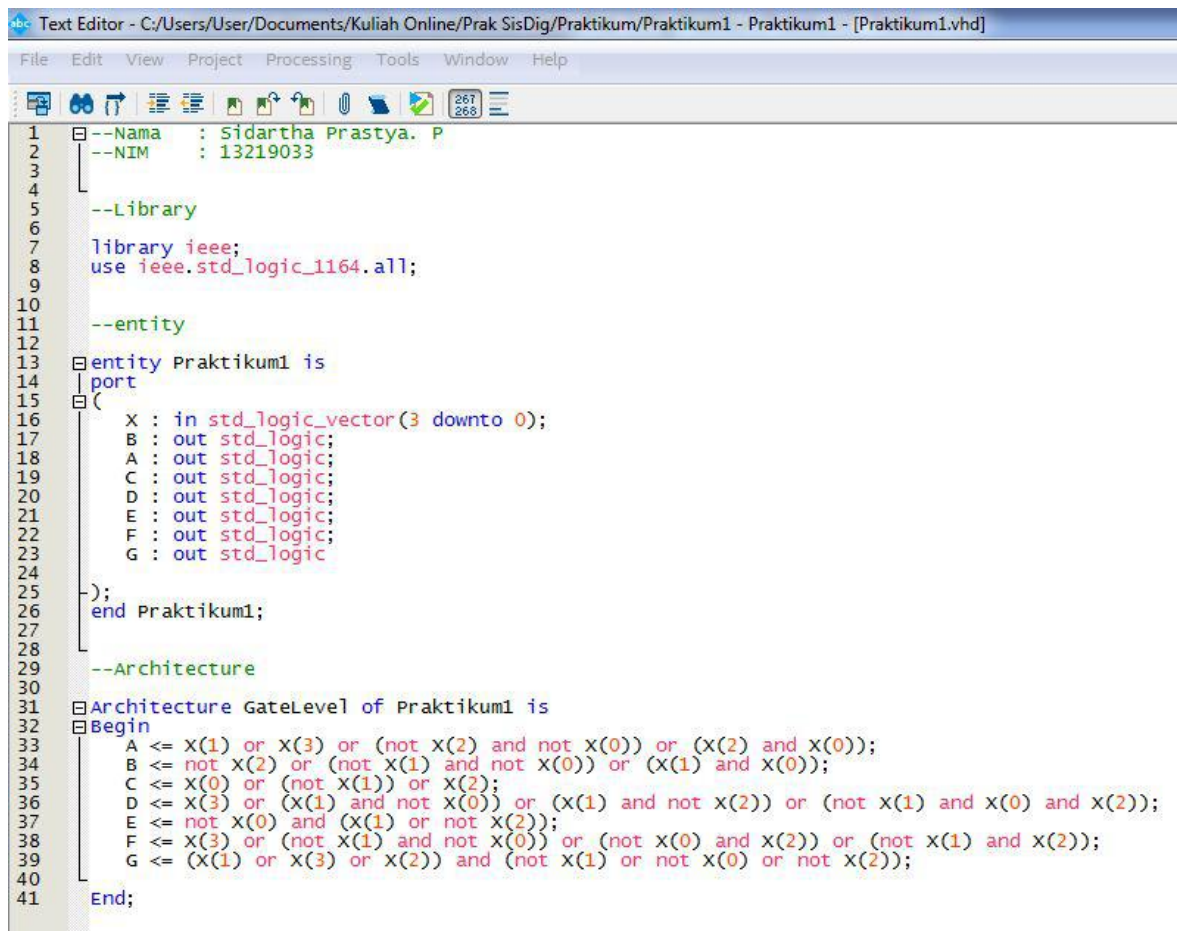
E : Enhanced Thin Quad Flat Pack (EQFP)

22 : 144 pins (EQFP package type)

C : Commercial temperature ( $T_J = 0^{\circ}\text{C}$  to  $85^{\circ}\text{C}$ )

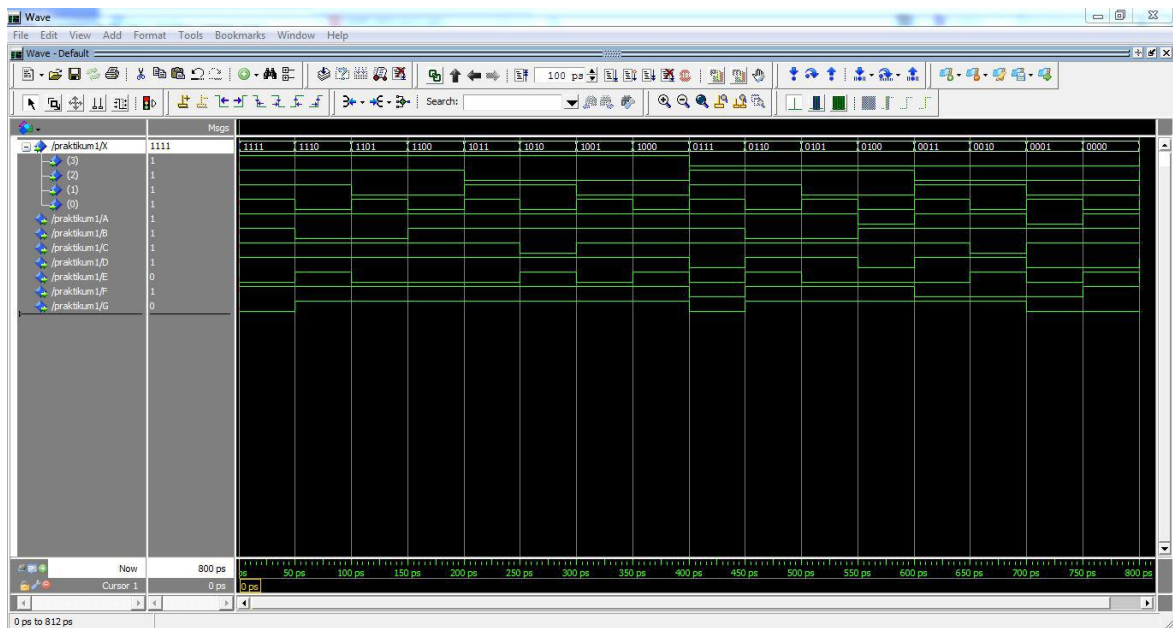
8 : speed grade = 8

2. Kode VHDL yang dibuat:

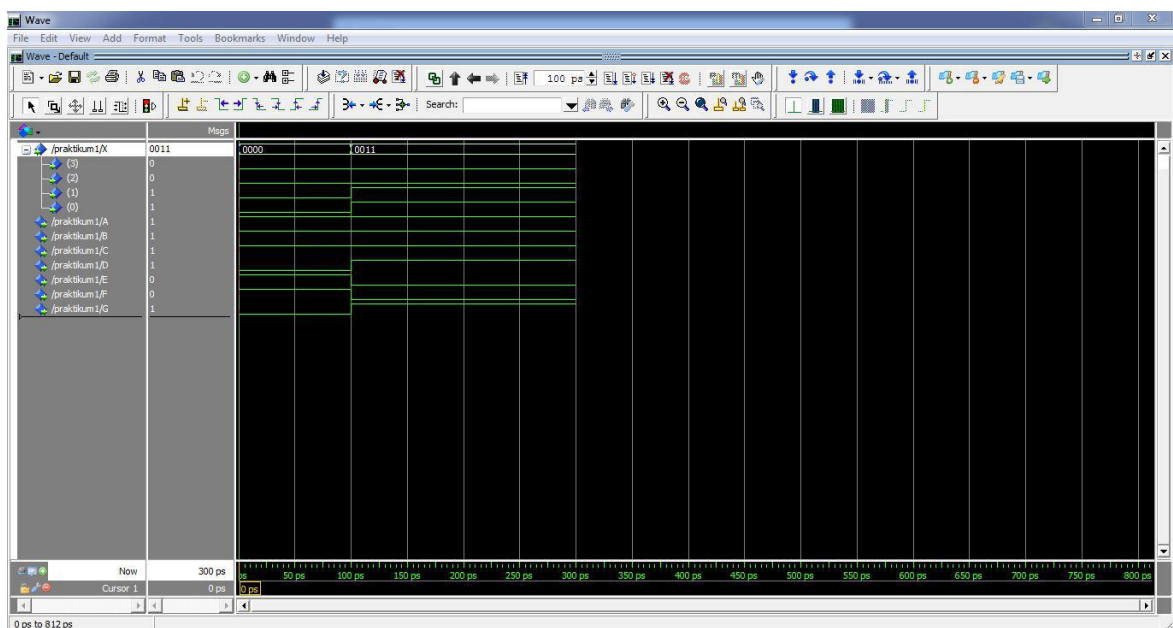


```
1  --Nama : Sidartha Prastya. P
2  --NIM : 13219033
3
4
5  --Library
6
7  library ieee;
8  use ieee.std_logic_1164.all;
9
10
11  --entity
12
13  entity Praktikum1 is
14  port
15  (
16    X : in std_logic_vector(3 downto 0);
17    B : out std_logic;
18    A : out std_logic;
19    C : out std_logic;
20    D : out std_logic;
21    E : out std_logic;
22    F : out std_logic;
23    G : out std_logic;
24  );
25  end Praktikum1;
26
27
28  --Architecture
29
30
31  Architecture GateLevel of Praktikum1 is
32  begin
33    A <= X(1) or X(3) or (not X(2) and not X(0)) or (X(2) and X(0));
34    B <= not X(2) or (not X(1) and not X(0)) or (X(1) and X(0));
35    C <= X(0) or (not X(1)) or X(2);
36    D <= X(3) or (X(1) and not X(0)) or (X(1) and not X(2)) or (not X(1) and X(0) and X(2));
37    E <= not X(0) and (X(1) or not X(2));
38    F <= X(3) or (not X(1) and not X(0)) or (not X(0) and X(2)) or (not X(1) and X(2));
39    G <= (X(1) or X(3) or X(2)) and (not X(1) or not X(0) or not X(2));
40
41  end;
```

Simulasi dengan clock:



Simulasi angka NIM terakhir (033):



3. Jelaskan apa yang telah dilakukan pada software quartus tersebut!

Jawab:

Yang telah saya lakukan dengan software quartus adalah saya membuat project baru untuk mengaplikasikan logika gerbang untuk 7-segment display dengan menggunakan VHDL programming. VHDL tersebut terdiri dari library, entity, dan architecture. Library digunakan untuk memanggil fungsi-fungsi yang terdapat pada

VHDL. Entity berfungsi untuk mendeklarasi input serta output dari suatu logika. Architecture merupakan penjabaran logika yang kita telah deklarasi di entity. Setelah VHDL selesai dibuat, program lalu di-compile dan akhirnya di-run. Metode run dilakukan dengan menggunakan wave sehingga terlihat seperti pada gambar. Pertama, dilakukan simulasi menggunakan metode clock untuk melihat perbandingan dari 1111 hingga 0000. Setelah itu, untuk membuat angka 033, menggunakan metode force per digit sehingga jadi seperti pada gambar.