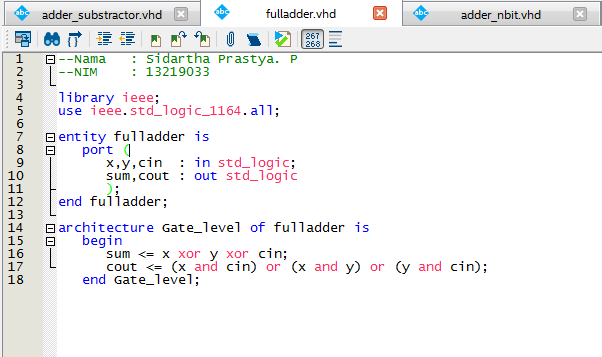
**Nama : Sidartha Prastya. P**

**NIM :13219033**

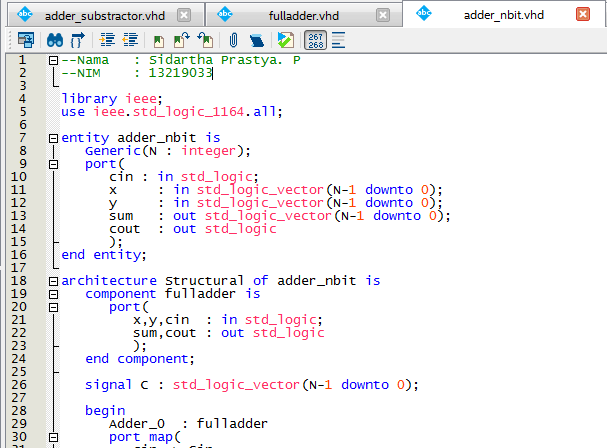
**Praktikum 2**

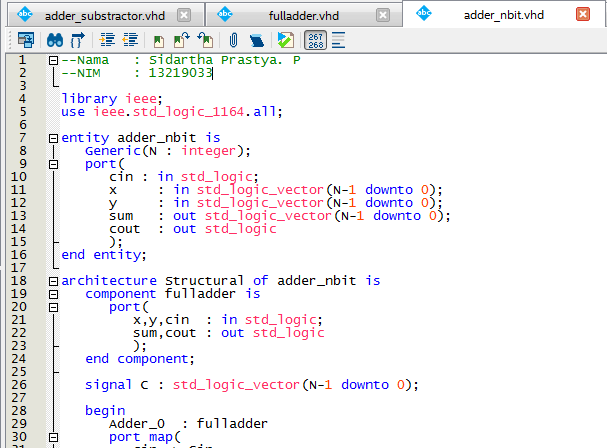
1. Pada project pertama ini, diperintahkan untuk membuat suatu adder-substractor (substractor yang terbuat dari fulladder) yang terdiri dari 3 file, yaitu fulladder, adder-n-bit, dan adder-substractor. (Bilangan 16 bit)

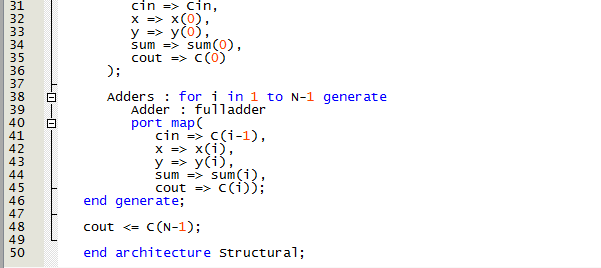
File 1.1: fulladder.vhd



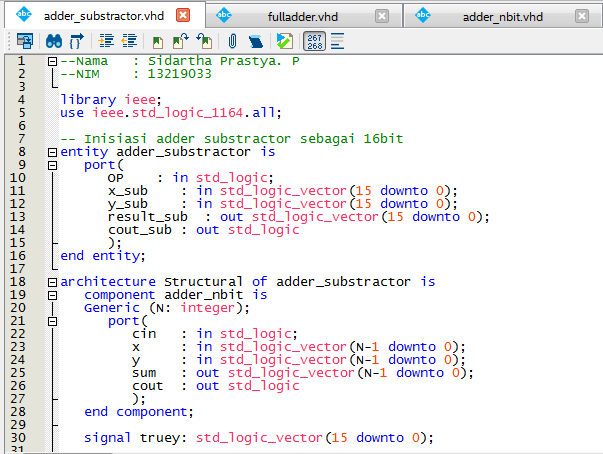
File 1.2: adder\_nbit.vhd

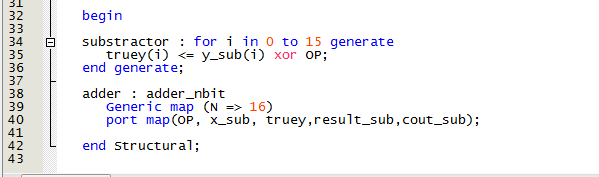




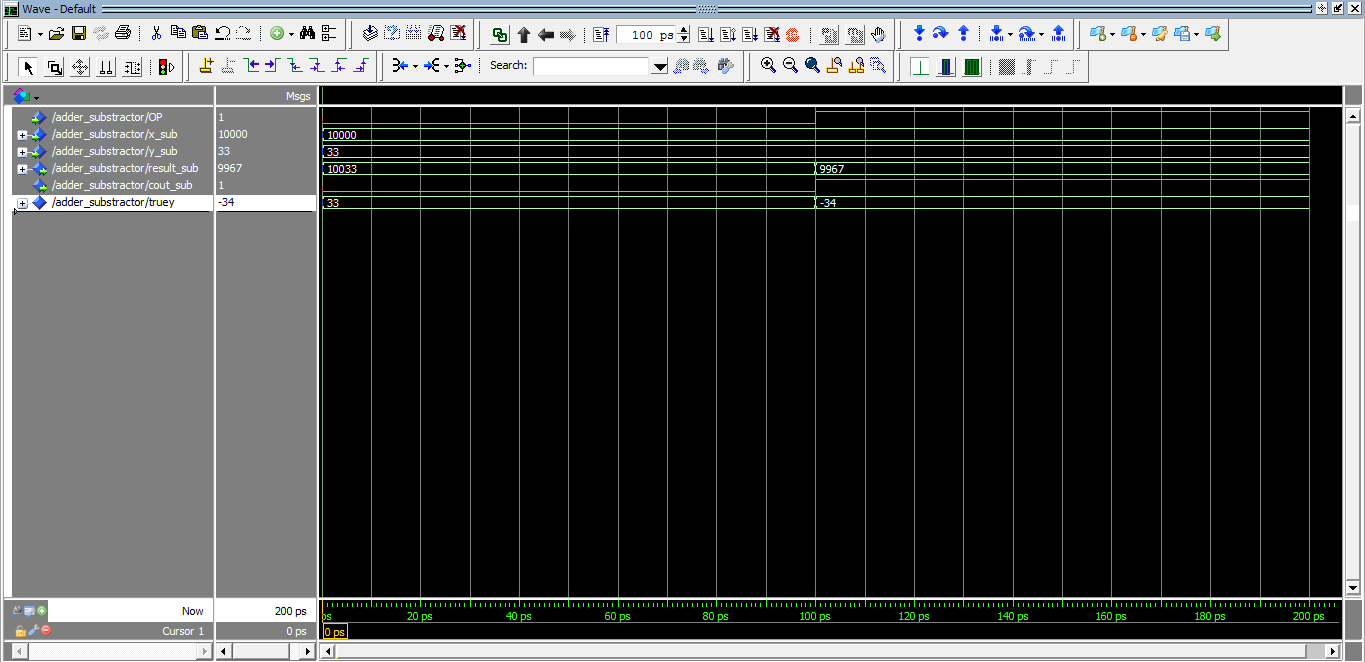


File 1.3: adder\_substractor.vhd





Hasil simulasi dapat dilihat seperti gambar di bawah ini:

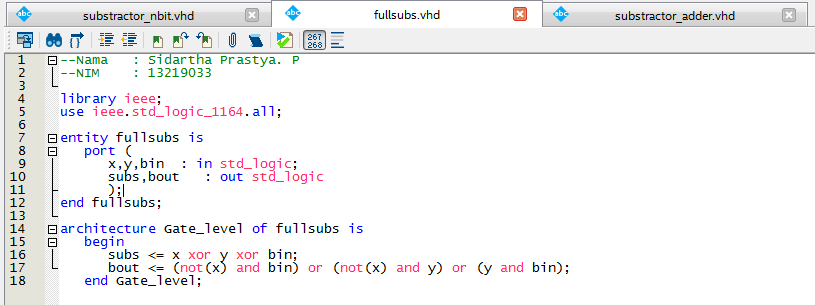


Penjelasan:

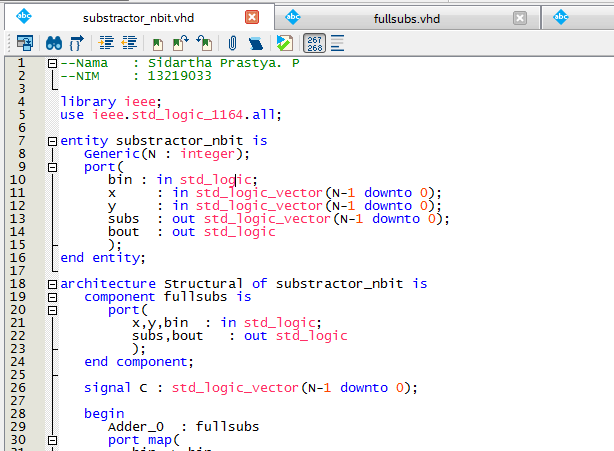
Ketika OP = 1, maka vhdl akan melakukan operasi pengurangan. Untuk operasinya sendiri menggunakan input x dan input truey (input y yang diubah menjadi 2’s complement bila OP = 1 / pengurangan). Input y diubah menjadi 2’s complement dengan mengubah 0 menjadi 1 dan sebaliknya, kemudian carry in diinisiasi sama dengan OP.

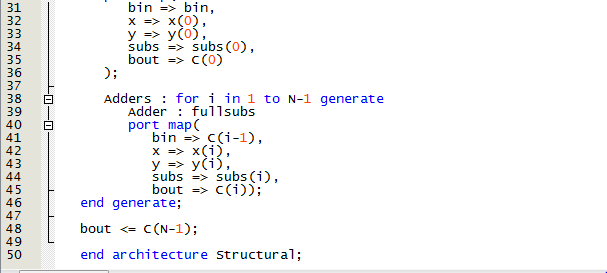
1. Pada project kedua ini, diperintahkan untuk membuat suatu substractor-adder (substractor yang terbuat dari fullsubstractor) yang terdiri dari 3 file, yaitu fullsubstractor, substractor-n-bit, dan substractor-adder. (Bilangan 16 bit)

File 2.1: fullsubs.vhd

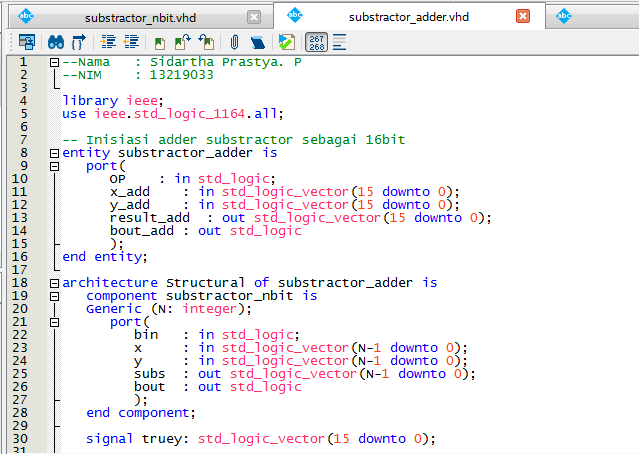


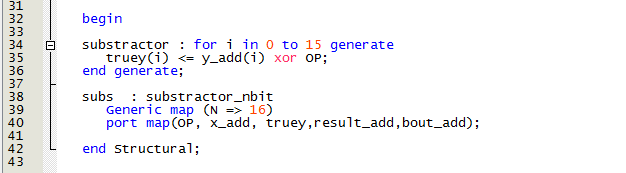
File 2.2: substractor\_nbit.vhd

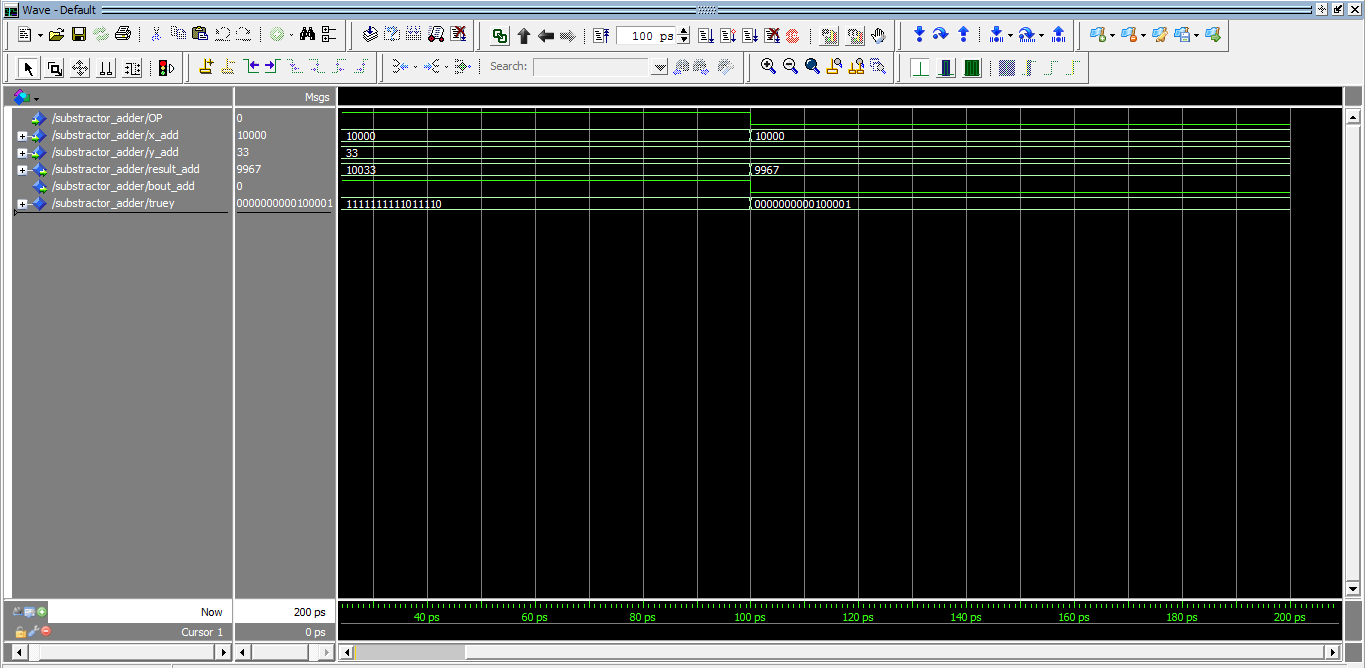




File 2.3: substractor\_adder.vhd





Hasil Simulasi dapat dilihat seperti di bawah ini: 

Penjelasan:

Ketika OP = 1, maka vhdl akan melakukan operasi penambahan. Untuk operasinya sendiri menggunakan input x dan input truey (input y yang diubah menjadi 2’s complement bila OP = 1 / penambahan). Input y diubah menjadi 2’s complement dengan mengubah 0 menjadi 1 dan sebaliknya, kemudian carry in diinisiasi sama dengan OP. VHDL ini sama dengan nomor sebelumnya, hanya saja berbeda di logika fullsubstractor dengan mengubah x menjadi not(x).