一、SDRAM 基本概念

SDRAM，英文全称Synchronous Dynamic Random Access Memory（“同步动态随机存储器）。其中同步是指与DRAM不同，SDRAM操作时钟需要与主控芯片时钟一致。动态是指电容式存储需要不断刷新来保证数据不丢失，随机是指SDRAM中数据并不是按照线性存储的，而是自由制定地址进行数据读写。

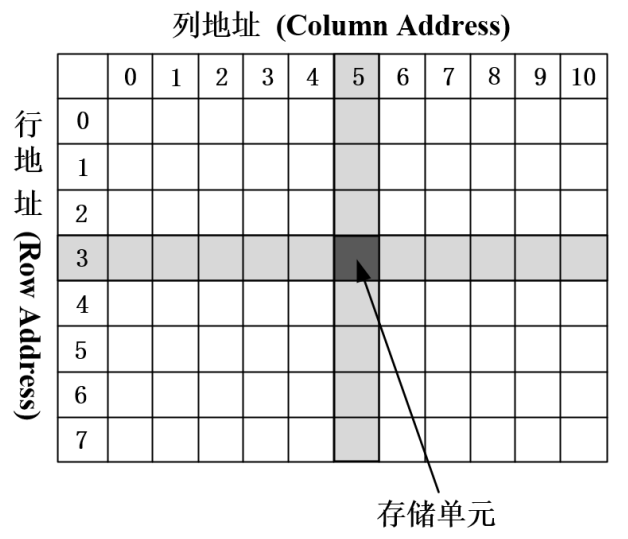
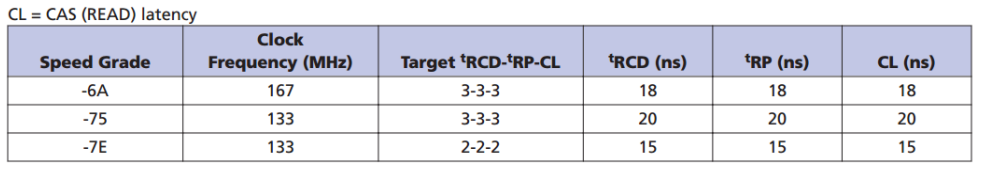
二、SDRAM数据存取原理

图1.存储阵列示意图

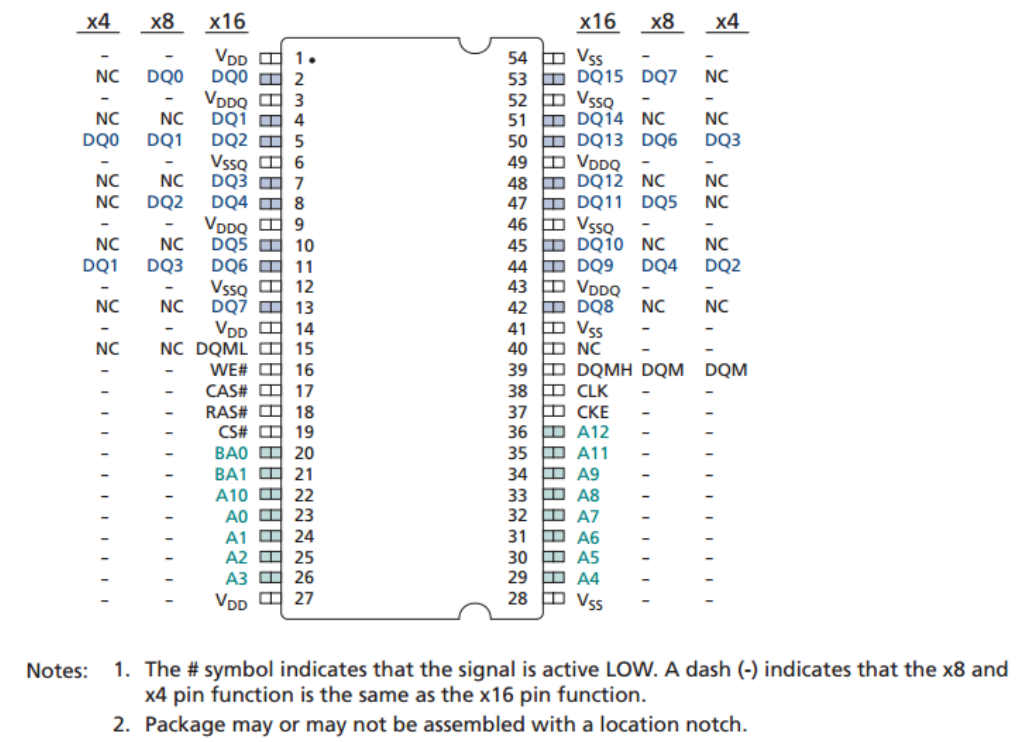
CXR个存储单元构成一个存储整列 == 一个逻辑BANK（LBANK）

在寻址的时候，首先需要Bank地址，行地址，列地址找到对应存储单元后再进行读写操作

三、SDRAM的速度等级



时钟频率(Clock Frequency)，表示 SDRAM 正常工作的最高时钟频率；tRCD 表示写入自激活命令到开始进行数据读写中间所需的最小等待时间； tRP 表示自预充电指令写入到预充电完成所需的最小等待时间；CL(CAS(READ) latency)列选通潜伏期，表示自数据读指令写入到第一个有效数据输出所需最小等待时间，单位 ns；Target tRCD-tRP-CL 表示最大工作频率下，tRCD、tRP、CL 等待的最小时钟周期数。

四、器件引脚说明

CLK ： 系统时钟，上升沿采样

CKE： 时钟使能信号，高电平信号，有效时候信号才能正确传入

CS#: 片选信号：屏蔽和使能所有输入输出端口，CLK、 CKE、DQM 除外，低电平有效。为高电平时，屏蔽所有 命令，但已经突发的读/写操作不受影响。

CAS# : 列选通信号：低电平有效，有效时A[8:0]输入的为 列地址。

RAS# : 行选通信号：低电平有效，有效时A[12:0]输入的 为行地址。

WE# : 写使能信号，使能写操作和预充电。

DQM : 数据掩码， DQML(H)，低(高)字节掩码，若信号为高电平，在下一个时钟周期的时钟上升沿，数据总线的低(高) 字节为高阻态

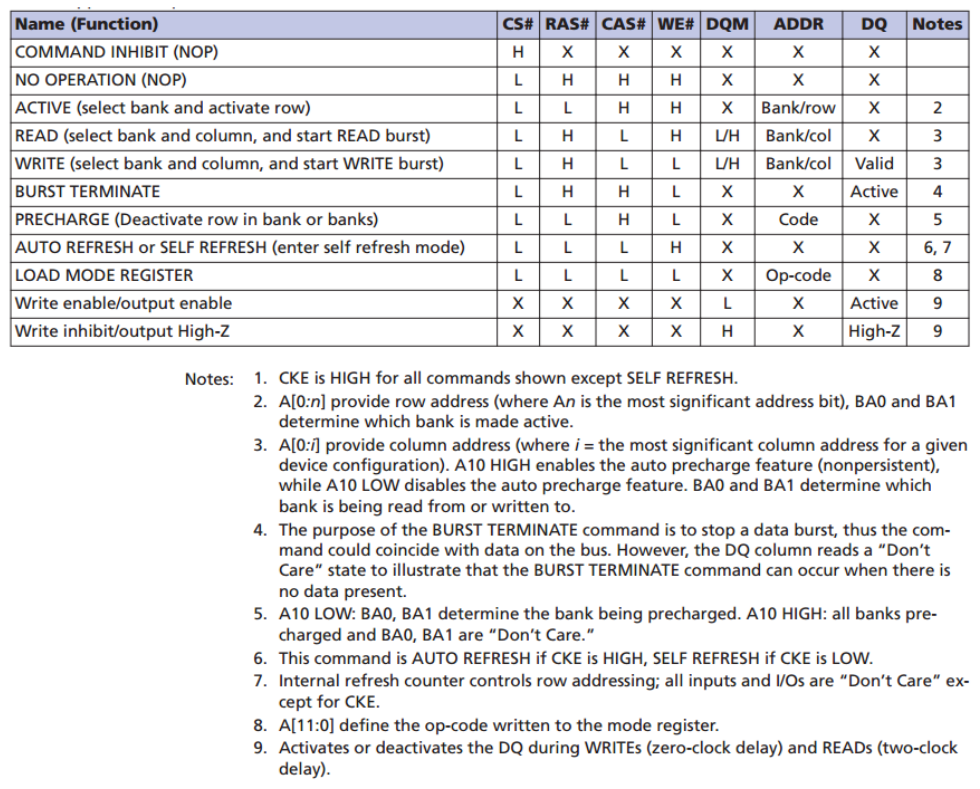
BA[1:0] : BANK 地址

A ：地址总线

DQ [15:0] :数据总线，数据输入/输出复用

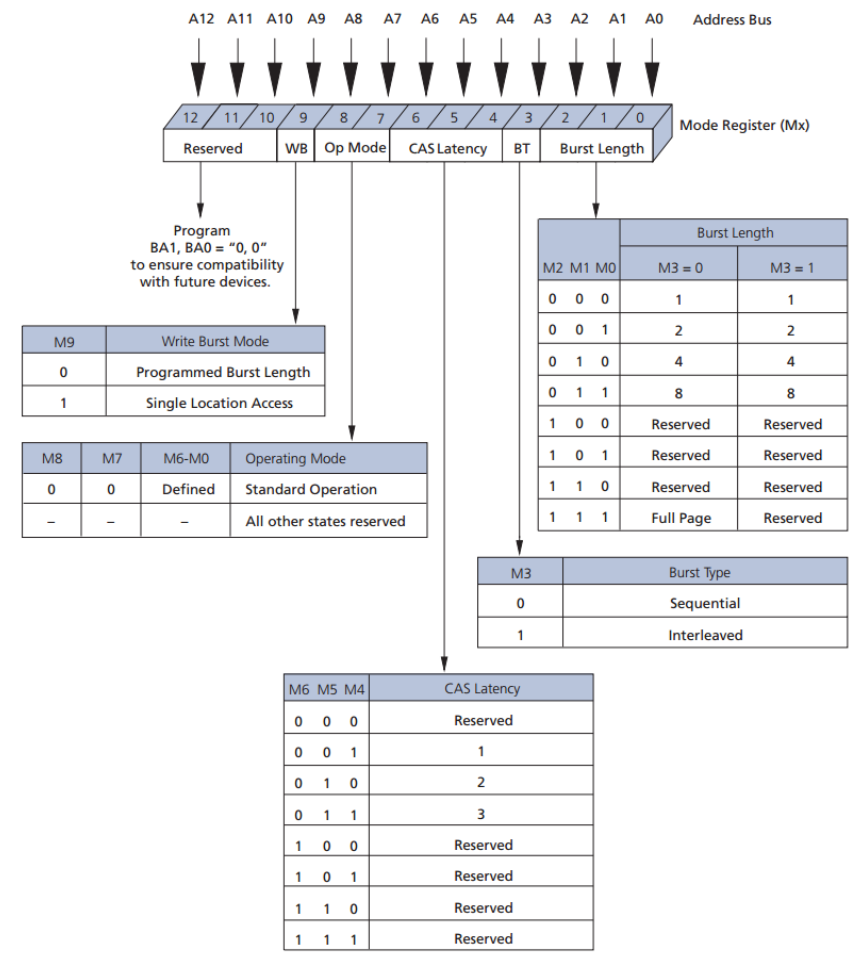
五、SDRAM的操作命令

1

1.禁止命令(Command Inhibit)， {CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b1XXX。

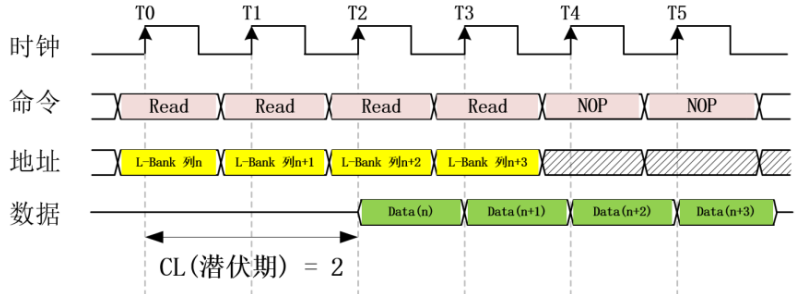
不论 SDRAM 处于何种 状态，此命令均可被执行，无需顾及 CKE 是否有效，即 CLK 是否使能，无需关心 DQM、 ADDR、DQ 的信号输入；执行此命令后，SDRAM 芯片不被选择，新的命令无法写入，但 已经执行的命令不受影响。

2. 无操作命令(No-operation)， {CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0111。

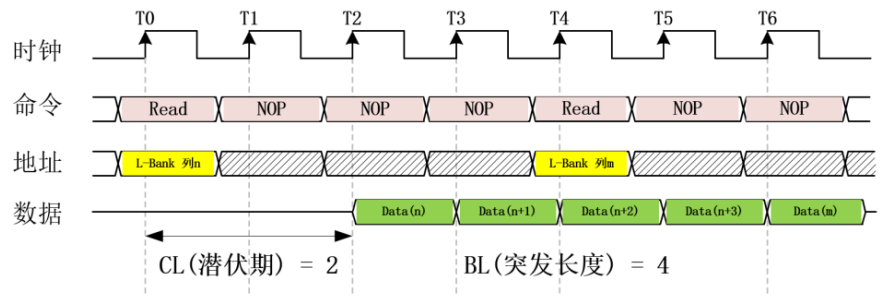
不论 SDRAM 处于何种状态，此命令均可被写入，该命令给被选中的 SDRAM 芯片传递一个空操作信息，目的是为了防止 SDRAM 处于空闲或等待状态时，其他命令被写入，此命令对正在执行的命令无影响.

3.模式寄存器配置命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0000。

此命令只有所有 L-Bank 均处于 空闲状态时才可被写入，否则配置出错，而且在执行此命令后，SDRAM 必须等待相应的 响应时间 tRSC(Register Set Cycle)，模式寄存器配置周期)后，才可写入新的命令。需要地址总线来辅助配置，具体模式如上图所示。

突发长度：连续传输所涉及到存储单元（列）的数量就是突发长度

无突发的连续读操作

 突发连续读操作

突发类型：可以设置为顺序和隔行，一般选择顺序类型 A3 = 0；

列选通潜伏期：列选通潜伏期是指从读命令被寄存到数据总线上到出现第一个有效数据之间的时钟周期间隔，列选通潜伏期可被设置为 2 个或 3 个时钟周期，设置位为 A6,A5,A4，当 { A6A5A4}=3’b010 时，潜伏期为 2 个时钟周期；当{ A6A5A4}=3’b011 时，潜伏期为 3 个 时钟周期

运行模式：对于普通用户只需要A7.A8设置为低电平采用标准模式即可

写模式 ：当 A9 为低电平时，SDRAM 的读/写操 作均采用突发方式，突发长度由突发长度寄存器(A0-A2)设定；当 A9 位高电平时， SDRAM 的读操作依然采用突发方式，突发长度由突发长度寄存器(A0-A2)设定，但 SDRAM 的写操作不在使用突发方式，每一个写命令只能写入一个数据。

4.预充电命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0010

预充电命令执行后，必须等待对应的等待时间 tRP(tRP(Precharge command Period)，预充完成后相对应的 L-Bank 将可以被重新操作。 预充电命令(Precharge)命令包括两类：全部预充电(Precharge All)和指定 L-Bank 预充电 (Precharge Bank)，当 A10 为高电平时，执行全部预充电命令，对所有的 L-Bank 进行预充电，无需关心 BA[1:0]信号的输入；当 A10为低电平时，只对由 BA[1:0]选定的 L-Bank 进行预充电。当某个 L-Bank 执行预充电操作后，该 L-Bank 处于空闲状态，在下次读写操作之前必须重新激活。

5.刷新命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0001

SDRAM 只有通过刷新操作才能保证数据的可靠性，但是也不能一直刷新，国际标准存储体中电容的数据有效保存期上限是 64ms，刷新速度就是：64ms/行数，刷新命令一次对一行有效， 发送间隔也是随总行数而变化， 当单个 L-Bank 为 4096 行时，刷新间隔最大为 15.625μs， 单个 L-Bank 为 8192 行时，刷新间隔最大为 7.8125μs。

自动刷新(Auto Refresh) ，自刷新(Self Refresh)，当 CKE 为高电平时，写入刷新指令，执行自动刷新操作。在执行自动刷新命令前，必须先要执行预充电命令，将所有 L-Bank 关闭，SDRAM 内部刷新计数器会依次自动生成行地址，刷新是针对一行中的所有存储单元，所以无需列寻址。由于刷新涉及到所有Bank，因此在刷新过程中，所有 L-Bank 都停止工作，而每次刷新需要等待对应的时钟周期，之后就可进入正常的工作状态，在此期间，所有工作指令只能等待而无法执行。

当 CKE 为低电平时，写入刷新指令，执行自刷新操作。自刷新操作主要用于休眠模式 低功耗状态下的数据保存，此时不再依靠系统时钟工作，而是根据内部的时钟进行刷新操作。在自刷新期间除了 CKE 之外的所有外部信号都是无效的，只有重新使 CKE 有效才能退出自刷新模式并进入 正常操作状态。

6.激活命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0011。

激活命令是为后续操作激活某一特定 L-Bank 中的某一行，逻辑 Bank 地址线 BA[1:0]和地址总线 A0-A12 选择要激活的特定 L-Bank 的特定行， 激活该行后，该行一直保持激活状态，并可以进行后续读/写操作，操作完成后，只有执行一次预充电命令(Precharge)后，被激活的特定行被关闭。每次激活只能激活一个 L-Bank， 同一个 L-Bank 中每次只能激活一行，当需要对同一 L-Bank 中其他行进行操作时， 必须先执行一个预充电命令关闭当前行，再激活另一行进行操作。

7.写命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0100。

用于实现对激活的行进行写入操作，BA制定写入的特定BAND，地址线需要写入起始列地址，A10控制完成写操作后是否自动执行预充电，关闭当前行，若为低电平，不会关闭，要关闭当前行需要进行预充电指令。

8.读命令，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0101

对激活的行进行突发读取操作，BA读取特定的BANK。地址总线A0-A9读取起始列地址，A10控制是否进行自动预充电指令，高电平有效。

9.突发终止，{CS\_N,RAS\_N,CAS\_N,WE\_N} = 4’b0110

SDRAM 处于读/写操作过程中可被写入，突发 停止操作被用来截断固定长度或者整页长度的突发，执行突发停止命令后，最近执行的数 据读/写操作被终止，此命令操作并不会通过预充电关闭当前激活行，需通过预充电操作关 闭被激活行。