

UNIVERSIDADE ESTADUAL DE FEIRA DE SANTANA

DEPARTAMENTO DE TECNOLOGIA

TEC498 PROJETO DE CIRCUITOS DIGITAIS

TEMPORIZAÇÃO

Lucas Gabriel da Silva Lima Reis, Silas Silva da Costa, João Victor Araújo Aguiar Bittencourt

Tutor: João Bosco Gertrudes

1 INTRODUÇÃO

A Prefeitura Municipal de Feira de Santana solicitou a EcompJr-UEFS o desenvolvimento de um placar eletrônico, para controle de partidas de basquete, que serão realizadas no ginásio municipal. O desenvolvimento desse projeto foi finalizado e entregue aos devidos responsáveis, que após seu uso a Prefeitura notou que algumas funcionalidades precisam ser melhoradas, por isso, foi solicitado a equipe de desenvolvimento que realizasse a evolução do projeto 1.

A atualização do projeto deve: Manter toda implementação desenvolvida na etapa anterior, eliminar a entrada de dados que era realizada pelas chaves, manter o valor adicionado registrado, e fazer a exibição de um cronômetro, que seguirá a "regra dos 24 segundos" onde um time tem um tempo de até 24 segundos para construir sua jogada. Se nesse tempo o time não marcar a cesta, existem duas possibilidades, o outro time fica com a bola e o cronômetro volta para os 24 segundos, ou então o time que atacou fica com o rebote ofensivo, e o tempo do cronômetro será de 14 segundos.

O objetivo desse relatório é mostrar as etapas do processo de desenvolvimento do protótipo de evolução do nosso sistema. Apresentar a metodologia utilizada na construção do problema, descrições sobre o funcionamento, componentes, e módulos do circuito, e também apresentação de uma sequência de testes realizados, todos os tópicos citados serão expostos nas respectivas seções: desenvolvimento, resultados e discussões, e considerações finais.

2 DESENVOLVIMENTO

Nessa seção será exposto toda fundamentação teórica que foi a base para realizar o desenvolvimento do sistema, juntamente com a metodologia utilizada. Assim como no projeto 1, foi construído um diagrama de blocos, que consiste em uma atualização em relação ao primeiro diagrama, para que fosse possível manter toda a implementação que seria a base do projeto, e realizar todas as alterações necessárias para a atualização do protótipo. Podemos ver as atualizações no diagrama de blocos na (Figura 1).

A (Figura 1), também exibe o fluxo de informações que ocorre dentro do nosso sistema, esse fluxo que podemos classificar como a transferência de informações entre os blocos no nosso sistema. As informações são sequências binárias, segundo (TRISTÃO, 2020), sequências binárias

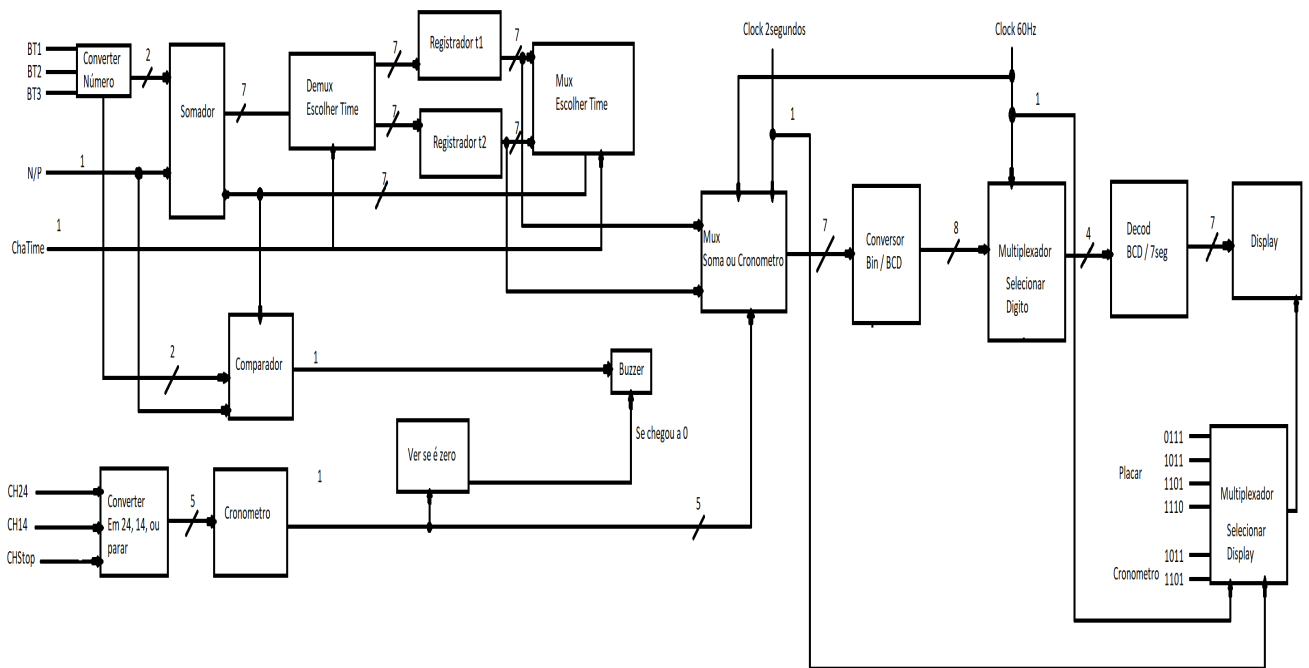


Figura 1 – Diagrama de blocos e fluxo de informações

são a composição dos algarismos binários 0 e 1, que formam, letras, números, ou textos. As sequências são passadas entre os blocos do sistema. Nesse relatório vamos dar uma ênfase aos novos blocos criados: registrador crômetro, divisor de clock, flip flop, etc..Os demais blocos já foram apontados no relatório anterior.

O Sistema foi construído utilizando circuitos combinacionais, que são circuitos dependentes dos sinais de entrada, e de estados anteriores do circuito, possuindo, além de portas lógicas, algum tipo de dispositivo de memória (PASTRO, 2004).

Como mostrado no diagrama cada bloco possui uma quantidade de bits (Dígitos binários) tanto de entrada, quanto de saída, e são tratados cada qual dentro da sua estrutura, o sistema é totalmente ligado entre si, e cada bloco interligado um com o outro. Para dar início a solução do problema foi necessário o desenvolvimento de um divisor de frequência do clock, que tem a função de dividir a frequência de do clock da FPGA por dois a cada flip-flop que é inserido (AMORIM, 2011), podemos ver o módulo divisor de clock na (Figura 2)

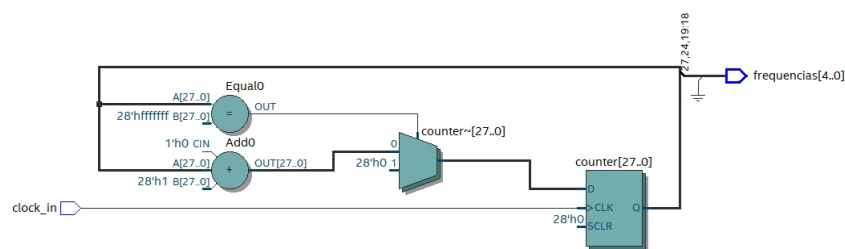


Figura 2 – Módulo divisor de clock

A divisão do clock será fundamental para o funcionamento do circuito, pois, em alguns momentos é necessário que as informações sejam alteradas de forma síncrona dentro do circuito, e para isso é necessário a utilização do clock, porém o clock da própria placa FPGA Max II, é muito alto (50Mhz), então precisamos dividir o clock uma quantidade de vezes para obtermos os valores de frequências que utilizaríamos. Foram utilizados 28 flip flops na divisão, sendo possível acessar cada "posição" de divisão, para utilizarmos o clock escolhido, basta selecionar a posição do flip flop.

Os flip flops são dispositivos que servem para armazenamento, sendo tais acionados pela borda de sinal do clock. O sinal de relógio, ou simplesmente clock, representa o número de ações que ocorre por segundo ([DIGITAL, 2017](#)) sendo equivalente ao tempo de um bit, o clock será o responsável por coordenar as mudanças que irão ocorrer dentro do sistema.

O bloco de entrada das chaves(chave24/chave14, chaveStop, ChaveReset) essa parte é a parte que irá fazer o controle da ativação do contador. As chaves vão fazer a definição de que nível lógico será passado para o cronômetro, nos circuitos digitais a presença de uma tensão será indicada como nível lógico alto, e ausência será indicada como nível lógico baixo ([PIAVA, 2022](#)). Quando levanta a chave passa o valor de nível lógico alto, quando abaixada, o nível passa a ser baixo.

A chave 24/14 tem a função de alternar o valor do cronômetro utilizado, entre 24 e 14 segundos, para confirmar essa alteração foi utilizado uma chave de reset, que irá resetar o cronômetro para o valor escolhido na chave 24/14, que quando em nível lógico alto, ativará o contador de 24 segundos, e em baixo ativa o contador de 14 segundos.

Como foi citado, dependendo de qual informação for passada para nossa chave, teremos três opções para o nosso contador, realizar a contagem de 24 segundos, realizar a contagem de 14 segundos, ou então realiza uma pausa na contagem. Para entendermos como é o funcionamento do contador se faz necessário conhecer um pouco de sua estrutura interna. Existem dois tipos de contadores, os síncronos e os assíncronos. Para ([FLOYD, 2009](#))

“... Um contador assíncrono é aquele no qual os flip-flops que constituem o contador não mudam de estado exatamente ao mesmo tempo porque eles não têm um pulso de clock comum, e um contador síncrono é aquele no qual todos os flip-flops recebem pulsos de clock ao mesmo tempo por meio de uma linha comum.”

Como podemos ver na (Figura 3), O nosso sistema irá utilizar um contador assíncrono, que como já foi dito, recebe um pulso de clock na sua primeira entrada e as demais saídas se conectam a entrada de clock do próximo flip-flop. Para construir a estrutura utilizamos flip-flops do tipo T, que possui uma entrada e uma saída, além da entrada do clock. O valor utilizado no clock será de 1,49hz, que é o valor mais próximo de um segundo, o qual poderá ter uma precisão maior em relação, a contagem decrescente de 24 ou 14 segundos.

Dentro da estrutura principal do cronômetro regressivo, ou contador temos dois blocos auxiliares, que são os blocos: cronometroRegressivo14, cronometroRegressivo24, que ao serem selecionados pela ChaveEscolher, serão executados e o valor será passado para saída que está ligado a um demultiplexador que selecionará qual informação passar, ou a informação do bloco de 24, ou a do bloco de 14.

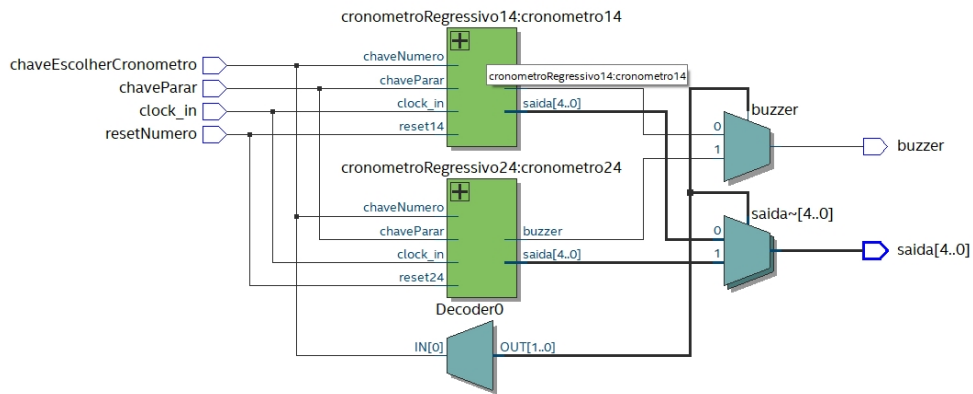


Figura 3 – Contador Assíncrono

Após sair do contador a informação de 5bits, que representa os valores 24= 11000 e 14 = 1110 vai para o multiplexador, que é um dispositivo que recebe uma quantidade de bits, e com a utilização do clock de 60hz irá alternar entre o valor mais significativo, e o menos significativo para envia-los ao conversor Binario BCD e posteriormente realizar a decodificação e a exibição no display de 7 segmentos, como vemos na (Figura 4).

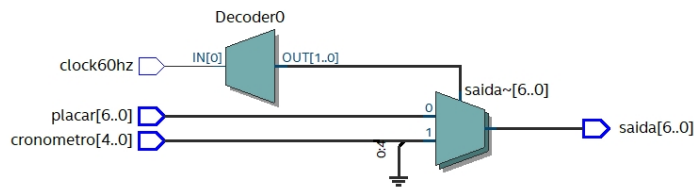


Figura 4 – Multiplexador que recebe o clock, as informação do placar de cada time, e a informação do valor selecionado no contador

Ao inserir o valor desejado e realizar a seleção da operação que deseja fazer, por meio da chave negativa-positiva em que, quando está em nível lógico 0, o somador realiza a soma positiva, e quando a chave está em nível lógico 1, o somador realiza a soma negativa (subtração), os 7 bits contendo o valor da soma saem do somador/subtrador, e entram no registrador do time selecionado, pois, o módulo de soma e registro é alterado para cada time, dependendo da posição da chave de seleção de times, vemos a estrutura do módulo de registro na (Figura 5)

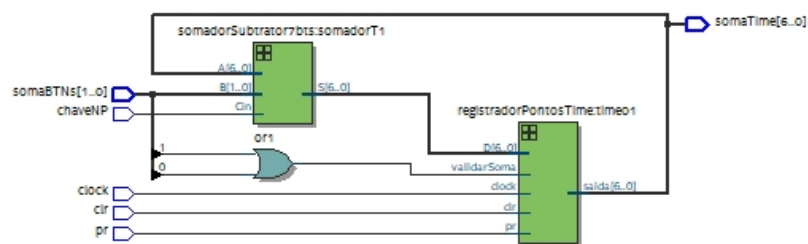


Figura 5 – Módulo somador e registrador, selecionados para o 1º time

Os registradores recebem os bits que saem do somador e os guardam dentro da sua estrutura, para construção do registrador foram utilizados flips flops do tipo D (Figura 6), que são do tipo mais simples. Tendo o clock como outra entrada, os valores contidos no registrador só irão ser alterados a cada borda de clock, ou seja cada vez que o clock alterar, se as entradas no registrador forem diferentes das guardadas, eles irão atualizar. Se não, vão manter o valor já registrado até a próxima mudança, serão utilizados dois registradores, para registrar o valor da pontuação de cada time. Vemos isso na (Figura 7)

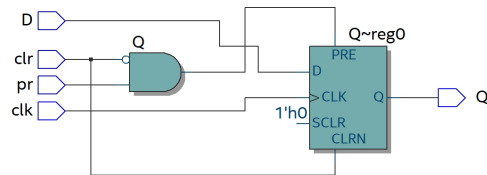


Figura 6 – Estrutura de um Flip Flop - Tipo D

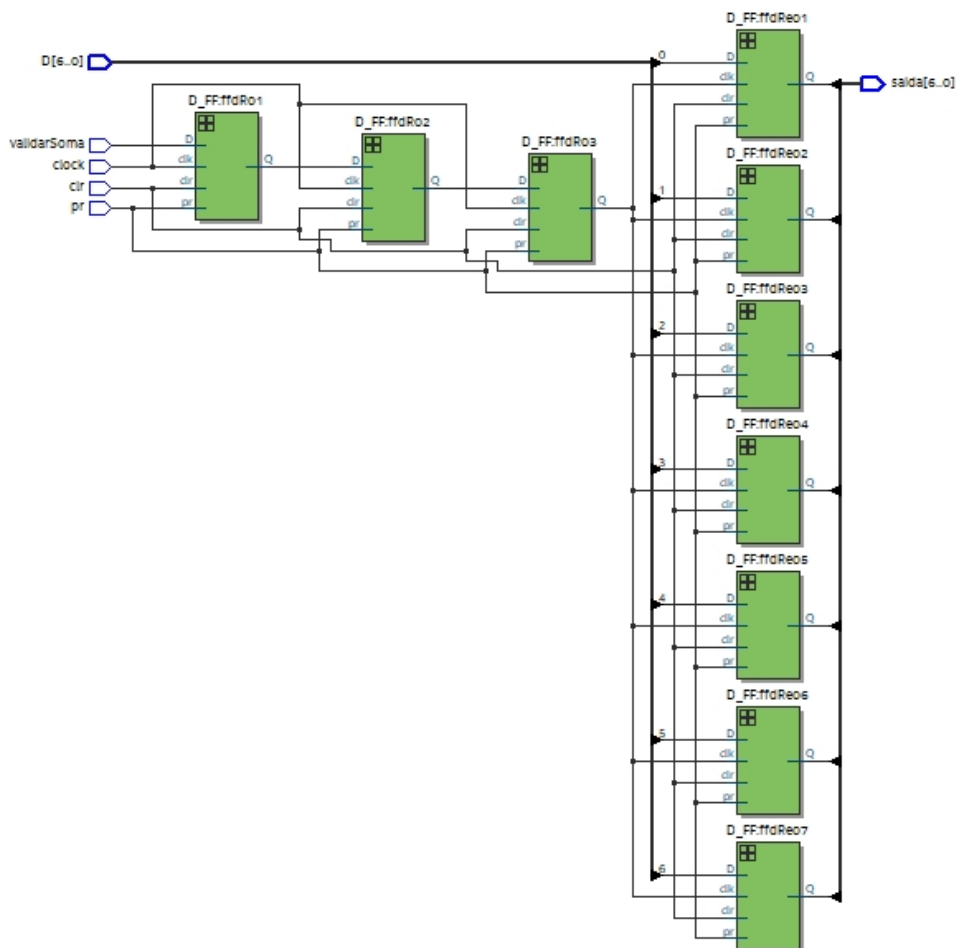


Figura 7 – Estrutura dos registradores

Na (Figura 7) vemos a estrutura do registrador, onde recebe os bits do somador e os armazena de forma assíncrona, sendo controlado pelo clock, que como já dito só irá alterar o valor contido em cada registrador nas bordas de clock, foram utilizados o flip flops do tipo D

para a construção do registrador individual de cada time.

Após sair do registrador, o funcionamento do sistema ocorre de forma como já estava implementado no problema 1. Os valores do placar e do cronometro são ligados em um mux, o qual será controlado por um clock, que irá alternar entre os valores que entram no o conversor binario bcd, que irá gerá números BCD(Codigo binario para decimal) equivalentes ao binario de entrada, e então passa por outro mux para selecionar os bits mais significativos, e posteriormente os menos significativos e realizar a conversão para exibição no display de 7segmentos, o funcionamento mais detalhado dessas etapas citadas, foi descrito no relatório 1.

3 RESULTADOS E DISCUSSÕES

Por fim ao contruir todos os blocos do circuito e realizar sua integração, não obtivemos um sistema fiel ao diagrama de blocos, mas não fugiu as nossas expectativas, as figuras (Figura 8) e (Figura 9) mostram a representação final e em alto nível do sistema desenvolvido, foi dividido em duas partes, pois, a visualização do diagrama ia ficar muito pequena.

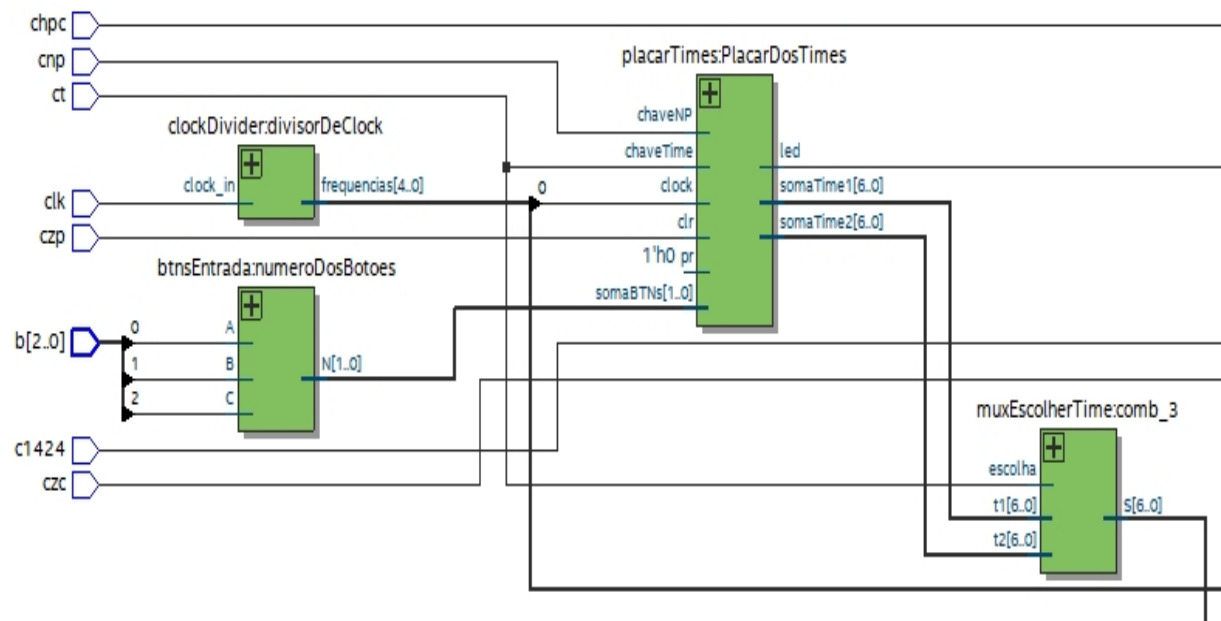


Figura 8 – Sistema final em alto nível, parte 1

A seguir iremos mostrar e detalhar o processo de testes do nosso sistema, como foi testado cada bloco, e se funcionou da maneira em que era esperado. Os testes foram realizados utilizando o teste de simulação temporal, pois, é um teste mais "Real"

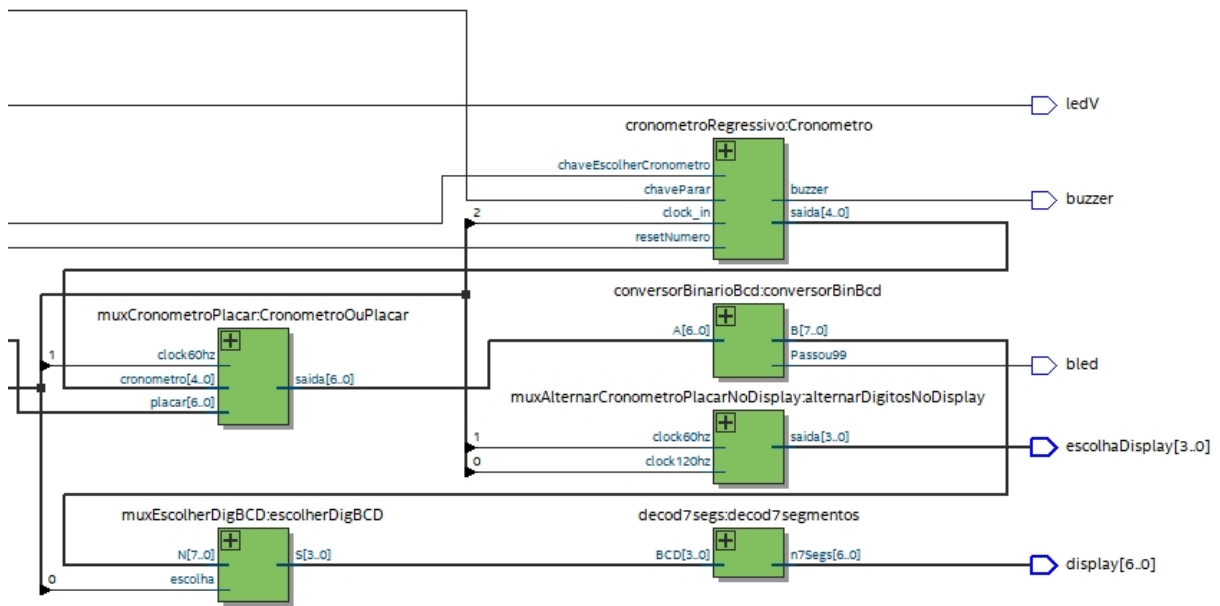


Figura 9 – Sistema final em alto nível, parte 2

3.0.1 Contador

O contador/crômetro como já dito anteriormente funciona quando definimos se o nível lógico da chave será alto que representa 24, ou baixo, que representa o 14, quando setada a chave começa a realizar o decremento por meio do contador. O que é mostrado no teste na (Figura 11) que mostra o valor 14 sendo decrementado, o mesmo acontece para o valor 24.

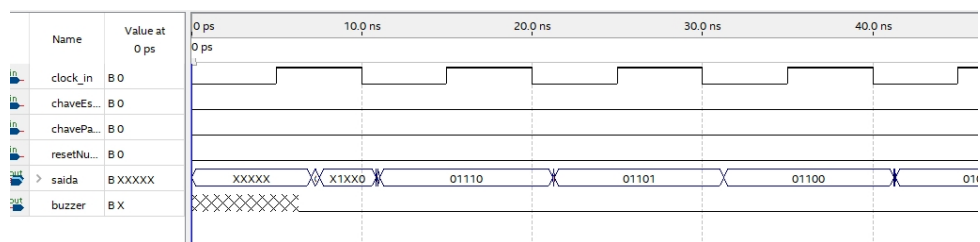


Figura 10 – Teste crômetro

3.0.2 Somador Registrador

Na (Figura 11) Vemos os resultados dos testes do somador, onde estamos passando um sinal de frequência para o clock que é o responsável por realizar as mudanças de valores no somador que ocorrem a cada borda. Quando o clock está em nível alto o valor da soma é alterado, quando o clock está desabilitado, ele retém o ultimo valor armazenado. Ocorre também uma função de realimentação, pois, os valores armazenados no registrador, voltam ao somador para serem somados a entrada de informações que o usuário passa através dos botões (1,2,3).

Detalhe para o teste que quando a chaveTime está alterada o registrador onde o valor será armazenado é alterado, para o time 1 - parte a), para o time 2- parte b)



Figura 11 – Teste somador para os dois times

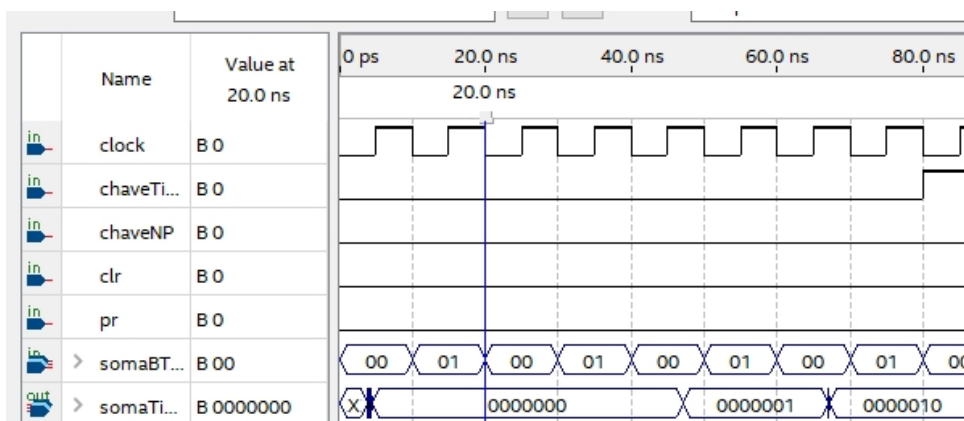


Figura 12 – Teste Adição Registrador - Time 1

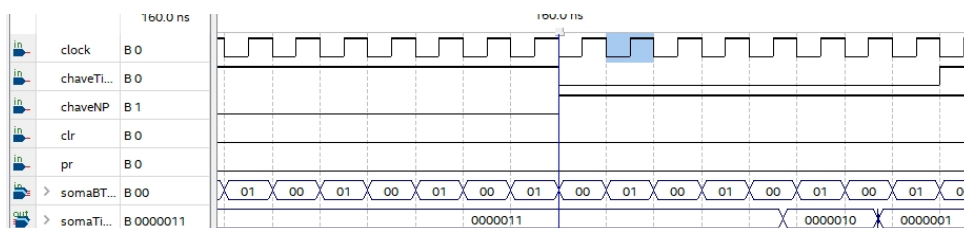


Figura 13 – Teste Subtração registrador - Time 1

Esse teste já faz uma abordagem a dois módulos do nosso sistema o somador e o registrador, dando uma ênfase a parte do somar time 1 poderemos ver na (Figura 12) que trás o teste do armazenamento de valores após serem adicionados ao valor armazenado no registrador. Na (Figura 13) vemos a situação de subtração, é valido lembrar que essas alterações dentro dos registradores só ocorrerão na borda de descida do clock.

Abordando também o teste do divisor de clock, que está funcionando perfeitamente.

3.0.3 Pinagem Detalha

Por fim a apresentação da pinagem de tudo o que foi utilizado nesse projeto

Node Name	Direction	Location
in b[2]	Input	PIN_44
in b[1]	Input	PIN_48
in b[0]	Input	PIN_50
out bled	Output	PIN_54
out buzzer	Output	PIN_43
in c1424	Input	PIN_35
in chpc	Input	PIN_33
in clk	Input	PIN_12
in cnp	Input	PIN_42
in ct	Input	PIN_40
in czc	Input	PIN_30
in czp	Input	PIN_38
out display[6]	Output	PIN_39
out display[5]	Output	PIN_92
out display[4]	Output	PIN_100
out display[3]	Output	PIN_98
out display[2]	Output	PIN_41
out display[1]	Output	PIN_70
out display[0]	Output	PIN_90
out escolhaDisplay[3]	Output	PIN_37
out escolhaDisplay[2]	Output	PIN_68
out escolhaDisplay[1]	Output	PIN_66
out escolhaDisplay[0]	Output	PIN_88
out ledV	Output	PIN_86

Figura 14 – pinagem

A pinagem da (Figura 14) foi feita de maneira que melhor se adequasse ao nosso projeto, vamos fazer uma pequena descrição de alguns botões e pinos que foram utilizados.

- Chave 14/24 - Pinada na Chave 7 da FPGA (Mudança de valores do crômetro)
- Chpc - Pinada na Chave 6 - Para o crômetro
- Clk - Clock da Placa

- CNP - Pinada na Chave 0 da FPGA (Chave negativa positiva para o somador)
- Czp - Pinada na Chave 2 - Para zerar os registradores dos times
- Ct - Pinada na chave 1 - Muda de time
- b[0] - Pinada no botão3 - Corresponde ao botão que insere o valor 1
- b[1] - Pinada no botão2 - Corresponde ao botão que insere o valor 2
- b[2] - Pinada no botão1 - Corresponde ao botão que insere o valor 3

4 CONSIDERAÇÕES FINAIS

O presente relatório visa mostrar todo o processo de desenvolvimento e atualização, do sistema solicitado pela Prefeitura Municipal de Feira de Santana, O circuito foi desenvolvido em Verilog Hdl, também foi utilizado o software logisim para auxiliar na construção dos circuitos lógicos do sistema, e a solução proposta no relatório sana os pontos em que precisavam de atualização.

Vários subproblemas foram apresentados nesse relatório e suas devidas soluções foram dadas na seção de desenvolvimento e na seção de resultados e discussões, o circuito apresentado resolve todo o problema proposto, tanto o primeiro problema quanto o segundo problema que são as atualização da funcionalidade do dispositivo, que incluíram a utilização de divisor de clock, registrador, contador/crômetro, todas as funcionalidades funcionam corretamente.

Os pontos fortes desse relatório, são trazer algumas problemáticas e dificuldades que tivemos que enfrentar durante a produção do circuito, juntamente com o aprendizado que obtivemos durante a elaboração, apresentando as fontes de pesquisas utilizadas, os métodos de solução de problemas, os circuitos e os testes, porém o mesmo pode não apresentar total clareza, podendo conter alguns erros de ortografia, coesão e coerência.

REFERÊNCIAS

AMORIM, P. C. A. P. *Experiência 4: Aplicação de FF – Divisor de Frequência*. 2011. Disponível em: <https://www.feg.unesp.br/Home/PaginasPessoais/ProfMarceloWendling/lab.-4—divisor-de-frequencia.pdf>. Acesso em: 24 de Mai de 2022. Citado na página 2.

DIGITAL, O. *Clock, cache e núcleos: saiba como eles afetam o desempenho do processador*. 2017. Disponível em: <https://olhardigital.com.br/2017/02/10/noticias/clock-cache-e-nucleos-saiba-como-eles-afetam-o-desempenho-do-processador>. Acesso em: 19 de Mai de 2022. Citado na página 3.

FLOYD, T. *Sistemas digitais - fundamentos e aplicações*. [S.l.]: Bookman, 2009. v. 4. Citado na página 3.

PASTRO. *Circuitos Combinacionais*. 2004. Disponível em: <http://www.cricte2004.eletrica.ufpr.br/pastro>. Acesso em: 19 de Mai de 2022. Citado na página 2.