

NingHeChuan

本站已停更，新的博客在个人网站：ninghechuan.com 微信订阅号：硅农

博客园

首页

新随笔

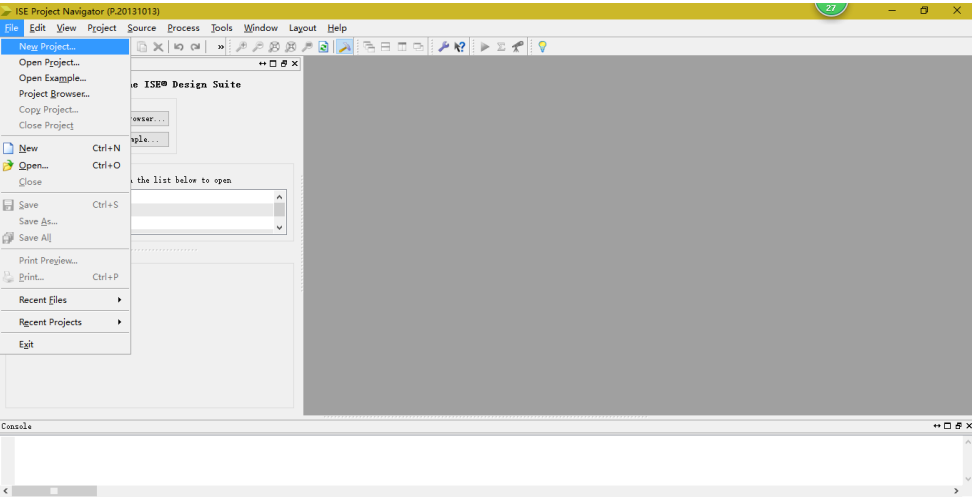
联系

管理

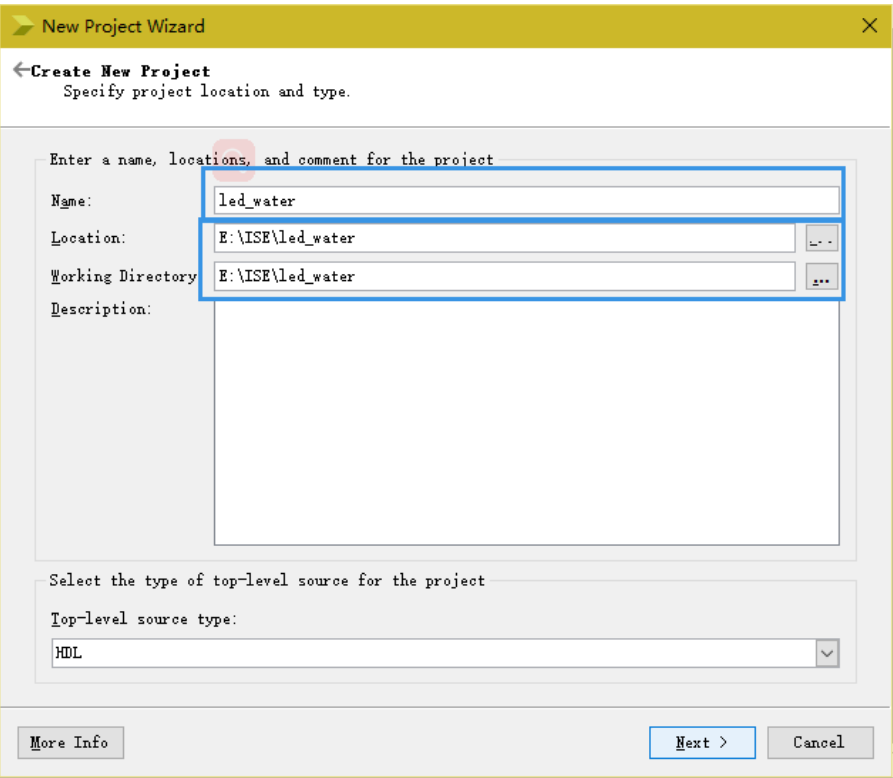
随笔 - 72 文章 - 0 评论 - 77

ISE14.7使用教程（一个完整工程的建立）

FPGA公司主要是两个Xilinx和Altera（现intel PSG），我们目前用的ISE是Xilinx的开发套件，现在ISE更新到14.7已经不更新了，换成了另一款开发套件Vivado，也是Xilinx的产品，intel的开发套件是Quartus II系列，我们实验室这两款公司的开发板都有，不过对于入门来说，选择ISE有两个原因，一是它比Vivado快多了，二是它和Quartus II相比不用自己写测试文件（激励）。实验室的板子这两个公司都有，代码都是可以移植的，学习的话都要学的，软件不是问题，重点是FPGA的设计思想。本篇呢就用一个实例，基于FPGA 的流水灯来介绍一下ISE的使用完整流程。



打开软件，点击file——new project。



公告

昵称：NingHeChuan
园龄：4年
粉丝：307
关注：19
[+加关注](#)

2020年11月						
日	一	二	三	四	五	六
1	2	3	4	5	6	7
8	9	10	11	12	13	14
15	16	17	18	19	20	21
22	23	24	25	26	27	28
29	30	1	2	3	4	5
6	7	8	9	10	11	12

搜索

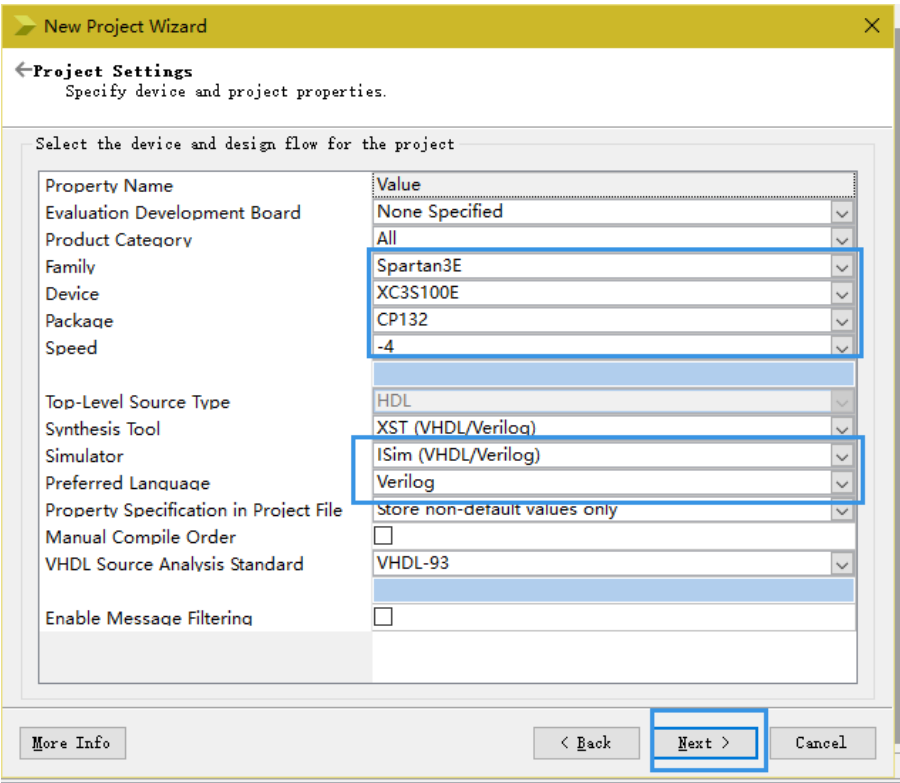
随笔分类 (72)

- Arduino(2)
- COMS_Sensor_Drive(1)
- CPU Verilog HDL Design(1)
- FPGA(14)
- FPGA&数字IC笔面试题(5)
- ISE(8)
- Linux(1)
- MATLAB数字图像处理(6)
- Modelsim(4)
- Other(1)
- Python(1)
- QuartusII(2)
- SDRAM(1)
- VIP（Video Image Processor）(3)
- Vivado(6)
- ZYNQ(3)
- 数字图像处理（FPGA）(13)

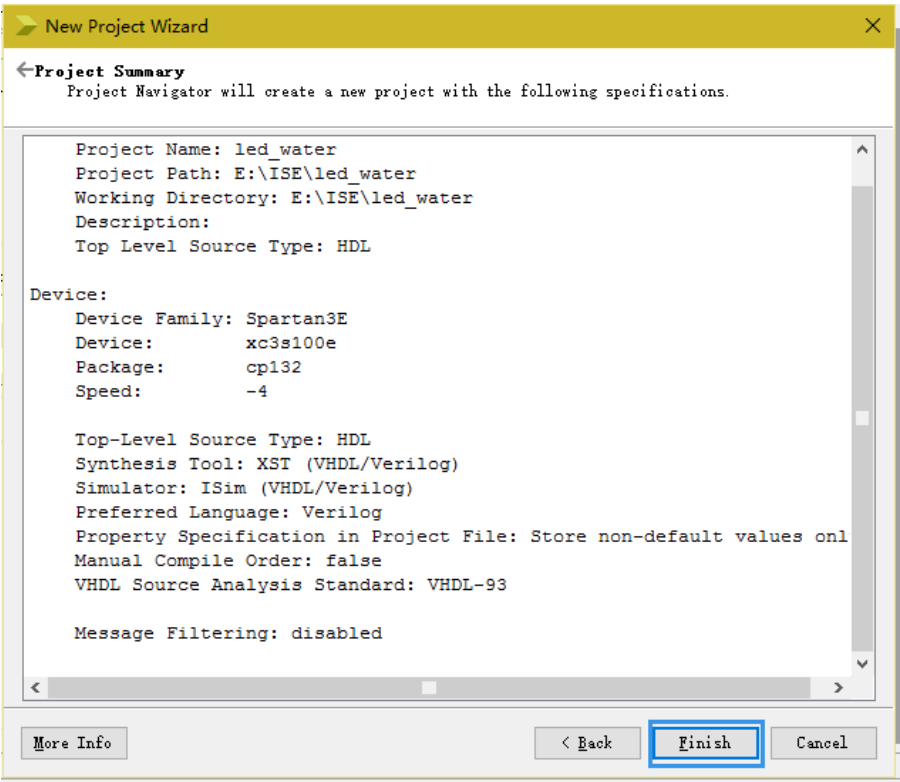
随笔档案 (72)

- 2018年11月(2)
- 2018年10月(4)
- 2018年9月(1)
- 2018年8月(8)
- 2018年5月(2)
- 2018年4月(2)
- 2018年3月(5)
- 2018年1月(4)

建立一个新的工程，工程名为led_water，next~。



这里设置板卡信息，我使用的板子是basys2，语言为verilog HDL，next~。



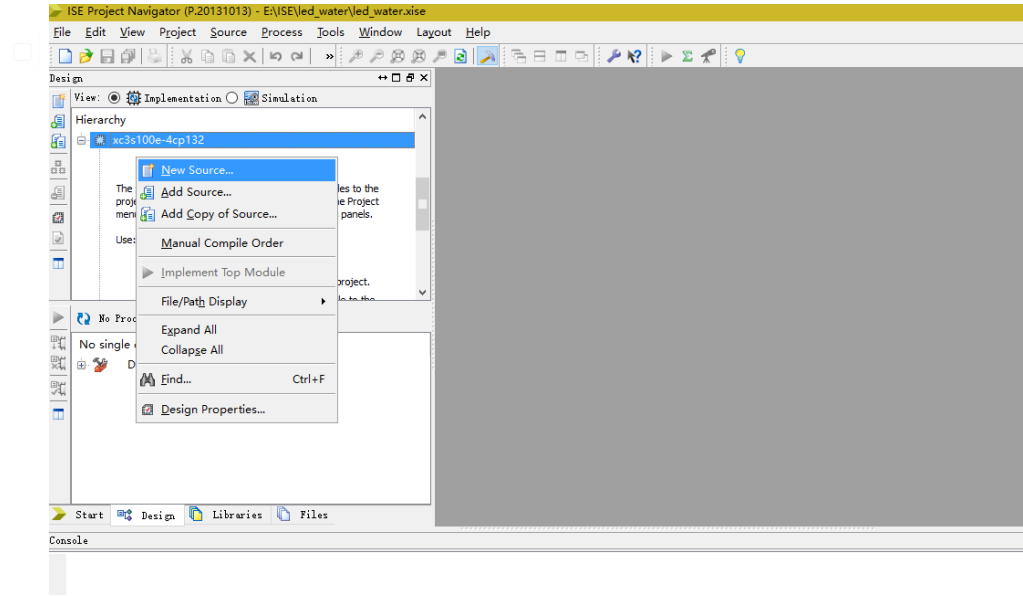
这里是总结界面，点击finish。

2017年11月(2)
2017年10月(4)
2017年9月(7)
2017年8月(9)
2017年7月(6)
2017年6月(5)
2017年5月(2)
2017年4月(2)
2017年3月(1)
2017年2月(2)
2017年1月(2)
2016年12月(2)

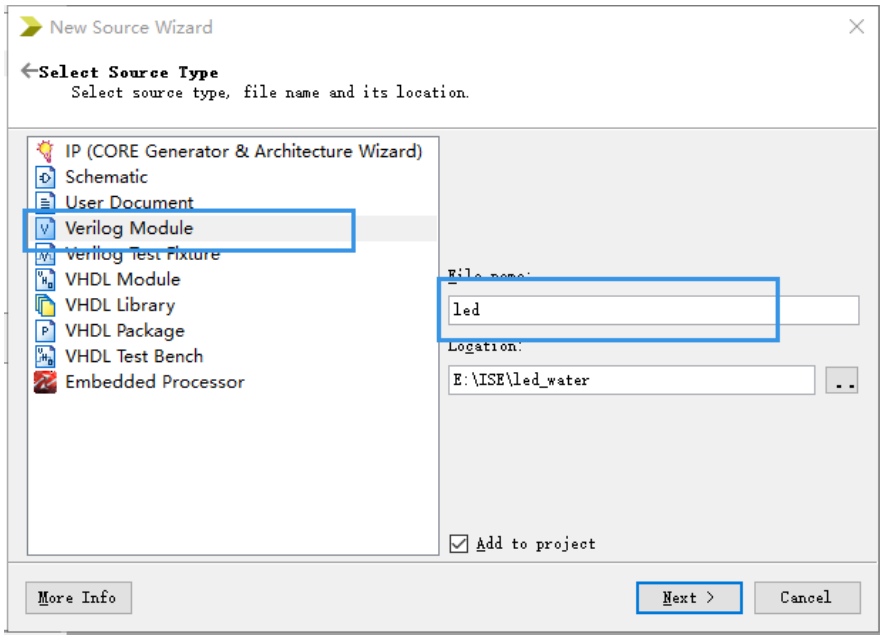
最新评论

1. Re:基于Verilog HDL的二进制转BCD码实现
还有一个问题，你这输入16位的数，最大为65535，输出只有四个不够吧，如果输入为23456，你这结果只能输出3456，
--芒果配火锅
2. Re:基于Verilog HDL的二进制转BCD码实现
博主。你这个代码仿真过了吗。为啥我仿真的不正确，done指示信号比结果晚了 应该把程序中两处shift_cnt == SHIFT_DEPTH + 1改为shift_cnt == SHIFT_DEPTH...
--芒果配火锅
3. Re:基于FPGA的4x4矩阵键盘驱动调试
还想请问下博主因为列信号需要输出判断行信号的变化，所以状态机状态转移用两个系统时钟周期跳转。采用状态机进行描述 这句怎么理解
--shiyang3345
4. Re:基于Verilog HDL的二进制转BCD码实现
@Advent 是的，会慢很多...
--NingHeChuan
5. Re:基于Verilog HDL的二进制转BCD码实现
博主，你这个方法不错，但是你用了时序逻辑后，至少需要3个时钟周期才能转换一次，这样不就比较纯组合逻辑的慢了吗
--Advent
6. Re:基于FPGA的4x4矩阵键盘驱动调试
@shiyang3345 是的...
--NingHeChuan
7. Re:基于FPGA的4x4矩阵键盘驱动调试
博主你的按键编码值是不是在按完键后值保持不变而不是清零
--shiyang3345
8. Re:Vivado2015.4使用教程（一个完成工程的建立）
@ cattle刘这个问题很多了，检测开发板供电是否正常，开发板型号是否选择正确，下载线是否连接好...
--NingHeChuan
9. Re:Vivado2015.4使用教程（一个完成工程的建立）
你好 我想问一下在下载程序的时候，检测FPGA板子的时候报错了，有什么解决办法吗？
--cattle劉
10. Re:基于Vivado调用ROM IP core设计DDS
@ cattle劉请确认你添加好了coe文件路径...
--NingHeChuan

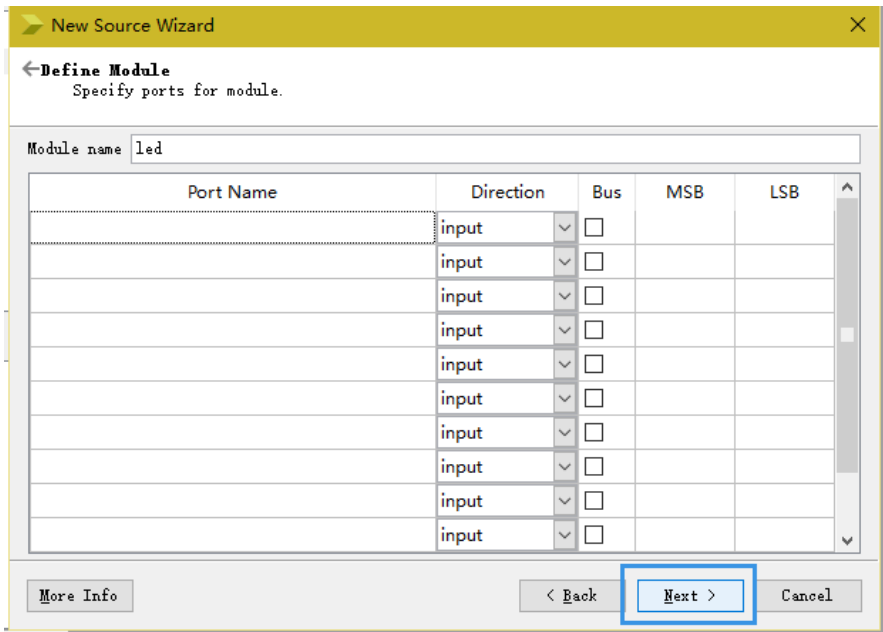
阅读排行榜



右键点击new source。



选择verilog module。文件名输入为led



Next~

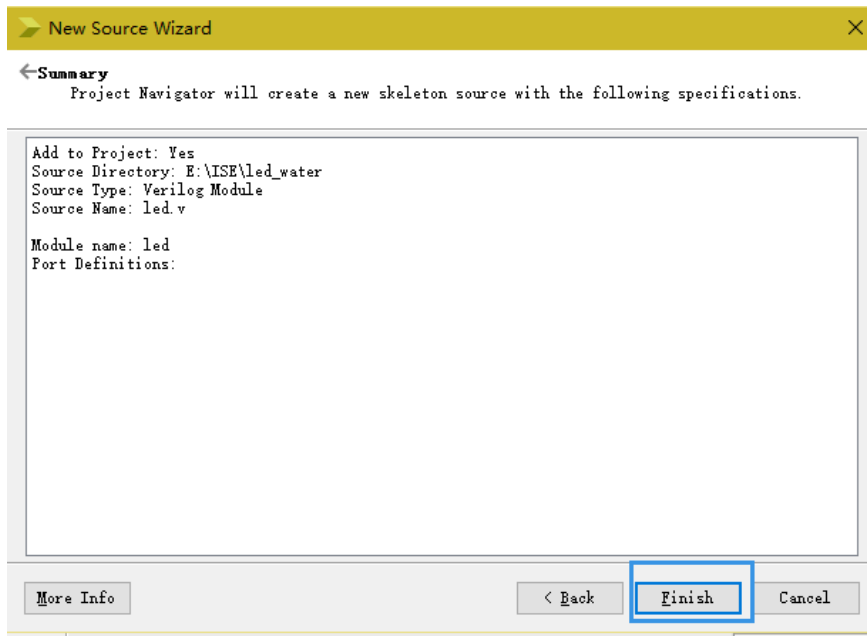
1. 基于MATLAB的均值滤波算法实现(26476)
2. Vivado常见问题集锦(26094)
3. QuartusII13.0使用教程详解（一个完整的工程建立）(25173)
4. ISE14.7兼容性问题集锦(23498)
5. 基于MATLAB的腐蚀膨胀算法实现(21265)
6. 基于MATLAB的中值滤波算法实现(20702)
7. PWM（脉宽调制）——LED特效呼吸灯设计(18318)
8. 基于MATLAB的Sobel边缘检测算法实现(16252)
9. 基于FPGA的VGA显示静态图片(16179)
10. 基于Vivado调用ROM IP core设计DDS(15242)

评论排行榜

1. 基于Xilinx FPGA的视频图像采集系统(9)
2. Modelsim10.2c使用教程（一个完整工程的仿真）(6)
3. 基于FPGA的Sobel边缘检测的实现(5)
4. 全网首创ISE入门级教程(5)
5. 基于Verilog HDL的二进制转BCD码实现(4)
6. 基于FPGA的肤色识别算法实现(4)
7. 基于FPGA驱动VGA显示图片的小问题(4)
8. 深刻认识shift_ram IP core——图像处理学习笔记(4)
9. 基于FPGA的4x4矩阵键盘驱动调试(3)
10. Modelsim独立仿真Vivado Clocking Wizard IP Core(3)

推荐排行榜

1. Isim你不得不知道的技巧（整理）(5)
2. Modelsim独立仿真Vivado Clocking Wizard IP Core(4)
3. 如何高效的编写Verlog HDL——菜鸟版(4)
4. 全网首创ISE入门级教程(4)
5. 基于FPGA的HDMI高清显示接口驱动(3)



Finish~

```
module led(
    input          clk,
    input          rst_n,
    output reg [7:0] led
);

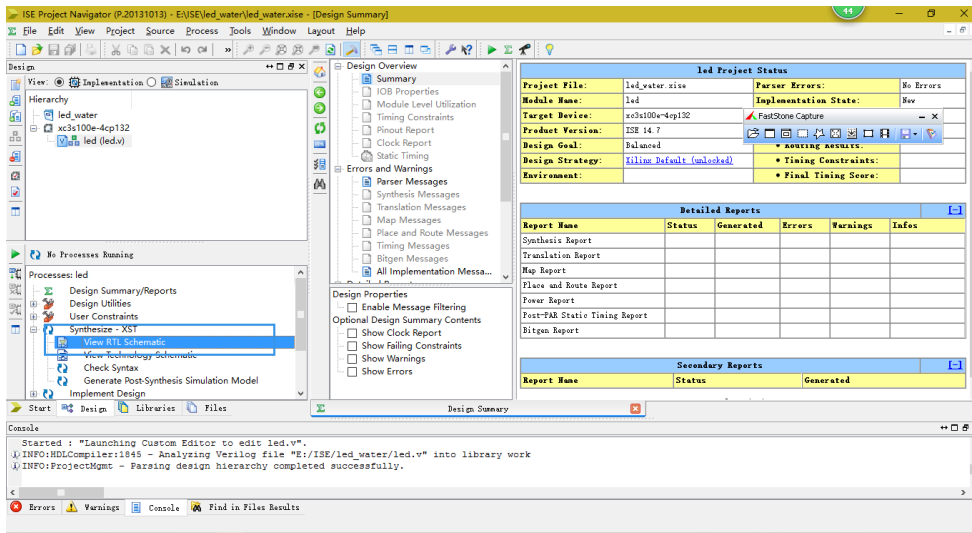
reg[25:0] cnt; //设定一个26位的计数器
parameter TIME = 26'd50000000;

always@(posedge clk or negedge rst_n) begin
    if(!rst_n)
        cnt <= 1'b0;
    else if(cnt == TIME-1'b1)
        cnt <= 1'b0; //当cnt计数达到50mhz时，计数器清零
    else
        cnt <= cnt + 1'b1; //否则计数器+1
end

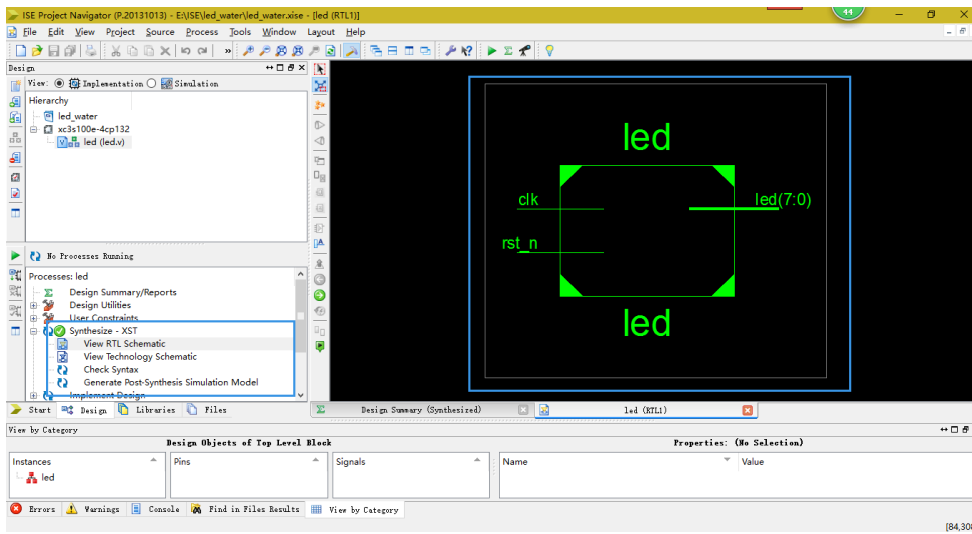
always@(posedge clk or negedge rst_n) begin
    if(!rst_n)
        led <= 8'b0000_1111;
    else if(cnt == TIME - 1'b1) //当计数器达到1s时钟执行此条件
        led <= {led[0], led[7:1]};
    else
        led <= led;
end

endmodule
```

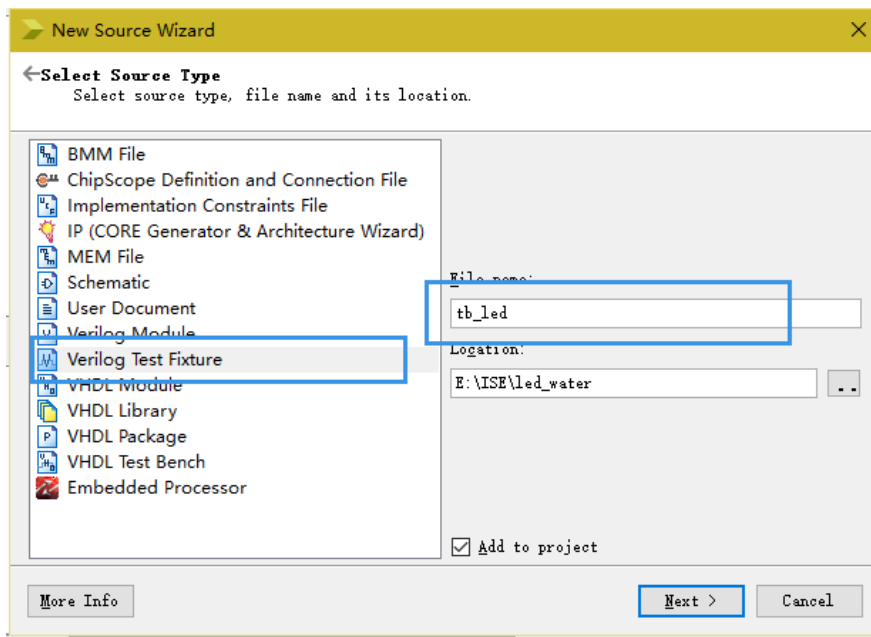
这是流水灯的代码，



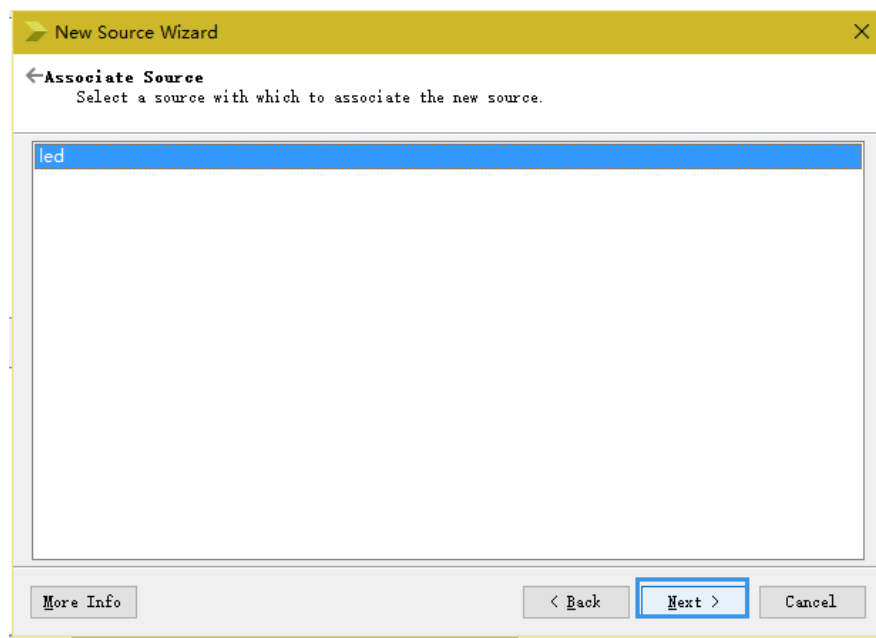
代码编写完成后，点击view RTL Schematic即可进行编译，可查看原理图。



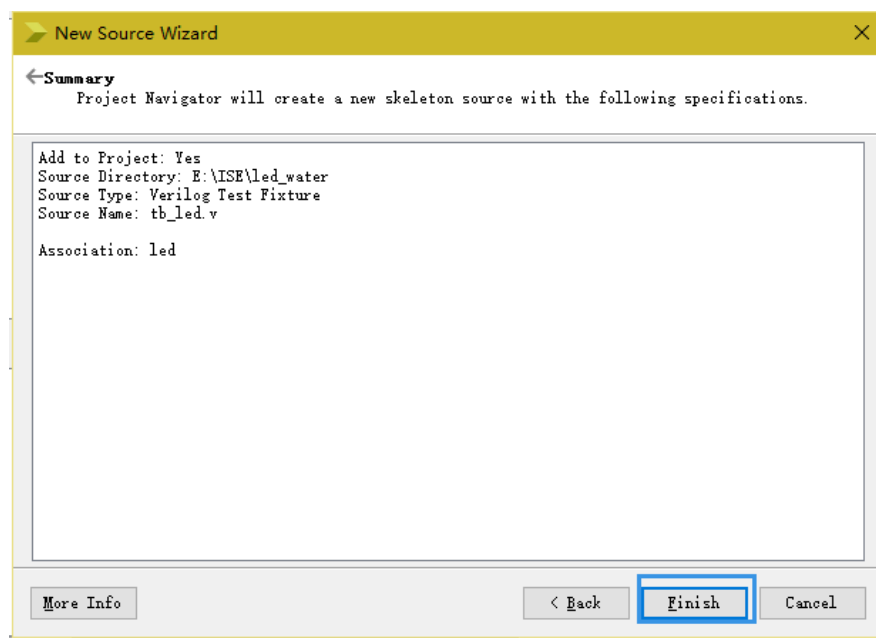
原理图生成了，便没有语法错误，接下来尽心时序仿真，检查逻辑错误。



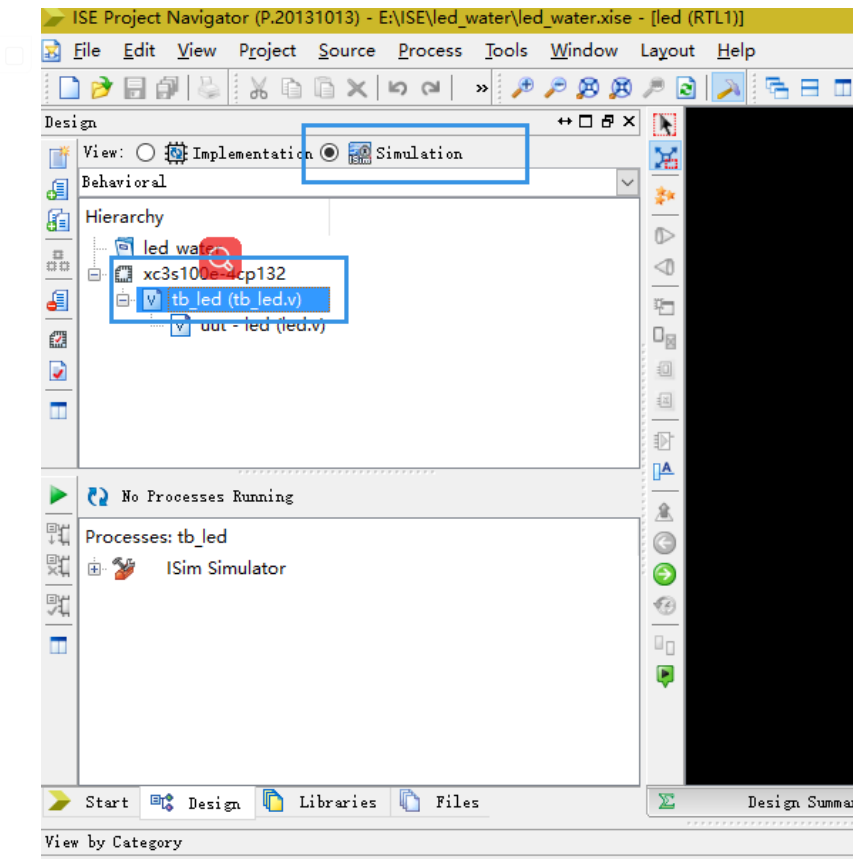
重新新建一个文件，verilog test fixture，文件名为tb_led。



Next~



Finish.



点击simulation，这是仿真界面，双击测试文件，查看代码。

```
// Outputs
wire [7:0] led;

// Instantiate the Unit Under Test (UUT)
led uut (
    .clk(clk),
    .rst_n(rst_n),
    .led(led)
),
always #10 clk = ~clk;

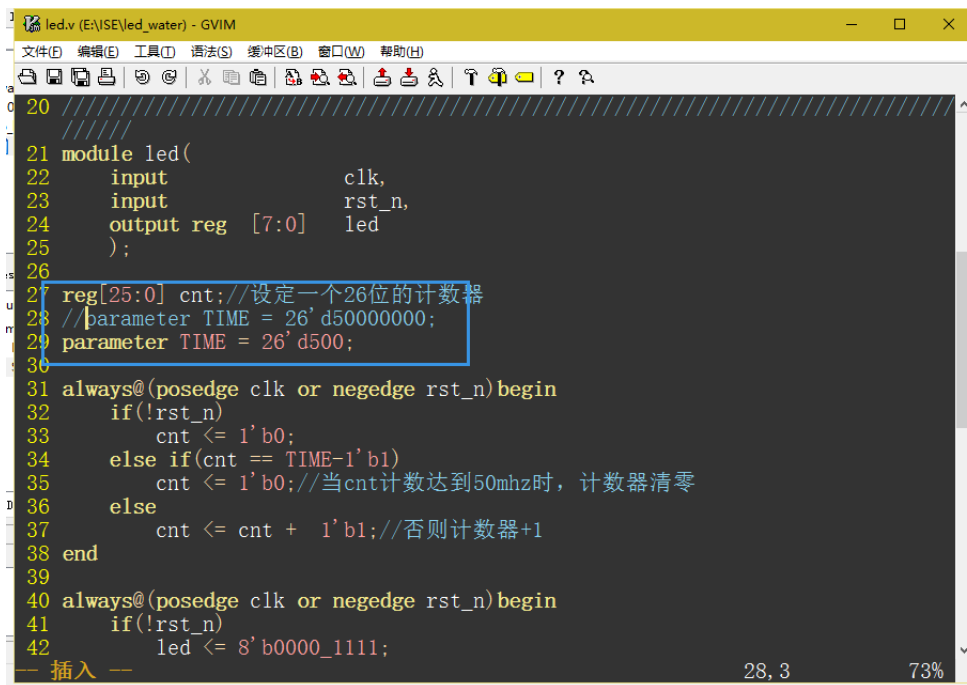
initial begin
    // Initialize Inputs
    clk = 0;
    rst_n = 0;

    // Wait 100 ns for global reset to finish
    #100;
    rst_n = 1'b1;

    // Add stimulus here

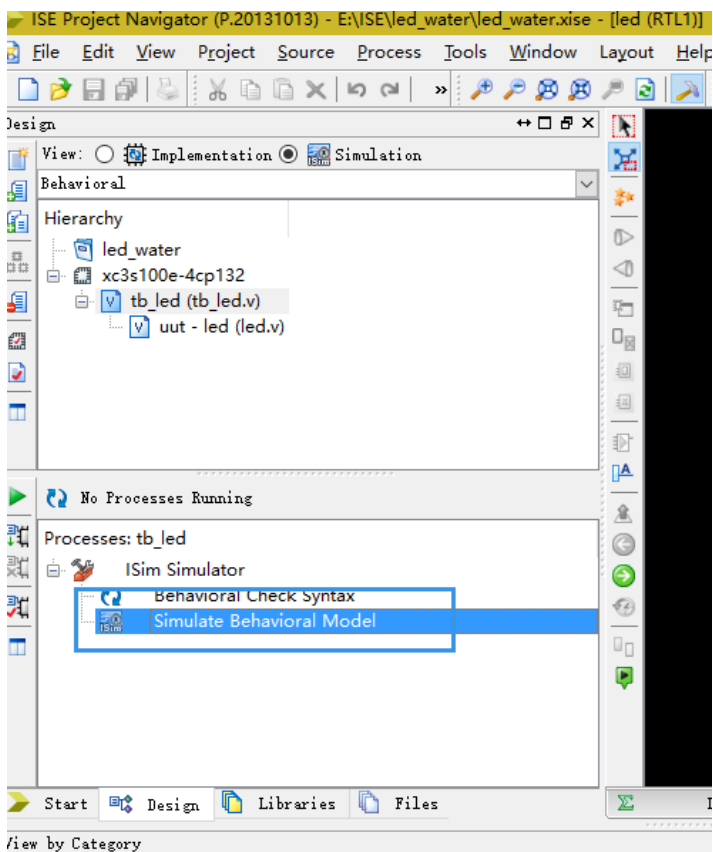
end
```

在测试文件里添加这两行代码，产生时钟，复位信号置1，电路正常工作。

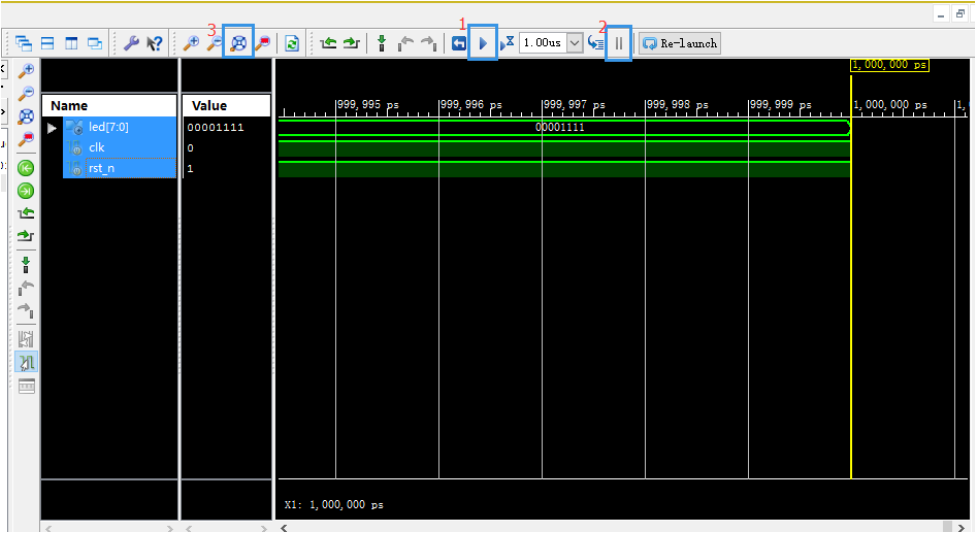


```
20 //////////////////////////////////////////////////
21 module led(
22     input          clk,
23     input          rst_n,
24     output reg [7:0] led
25 );
26
27 reg[25:0] cnt; //设定一个26位的计数器
28 //parameter TIME = 26'd50000000;
29 parameter TIME = 26'd500;
30
31 always@(posedge clk or negedge rst_n)begin
32     if(!rst_n)
33         cnt <= 1'b0;
34     else if(cnt == TIME-1'b1)
35         cnt <= 1'b0; //当cnt计数达到50mhz时，计数器清零
36     else
37         cnt <= cnt + 1'b1; //否则计数器+1
38 end
39
40 always@(posedge clk or negedge rst_n)begin
41     if(!rst_n)
42         led <= 8'b0000_1111;
43 end
44 插入
```

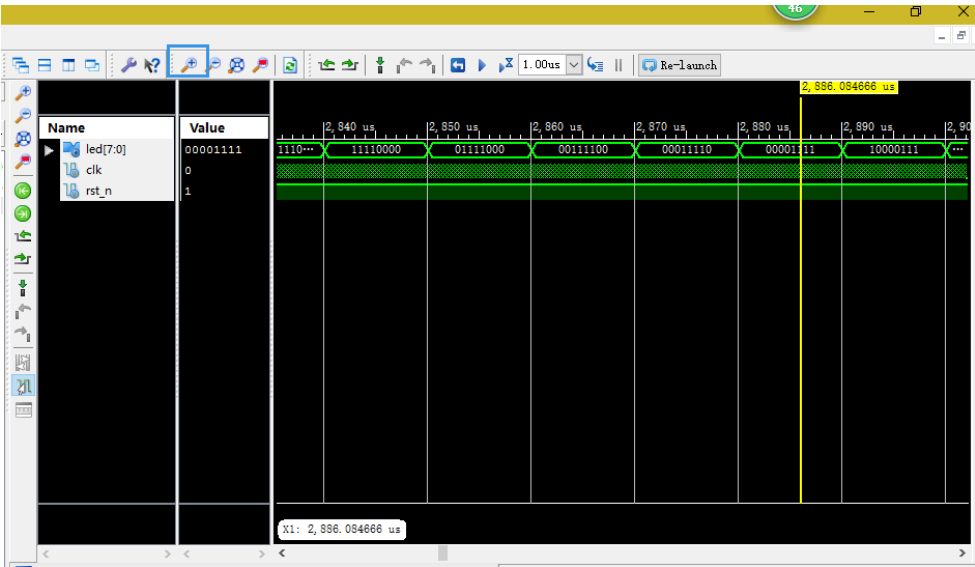
为了查看仿真波形迅速，这里将代码里的计数器参数改小点。



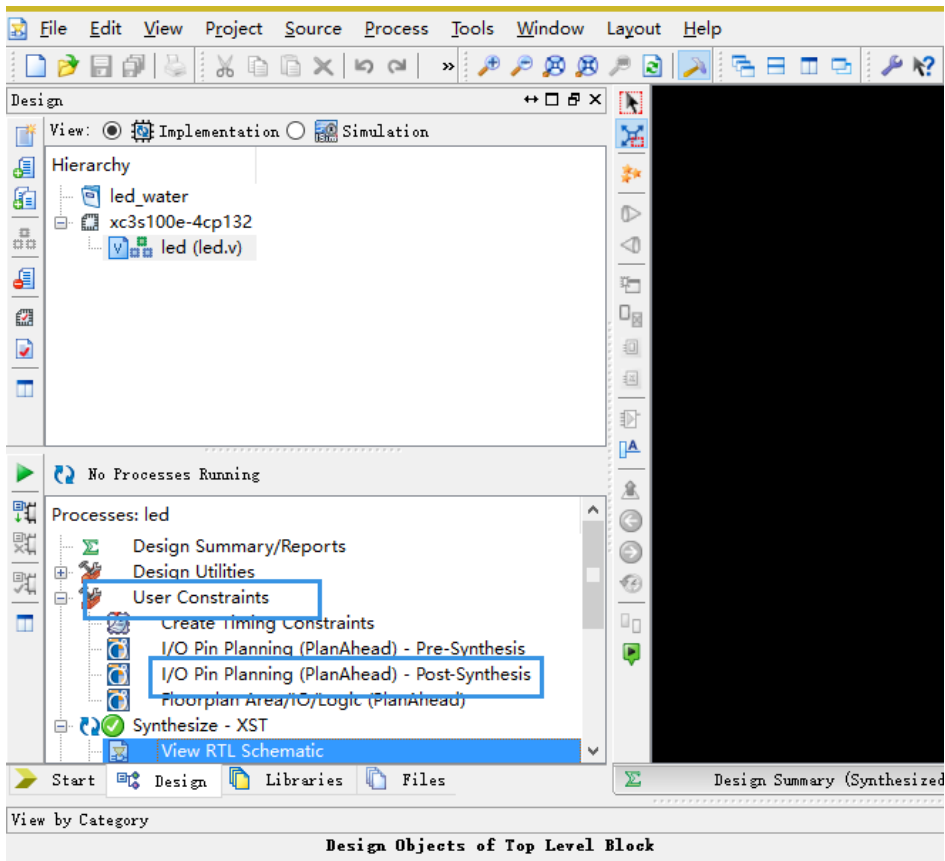
点击simulate behavioral model，运行仿真。



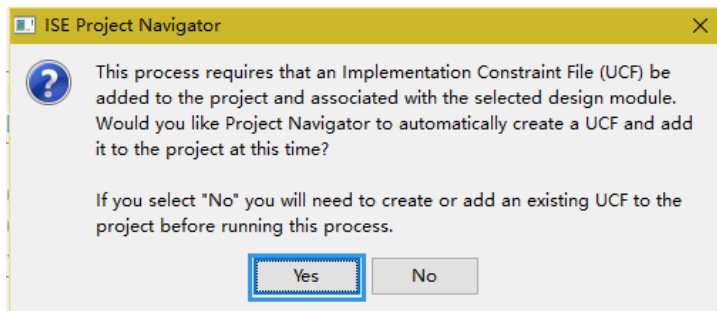
1 开始 2 暂停 3 查看波形



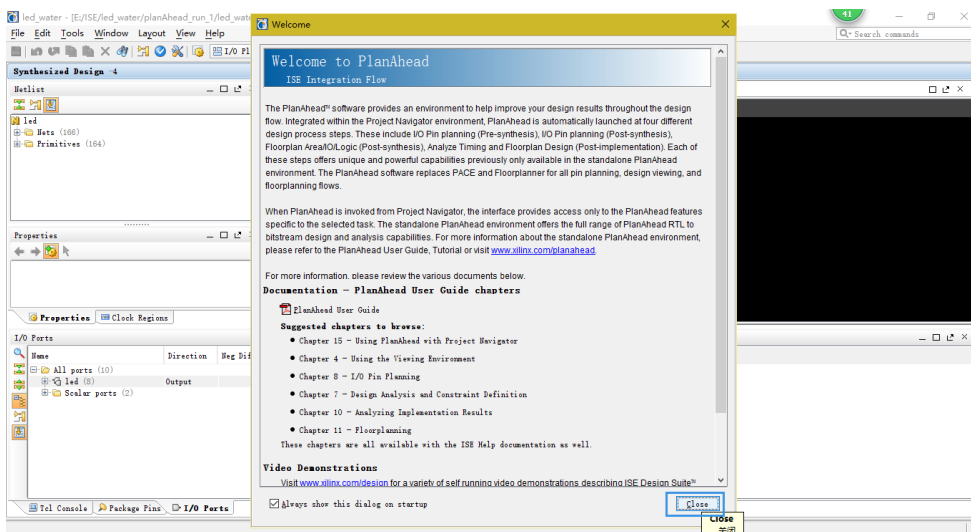
将波形放大查看，可以看到仿真完全正确。



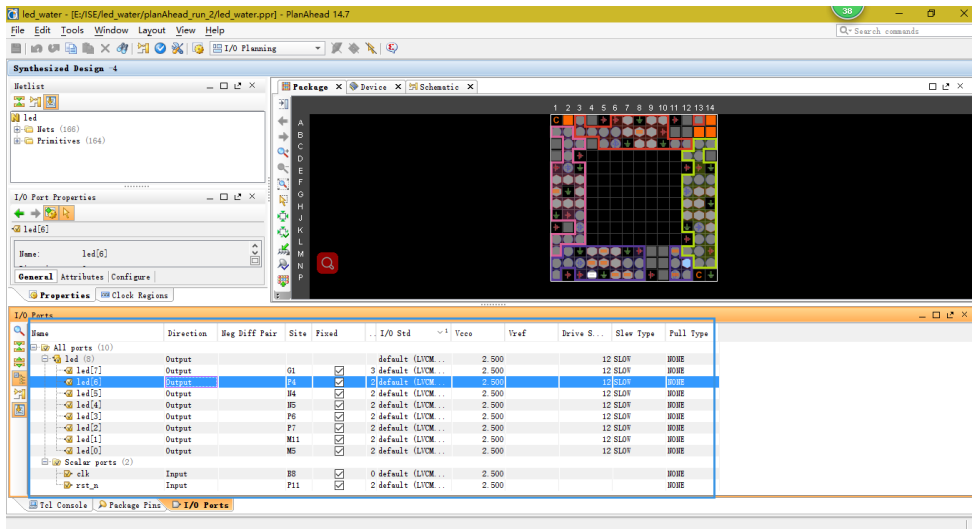
仿真正确后，就可以进行引脚约束从而进行板级仿真了。点击I/O pin planning (planahead) -post-synthesis打开引脚约束软件。



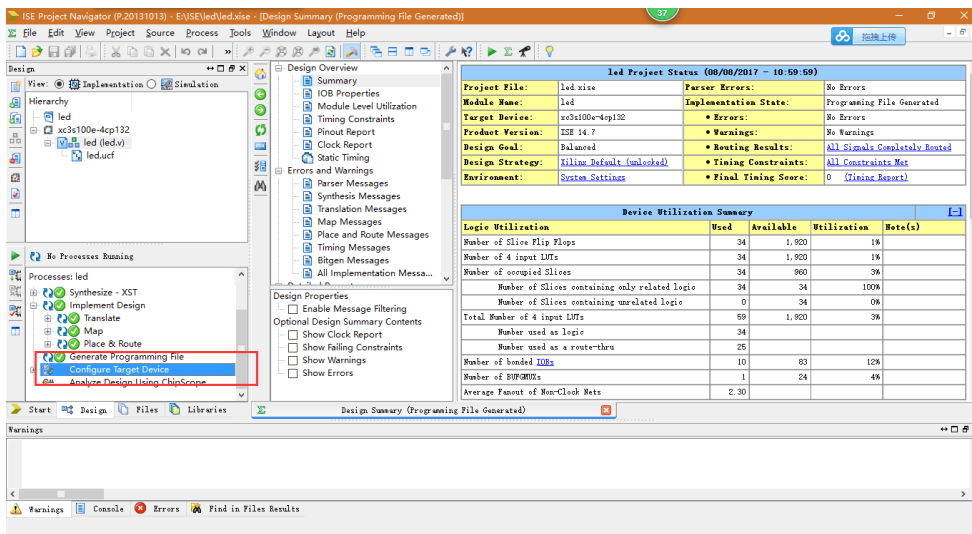
弹出的窗口点击yes。



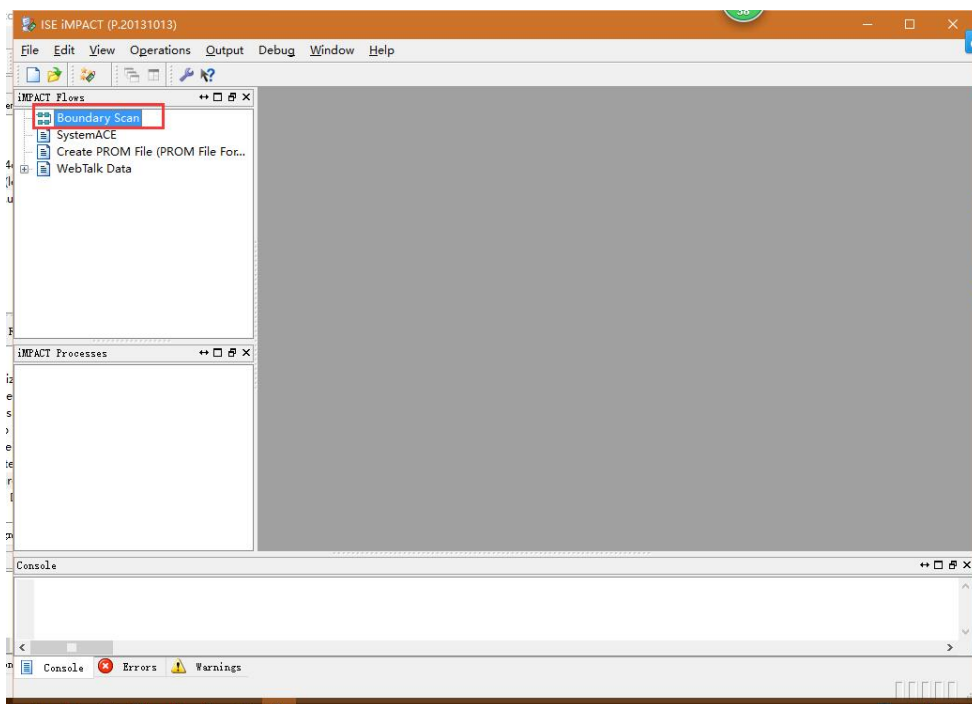
这个界面Close~



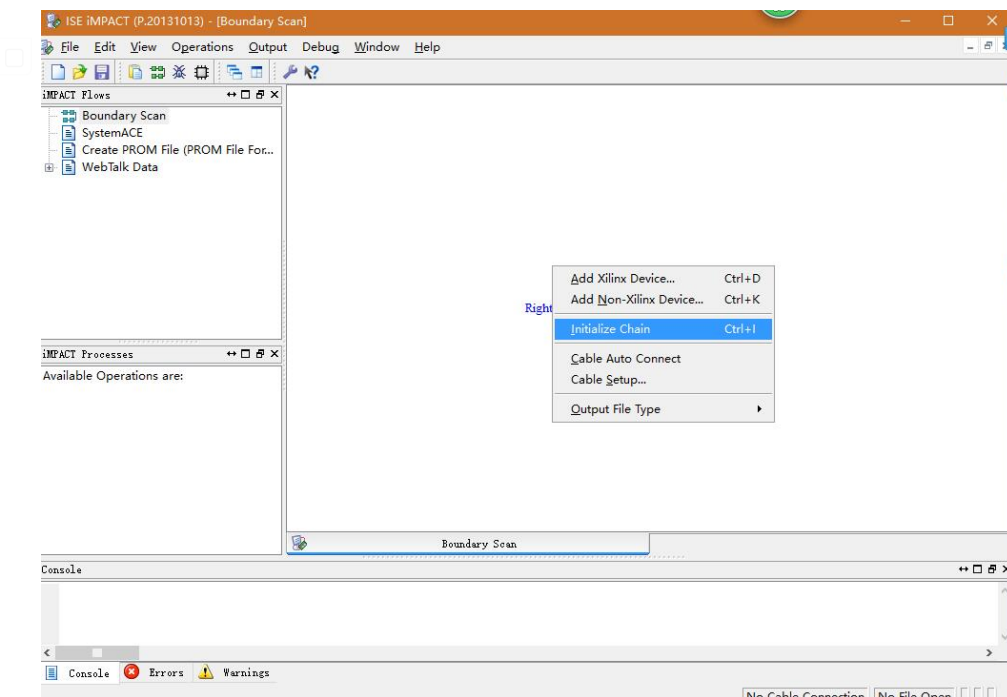
这里就可根据板子上的引脚或手册来约束引脚。完成后点击close。



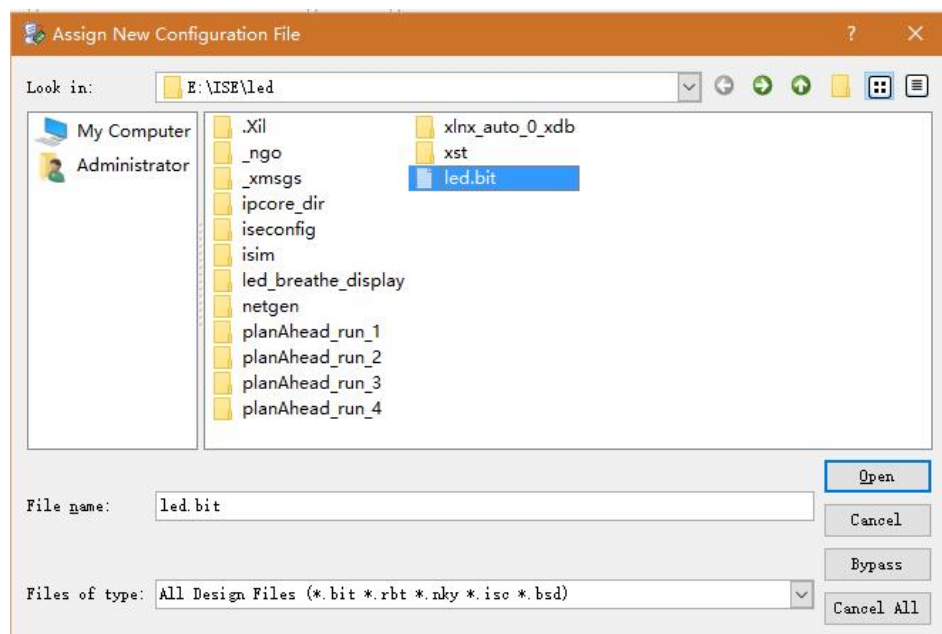
引脚约束完成后就可以综合，点击configure target device进行综合。



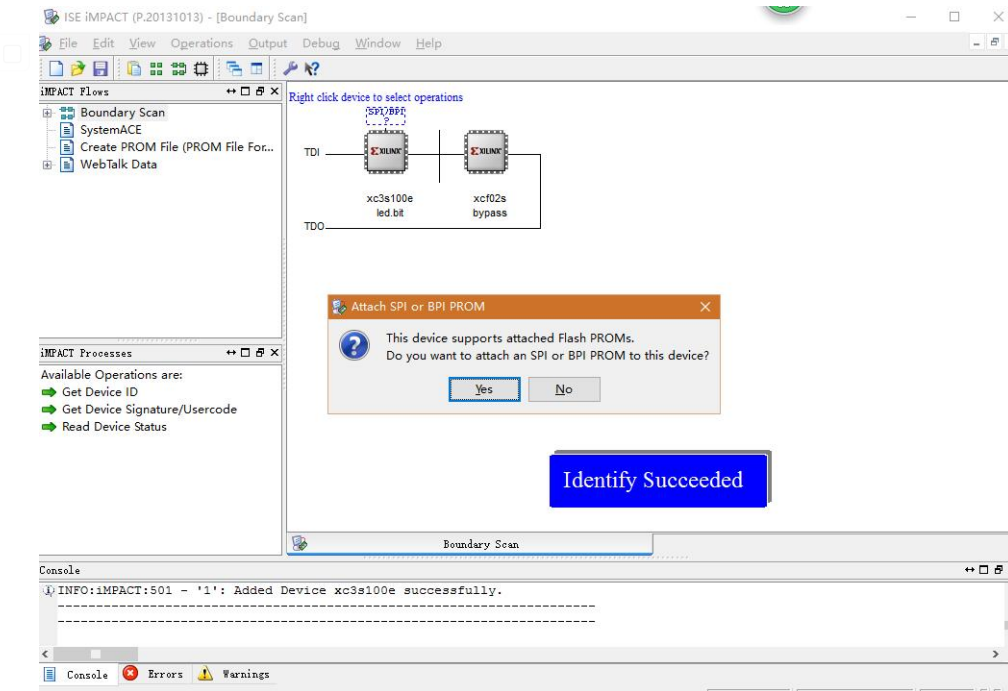
双击boundary scan



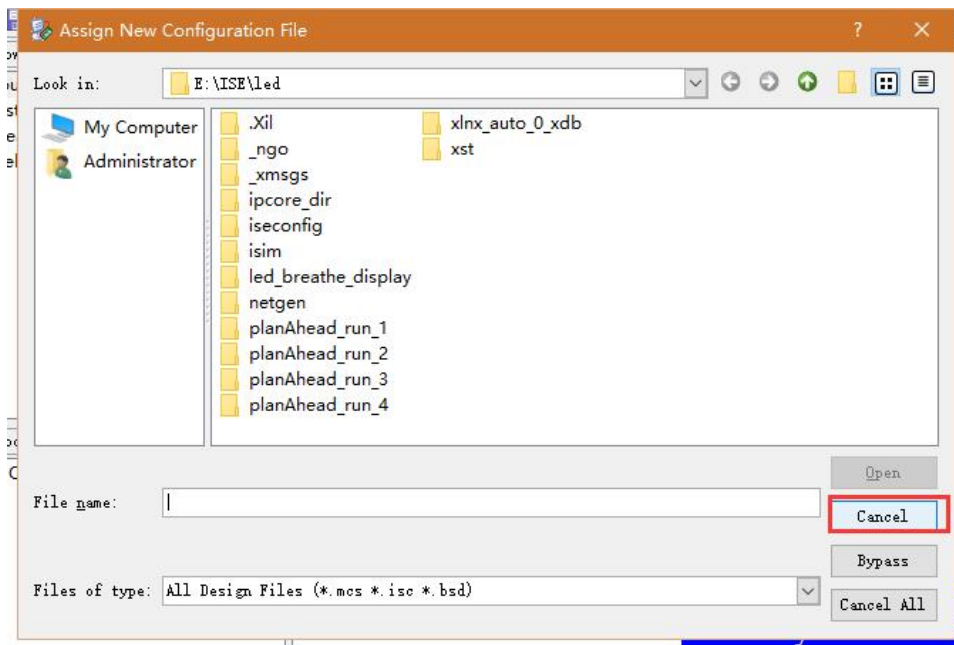
在空白处右键，然后点击initialize chain。



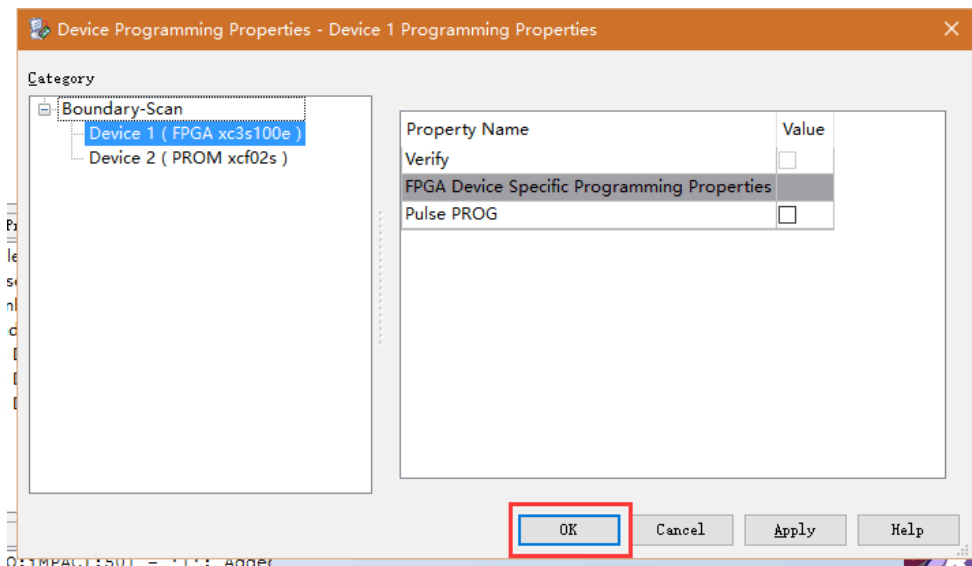
选择生成的bit文件，双击打开。



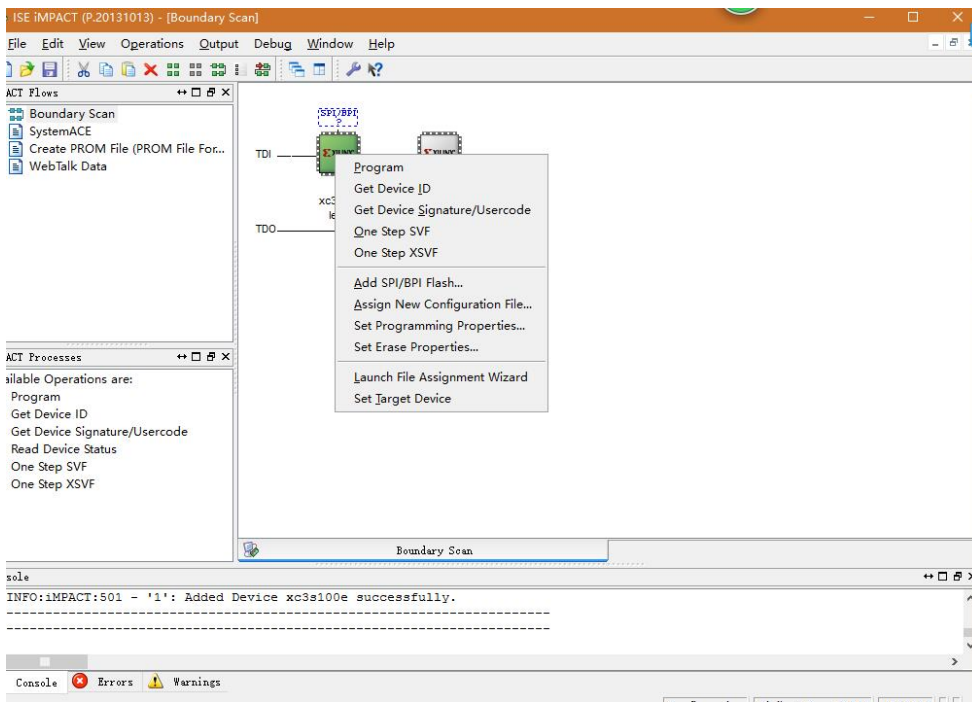
这个窗口是提示是否下载到flash中，选择no。



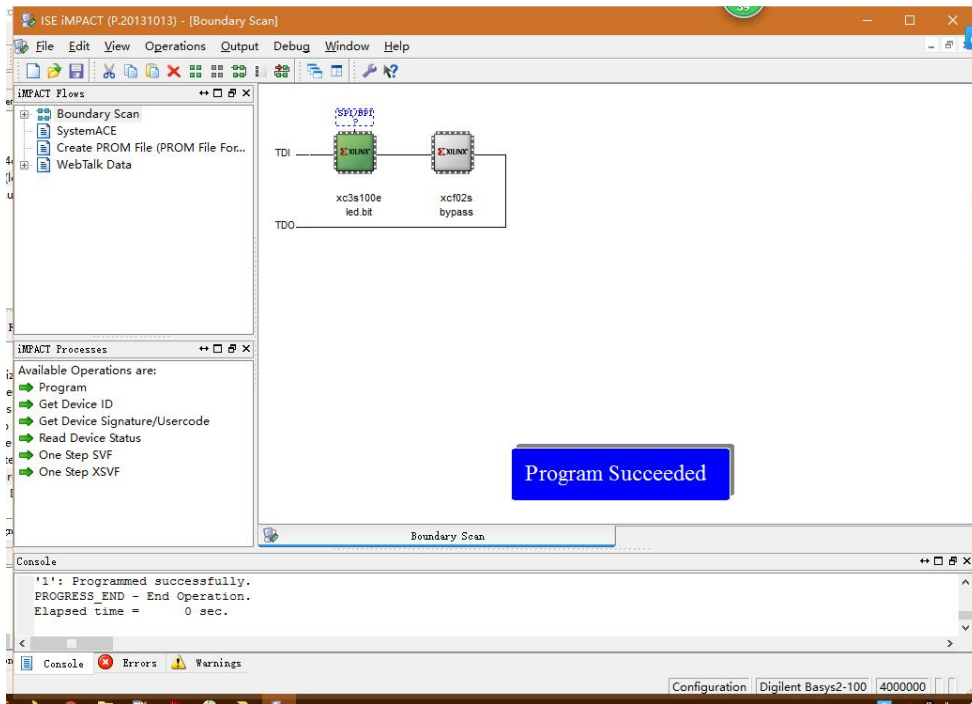
Cancel~



OK~



然后个界面点击program，下载bit流文件到板子上。



这样就下载成功了。



转载请注明出处：NingHeChuan（宁河川）

个人微信订阅号：开源FPGA

如果你想及时收到个人撰写的博文推送，可以扫描左边二维码（或者长按识别二维码）关注个人微信订阅号

知乎ID：NingHeChuan

微博ID：NingHeChuan

原文地址：

<http://www.cnblogs.com/ninghechuan/p/8587790.html>

分类： ISE

好文要顶

关注我

收藏该文



NingHeChuan

关注 - 19

粉丝 - 307

+加关注

« 上一篇：[如何高效的编写Verilog HDL——进阶版](#)

» 下一篇：[Vivado安装教程](#)

posted @ 2018-03-17 10:18 NingHeChuan 阅读(8742) 评论(2) 编辑 收藏

评论列表

#1楼 2018-06-27 11:01 jtclm

请问为什么这个代码下载到板子上 并不能实现流水效果。始终保持在初始状态0000_1111

支持(0) 反对(0)

#2楼 [楼主] 2018-06-28 17:27 NingHeChuan

@ jtclm

注意下复位信号拉高为，复位信号高电平正常工作！

支持(0) 反对(0)

刷新评论 刷新页面 返回顶部

登录后才能发表评论，立即 [登录](#) 或 [注册](#)，[访问 网站首页](#)

博客园派送云上免费午餐，AWS注册立享12个月免费套餐

相关博文：

· [ArrayList实现原理（JDK1.8）](#)

· [十分钟掌握Pandas\(上\)——来自官网API](#)

· [Java并发之synchronized关键字和Lock接口](#)

· [Aso.NetCore的配置系统Configuration](#)

· [kalilinux修改更新源和更新命令](#)

» [更多推荐...](#)