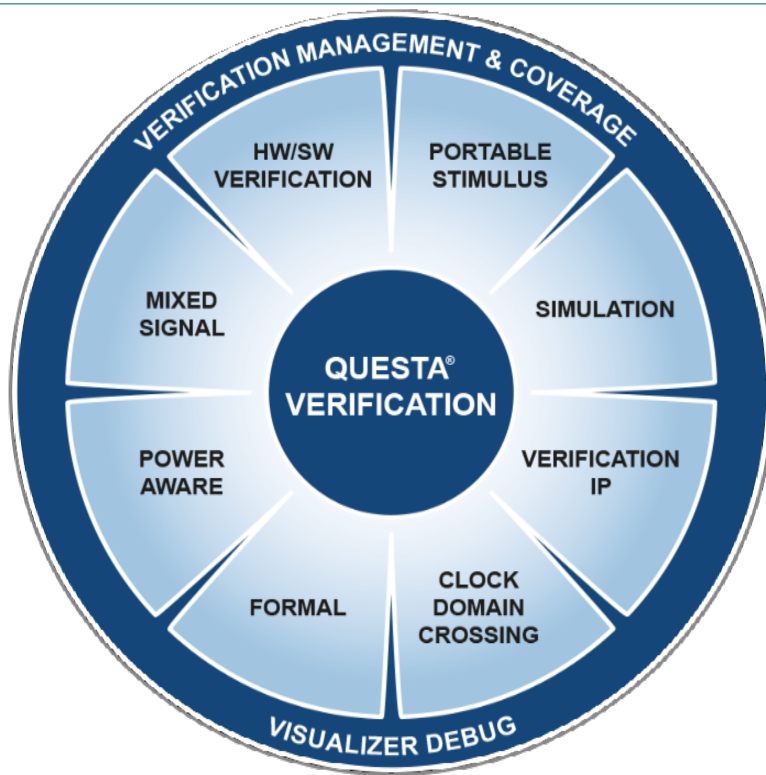


# Платформа верификации Questa



Платформа верификации Questa® продолжает постоянно развиваться, отвечая на постоянно растущую сложность проектов систем на кристалле. Кроме огромного размера проектов, использования нескольких встроенных процессоров и сложных соединительных систем, увеличение количества ПО и настроек для мультиплатформенных проектов диктует использование такого решения для верификации, которое объединило бы в себе целый арсенал различных инструментов. Ключ к успеху верификации - декомпозиция задачи и использование лучшего решения для каждого аспекта системы. Это придаёт исключительную важность плану верификации и возможности собирать метрики на протяжении всего процесса из различных задач по верификации для отслеживания прогресса и эффективного управления ресурсами по мере работы над проектом.

ПО стало важным компонентом функционала системы на кристалле, добавляя новые требования для верификации блока в системе, и потребность системной верификации и отладки. Тогда как программное тестирование интеграции и базового функционала системы на кристалле, а также верификация низкоуровневого ПО драйверов могут быть выполнены путём моделирования, для длинных, сложных последовательностей, проверяющих функционирование системы, требуется ускорение с полным сохранением возможностей отладки. Чтобы избежать лишних итераций на системном уровне, критически важно находить ошибки на как можно более ранних стадиях. Questa позволяет осуществлять CDC верификацию, формальную верификацию, аналого-цифровое моделирование и выполнять другие виды анализа, чтобы максимизировать эффективность верификации на уровне блока и подсистемы, чтобы при верификации системы можно было сфокусироваться на функционале системного уровня, включая ПО. Никто не хочет терять в качестве продукта. Однако время выхода на рынок критически важно для систем на кристалле. Чтобы выдать качественный продукт вовремя, нужно уменьшить время до достижения требуемого покрытия и качества верификации, улучшить продуктивность отладки.

## Лидирующие в отрасли решения

- Портруемые тестовые воздействия и оценка покрытия
- Интегрированное управление верификацией и анализ
- Высокая производительность/ёмкость унифицированной отладки
- Верификация с учётом питания

## Лучшие в классе технологии

- Высокая производительность  
Многоязычный симулятор
- Формальная верификация
- Программно-аппаратная ко-верификация
- Методология UVM

## Корпоративная платформа для верификации

- Унификация от задания входных данных до эмуляции
- Ускорение моделирования в Velocite TBX вплоть до 1000 раз
- Единая база данных для покрытия
- Унифицированные IP блоки для ускорения и повторного использования

---

Решение состоит из нескольких мощных технологий. Вместе, в сочетании со сложной базой данных и лучшими в классе инструментами управления верификацией, эти технологии дают мощный ответ на современные проблемы верификации.

**Унифицированное моделирование** построено на лучшем в классе симуляторе. Questa Advanced Simulator достигает лучшей в отрасли производительности и ёмкости благодаря очень агрессивным глобальным алгоритмам оптимизации компиляции и моделирования для SystemVerilog и VHDL. Questa также обеспечивает сокращение времени итераций и эффективное управление библиотеками, сохраняя высокое быстродействие благодаря уникальным возможностям по предварительной оптимизации и повторному использованию, обеспечивая вплоть до 3-кратного ускорения при запуске большого количества тестов. Среда отладки Questa Visualizer обеспечивает высокое быстродействие и большую ёмкость отладки для Questa и Veloce, позволяя использовать единую среду отладки для моделирования, эмуляции и других инструментов.

**Портируемые импульсы и автоматизация тестирования.** Questa inFact автоматически генерирует входные импульсы и может применяться на уровне блока, подсистемы и системы в целом. Технология позволяет избежать избыточности и достигнуть нужного покрытия более чем в 10 раз быстрее, чем возможно при ограниченном случайном тестировании. Технология может использоваться как для более быстрого достижения требуемой полноты покрытия, так и для более полной верификации, позволяя выполнить больше тестов в тот же период времени.

**Verification IP** позволяет упростить верификацию сложных стандартных протоколов, на что в противном случае пришлось бы затратить существенное количество усилий. Настраиваемая библиотека состоит из блоков для создания тестбенчей. Questa Verification IP (QVIP) это оптимизированная по быстродействию библиотека стандартных компонентов SV UVM для моделирования с поддержкой Arm® AMBA®, Ethernet, MIPI®, PCIe®, USB и множества других протоколов, включая самые современные, такие как PCIe Gen 5. Использование QVIP позволяет разработчикам сфокусироваться на верификации нового функционала, а также использовать тесты совместно с акселерацией Veloce.

QVIP включает в себя расширенную отладку на уровне транзакций, сложные ассерты для протоколов, оценку функционального покрытия, тест-планы и тестовые последовательности. Всё вместе это помогает проверить совместимость с протоколом и сократить общее время разработки.

**Библиотека Questa Memory Library** состоит из большого набора быстрых и точных моделей DRAM и Flash памяти. Они могут подключаться к любому тестбенчу для верификации любой подсистемы памяти. Для ускорения мы обеспечиваем «backdoor» доступ и переконфигурацию на лету. Для правильности и полноты, мы даём мощные ассерты и оценку полноты покрытия. Для отладки мы создали мощные возможности отладки «transaction-to-pins».

**Questa CDC и RDC** находят ошибки, связанные с пересечением тактовых доменов - сигналы (или группы сигналов), генерируемые в одном домене, и принимаемые в другом. Это достигается путём структурного анализа и выделения тактовых доменов, синхронизаторов и структур системы экономии энергопотребления (через UPF). Технология проверяет все потенциально возможные модели неисправностей и показывает понятную пользователю схему или диаграмму сигналов. Данная технология позволяет внести метастабильность в функциональное моделирование для верификации реконвергенции. Наконец, Signoff CDC находит в финальном нетлисте проблемы пересечения тактовых доменов, которых не было в исходном RTL, возникшие, возможно, в процессе реализации, и делает это сохраняя ограничения и настройки из исходной среды RTL CDC.

**Решения для формальной верификации Questa** добавляют целый спектр формальных инструментов, от автоматизированных приложений до прямой проверки моделей. В ядре платформы - набор высокопроизводительных ядер, предлагающих исчерпывающую верификацию на ранних этапах проектирования, с использованием собственных SVA/PSL/OVL ассертов. Основываясь на этом фундаменте, приложения Questa Formal Apps увеличивают эффективность верификации и качество проекта, эффективно справляясь с такими задачами по верификации, которые сложно было бы решить традиционными методами, не требуя при этом опыта в формальной верификации. В пакет Questa Formal входят инструменты для статического и условного анализа соединений, проверки целостности пути, нахождения невыполнимого кода, переноса X-состояния и верификации регистров. Кроме того, приложение Questa Sequential Logic Equivalence Checking (SLEC) использует формальные методы для выполнения исчерпывающего сравнения нетлистов, для выявления расхождений в поведении, появившихся в результате стробирования синхросигнала, внесения изменений в проект, ре-конвейеризации, или добавления логики для устранения неисправностей. Для интерактивной формальной верификации моделей пользователи задают атрибуты для утверждений (тестов), предположений (ограничений) и полноты покрытия, и запускают Questa PropCheck для нахождения несоответствий между спецификацией и тестируемым устройством. Проверка моделей может также решать проблемы интерфейсов, функционального покрытия, управляющей логики, целостности данных

и

отладки готового изделия, что, в совокупности, обеспечивает наиболее полный анализ проекта. Для популярных стандартных протоколов есть IP блоки, оптимизированные для формальной верификации.

**Questa Low Power Verification** позволяет на RTL уровне верифицировать активное управление питанием в сложном проекте, чтобы убедиться в корректности его архитектуры и поведения, и в правильности функционирования проекта в целом. Questa PowerAware упрощает процесс верификации путём выполнения исчерпывающего набора статических проверок для оценки правильности архитектуры системы управления питанием и динамических проверок для автоматического поиска неисправностей. Questa PowerAware также визуализирует архитектуру и поведение системы управления питанием, оценивает полноту покрытия, и генерирует тест-план для состояний системы питания и переключения между ними. Благодаря использованию наиболее современного стандарта активного управления питанием, IEEE 1801-2015 UPF, Questa PowerAware легко интегрируется с другими инструментами для UPF.

**Questa ADMS™** верифицирует сложные аналого-цифровые проекты. Эта технология объединяет 4 высокопроизводительных ядра: Eldo® для аналога, ADiT™ для быстрого транзисторного уровня, Eldo RF для ВЧ, и Questa Sim для цифры. Комбинация языков и алгоритмов позволяют работать «сверху вниз» и «снизу вверх», на разных уровнях абстракции и производительности, от Spice нетлистов до моделей Real Number.

**Questa HW/SW Verification** обеспечивает верификацию на системном уровне, использование программных тестов для верификации RTL и интеграции ПО и «железа». Технология позволяет оценить управление питанием на уровне кристалла, загружать ОС и выполнять приложения. Она ускоряет моделирование и позволяет выполнять виртуальную эмуляцию, что сокращает время отладки.

**Questa Verification Management and Coverage** управляет данными и процессом, и обеспечивает автоматизацию для всех процессов верификации, что повышает производительность. Пакет построен на стандарте Unified Coverage Interoperability Standard database (UCISDB). Он позволяет анализировать результаты и тренды, отслеживать прогресс тест-плана и управлять запусками моделирования. Questa Verification Management объединяет все задачи, связанные с верификацией воедино, и позволяет всем — системному архитектору, программистам, разработчикам и специалистам по верификации в реальном времени видеть статус проекта. Это позволяет придерживаться графика, управлять рисками, повышать производительность и сокращать время отладки.

**Questa Visualizer** это контекстно-зависимая платформа отладки, поддерживающая полный маршрут верификации логики, включая моделирование, эмуляцию и прототипирование, а также анализ проекта, тестбенча, управления питанием и ассертов. Visualizer включает в себя высокопроизводительный отладчик, который используется как для моделирования, так и для эмуляции. Множество автоматических функций позволяют быстро найти ошибки на уровне протоколов, RTL или вентильном уровне. Отладка питания и UPF полностью интегрирована в RTL представления. Visualizer основан на SystemVerilog и понимает UVM для сокращения времени отладки даже на самых современных истемах на кристалле и ПЛИС.

**Опыт верификации.** Mentor Graphics предоставляет достаточно ресурсов, чтобы помочь вам начать использовать продвинутые методологии верификации.

**Verification Academy** это набор бесплатных онлайн курсов и ресурсов, освещающих основные аспекты продвинутой функциональной верификации. В числе прочих рассматривается верификация на основе ассертов, верификация тактовых доменов, формальная верификация с ассертами, формальная оценка полноты покрытия, метрики, портируемые импульсы, моделирование энергосбережения, отладка UVM и многое другое. Каждый

The screenshot shows the Mentor Graphics Verification Academy website. The main content area is titled "Verification Methodology Cookbook" and includes a search bar, a list of topics, and a detailed table of contents for the UVM Cookbook. The table of contents lists chapters such as Testbenches, Connections, Configuration, Analysis, Sequences, End of Test, Registers, Emulation, Debugging, Code Examples, UVM Express, and UVM Connect. It also includes a "UVM RESOURCES" section with links to UVM Code Examples, UVM Forum, UVM Recipe of the Month, UVM 1.1g WG, UVM DOCUMENTATION, UVM 1.1d, Basic UVM, and Advanced UVM. The bottom of the page features a "Base Class Library" diagram and a "UVM Cookbook" section with links to various UVM resources.

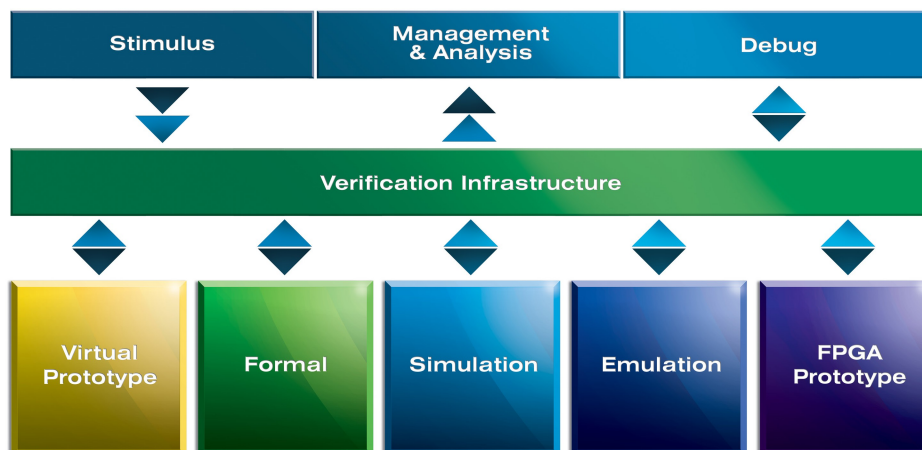
курс состоит из нескольких сессий, позволяющих слушателю выбирать интересующие темы или возвращаться к уже пройденным, чтобы освежить знания.

Verification Academy это наиболее полное онлайн-собрание информации относительно UVM. Тут вы можете найти всё, что нужно, чтобы освоить UVM, от скачивания библиотек до участия в онлайн-тренингах. Курсы UVM содержат отличный обзор концепций методологии, от базовых к продвинутым, с видео, объясняющими полезные примеры кода. UVM Online Methodology Cookbook это онлайн-книга, более детально показывающая вам, как использовать различный функционал методологии для создания компонентов и сред верификации ([www.verificationacademy.org](http://www.verificationacademy.org)).

**Консалтинг и обучение.** В Mentor Consulting Verification Services работают консультанты, позволяющие существенно сократить процесс верификации, одновременно улучшив его качество. В отличие от сервисов других САПР или сторонних консультантов, высококвалифицированная команда Mentor Consulting

предлагает уникальные решения и проверенные, структурированные процессы, чтобы проекты разрабатывались согласно графика и спецификации, и с большей вероятностью успеха на первой же итерации. Mentor Graphics Education Services предлагает целый спектр курсов, направленных на разработчиков электроники и специалистов, связанных продвинутой верификацией. Пользователи могут выбрать тот тренинг, который больше подходит под их цели и график. Варианты включают в себя уникальное онлайн обучение, обучение и семинары на площадках Mentor Graphics по всему миру, а также менторство и обучение на базе вашего предприятия, адаптации под ваши требования.

**Корпоративная платформа для верификации.** Базируясь на нескольких мощных технологиях, Questa преобразует процесс верификации, существенно увеличивая производительность и более эффективно управляя ресурсами, позволяя пользователям выбрать наиболее подходящее для конкретной задачи приложение или инструмент и объединить результаты, чтобы в динамике отслеживать прогресс всего процесса верификации.



Корпоративная платформа для верификации Mentor Graphics Enterprise Verification Platform (EVP) обеспечивает высокопроизводительную верификацию на всех этапах.

**Наиболее актуальная информация по продукту: [www.mentor.com/fv](http://www.mentor.com/fv)**

©2019 Mentor Graphics Corporation, all rights reserved. This document contains information that is proprietary to Mentor Graphics Corporation and may be duplicated in whole or in part by the original recipient for internal business purposes only, provided that this entire notice appears in all copies. In accepting this document, the recipient agrees to make every reasonable effort to prevent unauthorized use of this information. All trademarks mentioned in this document are the trademarks of their respective owners.

**Mentor Graphics Corporation**  
8005 SW Boeckman Road  
Wilsonville, OR 97070-7777  
Phone: 503.685.7000  
Fax: 503.685.1204

**Mentor Graphics Corporation**  
46871 Bayside Parkway  
Fremont, CA 94538 USA  
Phone: 510.354.7400  
Fax: 510.354.7467

**Europe**  
**Mentor Graphics**  
Deutschland GmbH  
Arnulfstrasse 201  
80634 Munich  
Germany  
Phone: +49.89.57096.0  
Fax: +49.89.57096.400

**Pacific Rim**  
**Mentor Graphics (Taiwan)**  
11F, No. 120, Section 2,  
Gongdao 5th Road  
HsinChu City 300,  
Taiwan, ROC  
Phone: 886.3.513.1000  
Fax: 886.3.573.4734

**Japan**  
**Mentor Graphics Japan Co., Ltd.**  
Gotenyama Trust Tower  
7-35, Kita-Shinagawa 4-chome  
Shinagawa-Ku, Tokyo 140-0001  
Japan  
Phone: +81.3.5488.3033  
Fax: +81.3.5488.3004

**Mentor**  
A Siemens Business

**Sales and Product Information**  
Phone: 800.547.3000  
[sales\\_info@mentor.com](mailto:sales_info@mentor.com)

**North American Support Center**  
Phone: 800.547.4303

MGC 05-19 1035560-w