

Laboratorio di Architettura degli Elaboratori

Elaborato SIS

A.A 2020/2021

Si progetti il circuito sequenziale che controlla l'erogazione di denaro di un bancomat.

Il circuito ha 4 ingressi nel seguente ordine:

- BANCOMAT_INSERTITO (1 bit)
- CODICE (4 bit)
- CASH_RICHIESTO (10 bit)
- CASH_DISPONIBILE (16 bit)

Gli output sono i seguenti e devono seguire il seguente ordine:

- REINSERIRE_CODICE (1 bit)
- ABILITAZIONE_EROGAZIONE (1 bit)
- BLOCCO_BANCOMAT (1 bit)
- CASH_DA_EROGARE (10bit)

Input e output devono essere definiti nell'ordine sopra specificato (da sinistra verso destra).

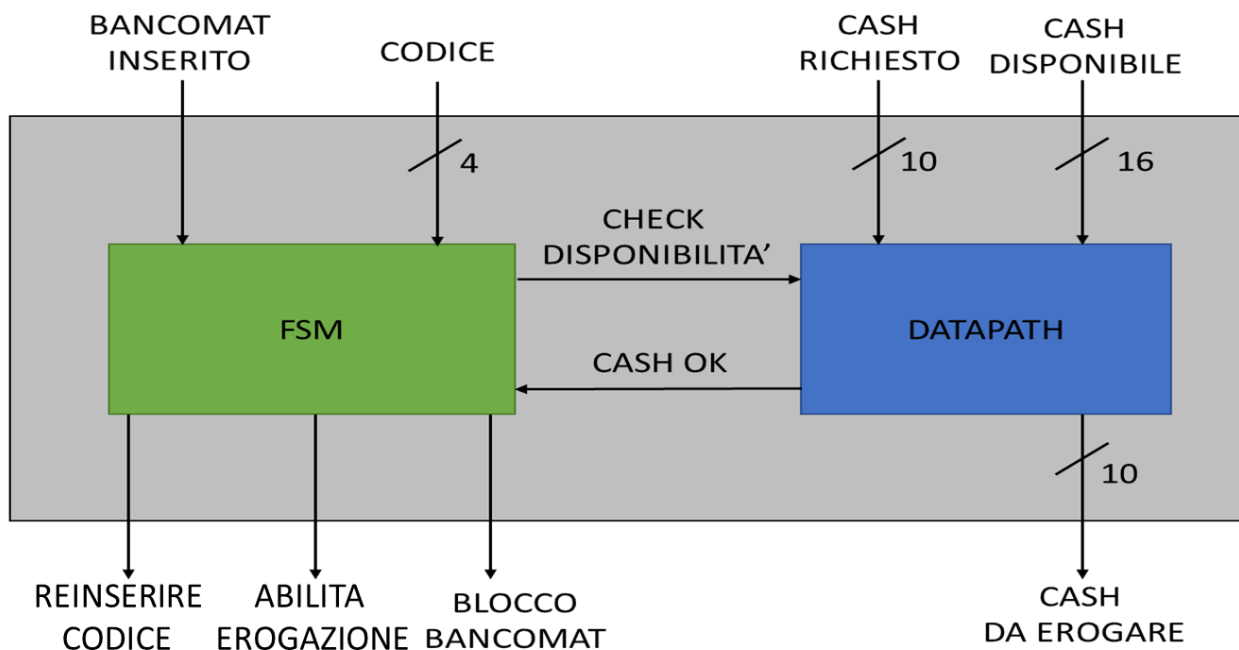
Le porte con più bit devono essere descritte utilizzando la codifica "big-endian", ovvero con il bit più significativo a sinistra.

Il meccanismo è guidato come segue:

- Il segnale di ingresso BANCOMAT_INSERTITO (da considerare derivante da un circuito esterno che rileva la presenza di un bancomat valido inserito nel macchinario) se uguale a 1 abilita la codifica dei numeri inseriti tramite il segnale di ingresso CODICE. Se uguale a 0, disabilita (pone a zero) tutte le uscite del circuito.
- L'analisi del CODICE inizia soltanto dopo che il BANCOMAT è stato inserito. Non è possibile inserire il BANCOMAT e la prima cifra del codice nello stesso momento.
- Una volta che il bancomat è stato inserito, viene inserito nel circuito il codice di autenticazione tramite il segnale di ingresso CODICE composto da 3 numeri inseriti in 3 istanti consecutivi, con range 0..9, codificati quindi con 4 bit.
- Una volta accertato che la sequenza numerica corrisponde a 5 5 0, il circuito riceve l'ammontare del cash richiesto dall'ingresso CASH_RICHIESTO (ammontare da 0 a 1023 euro, codificato con 10 bit) e attiva il controllo della disponibilità di banconote nella cassaforte, tramite il segnale interno CHECK_DISPONIBILITA (1 bit). Il controllo verifica se il cash richiesto è inferiore a 1/4 del cash disponibile in cassaforte, quest'ultimo ricevuto dal segnale di ingresso CASH_DISPONIBILE. Se inferiore allora il circuito abilita il segnale interno CASH_OK (1 bit), il quale fa abilitare il segnale di uscita ABILITAZIONE_EROGAZIONE, e riporta sul segnale di uscita CASH_DA_EROGARE l'importo richiesto. Altrimenti, tutti questi segnali rimangono posti a 0.

- Se il codice viene inserito in modo errato, il circuito abilita l'uscita REINSERIRE_CODICE.
- REINSERIRE_CODICE viene alzato solo al termine dell'inserimento dei codici che compongono il pin. Per esempio, se il codice inserito fosse 123, la porta viene messa ad 1 solo al termine dell'inserimento dell'intero codice e non già alla prima cifra inserita.
- Se il codice viene inserito in modo errato per 3 volte consecutive, il circuito abilita l'uscita BLOCCO_BANCOMAT.

Lo schema generale del circuito deve rispettare la FSMD riportata di seguito:



- È possibile aggiungere degli ulteriori segnali interni per la comunicazione tra FSM e DATAPATH
- Le porte di input e di output devono rispettare l'ordine definito ed essere collegate al rispettivo sotto modulo (i.e. BANCOMAT INSERITO e CODICE sono input della FSM, mentre CASH RICHIESTO e CASH DISPONIBILE input del DATAPATH).
- Il DATAPATH deve essere unico: se volete definire più DATAPATH, questi devono essere inglobati in un unico modello.

Materiale da consegnare:

1. Sorgenti BLIF dell'intero circuito:
 - a. Il file principale per lanciare la simulazione deve chiamarsi `FSMD.blif` (solo `FSMD` in maiuscolo);
 - b. La versione caricata deve essere quella già ottimizzata, ma pre-mapping;
 - c. I dati di area e ritardo devono coincidere con quelli riportati nella Relazione;
 - d. Una sotto cartella denominata "non_ottimizzato/" contenente i sorgenti pre-ottimizzazione.
2. Relazione in formato pdf denominata `Relazione.pdf`, che affronti nel dettaglio almeno i seguenti punti:

- a. L'architettura generale del circuito;
- b. Il diagramma degli stati del controllore;
- c. L'architettura del Datapath;
- d. Le statistiche del circuito prima e dopo l'ottimizzazione **per area**;
- e. Il numero di gate e ritardo ottenuti mappando il design sulla libreria tecnologica **synch.genlib**;
- f. La descrizione delle eventuali scelte progettuali effettuate.

La struttura della cartella dovrà essere la seguente:

- **sis/**
 - FSMD.blif (ottimizzata)
 - Relazione.pdf
 - Eventuali altri blif (ottimizzati)
 - **non_ottimizzato/**
 - Sorgenti blif del circuito non ottimizzato

Modalità di consegna:

Tutto il materiale va consegnato elettronicamente tramite procedura guidata sul sito Moodle del corso. Sarà attivata un'apposita sezione denominata "Consegna SIS – < mese > < anno >". Accedendo a quella pagina sarà possibile effettuare l'upload del materiale. La consegna del materiale comporta automaticamente l'iscrizione all'appello orale.

Il codice e la relazione vanno compressi in un unico file tarball denominato

`VRXXXXXX_VRXXXXXX.tar.gz`

Dove VRXXXXXX rappresentano le matricole degli studenti che compongono il gruppo.

Ogni gruppo deve essere formato da 2, massimo 3 studenti.

Il pacchetto deve contenere un'unica cartella denominata `sis` contenente tutti i file BLIF che compongono il progetto e la relazione `Relazione.pdf`.

Verranno accettati solo i progetti compressi in formato tarball (`.tar.gz`, `.tgz`).

Per ottenere il pacchetto come richiesto:

1. Rinominare la cartella contenente tutti il materiale con il nome `sis` (in minuscolo)
2. Uscire dalla cartella e lanciare il comando `"tar cvfz <nome del vostro gruppo>.tar.gz sis/"`

Esempio:

Matricole del gruppo: VR123123, VR345345 e VR456456 (VR maiuscolo)

Nome file da ottenere: `VR123123_VR345345_VR456456.tar.gz`

Comando: `tar czvf VR123123_VR345345_VR456456.tar.gz sis/`

Note importanti:

1. È possibile effettuare più sottomissioni, ma ogni nuova sottomissione cancella quella precedente.
2. Un solo membro del gruppo deve effettuare la sottomissione.
3. Tutti i componenti del gruppo devono essere iscritti alla pagina Moodle del corso.
4. Non si accettano progetti consegnati via mail e/o dopo la scadenza.
5. I progetti che non soddisfano tutti i requisiti sopraelencati non verranno ammessi all'orale e non verranno valutati.
6. **Tutti i progetti verranno testati automaticamente. Solo i progetti che supereranno i test saranno ammessi alla discussione orale.**
7. I progetti non ammessi potranno essere visionati e discussi al termine della sessione su richiesta degli studenti.