

Computer Architecture Fall 2015 Project 2

Team 11 : B02902125 吳哲宇 B03902082 江懿友 B02705021 謝志邦

Team Work :

吳哲宇 B02902125

寫 dcache 的 state machine

江懿友 B03902082

connect wires of cpu.v, dcache

謝志邦 B02705021

Report

Tools used :

Github, Sublime Text, Notepad++, ModelSim, cygwin, msys, WINDOWS!!!!!!!!!!

Module Implementation :

除了 cache, data memory, sram 以外的 module 都沿用上次的
另外在 PC & pipeline latch 加上 stall 這個 control signal

dcache modules :

1. dcache_top :

負責處理記憶體讀寫操作，如果cache hit，就直接從cache讀寫資料，如果cache miss，則進行以下步驟。

1. hit miss會將stall signal設為1，然後enable data memory。
2. 如果cache已經是dirty，進行第三步，反之跳到第四步。
3. 進行write back，等到data memory ack操作完成。
4. Enable data memory的read操作，將miss address的資料從data memory讀出，暫存至暫存器。
5. 等待data memory ack讀取操作完成後，enable cache的write操作，將方才暫存的資料寫入cache中，順便更新cache tag。Disable data memory。
6. 寫入cache tag後，狀態就會變成cache hit，直接從cache繼續讀寫原先操作的資料。

Problems and Solutions :

變數太多，名稱容易打錯，除此之外 All is well !

一開始在錯誤時間點更新cache tag, 導致hit被觸發時， cache中的資料是錯誤的

一開始hit忘記判斷cache是否valid，造成第一次讀取cache時，裏面沒有資料，但是以為是hit