

# Softwarové rádio

**Doc. Dr. Ing. Pavel Kovář**



# Obsah

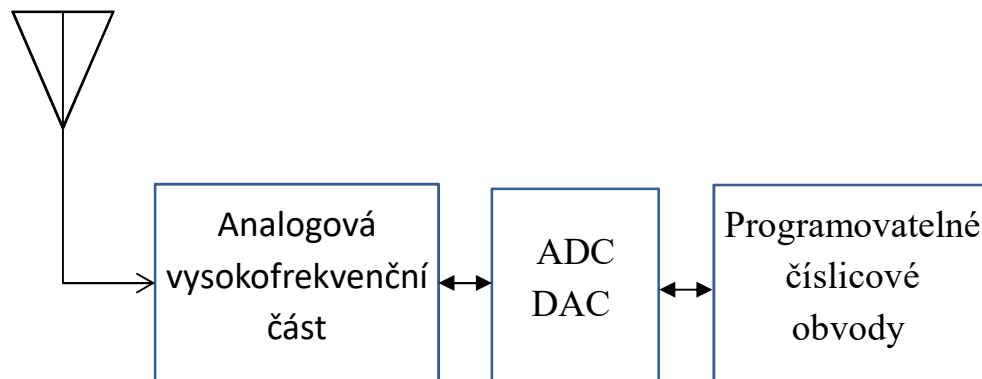


- Definice SDR
- Prostředky číslicového zpracování signálu
- Rekonfigurovatelná rádiová část
- Srovnání softwarového rádia s klasickým
- Aplikace

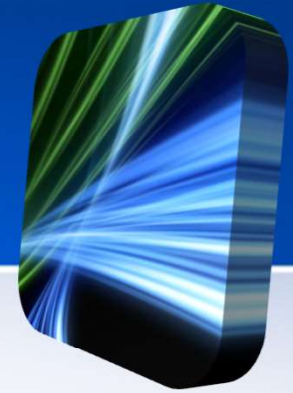
# Definice softwarového rádia (softwarově definované rádio)



- Softwarové rádio je rádiové zařízení, ve kterém je rozhodující část číslicového zpracování signálu realizována programově v programovatelných obvodech
- Je vybaveno konfigurovatelnými rádiovými bloky



# Prostředky číslicového zpracování signálu

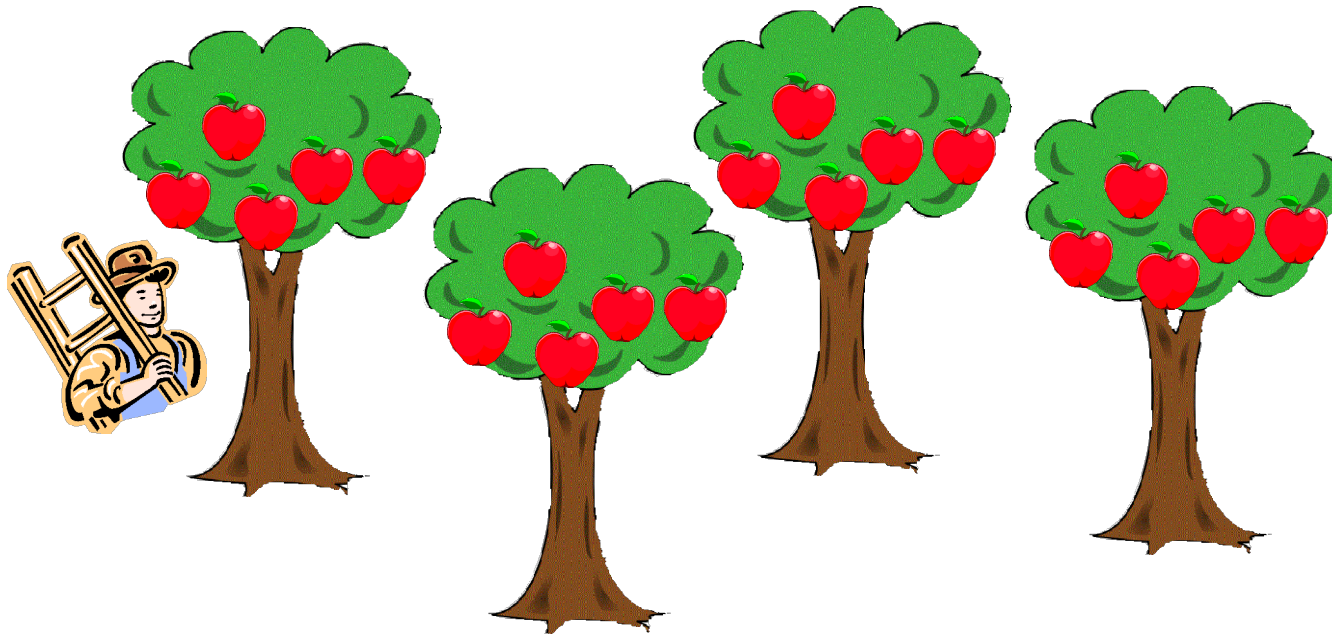


- Procesory a signálové procesory CPU
- Paralelní procesory GPU a APU
- FPGA
- SoC

# Zpracování signálu procesorem



- Zpracování je řízeno programem
- Instrukce se provádí sekvenčně



# Možnosti zvýšit výkon



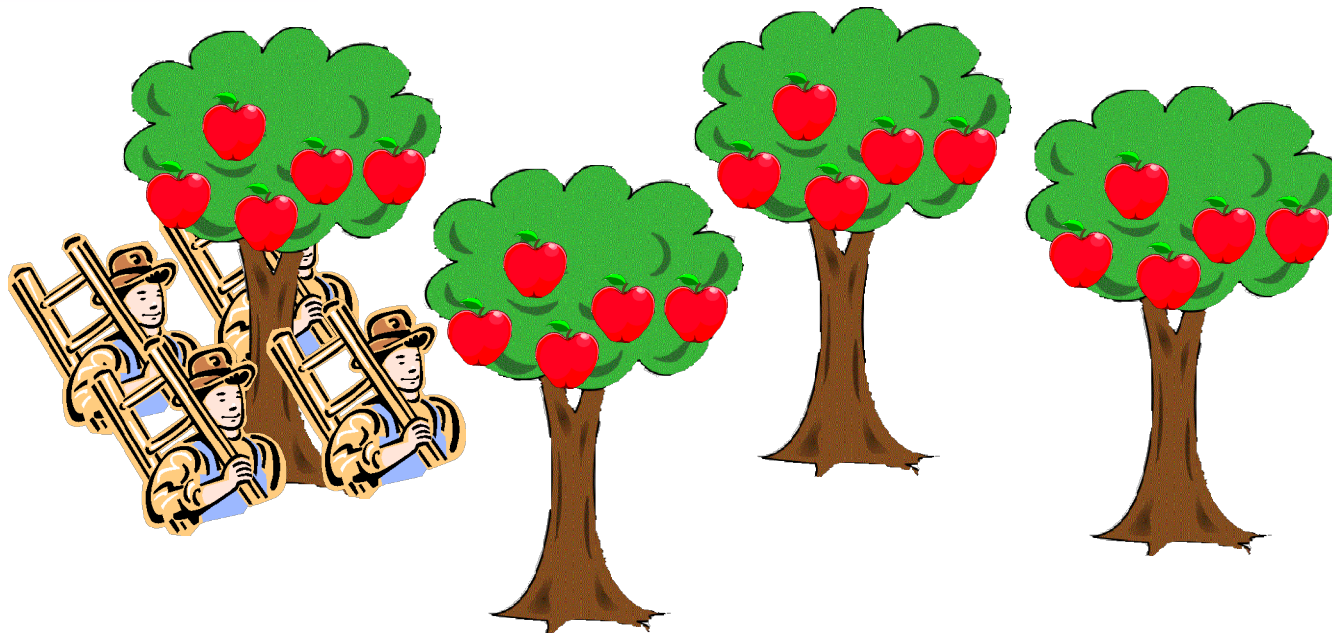
1. Zvýšení rychlosti vykonávání programu
2. Paralelní zpracování
  - *Task parallelism* – schopnost řešit dvě a více úloh najednou
  - *Data parallelism* – schopnost vykonávat jednu úlohu nad několika různými množinami dat



# *Task parallelism*



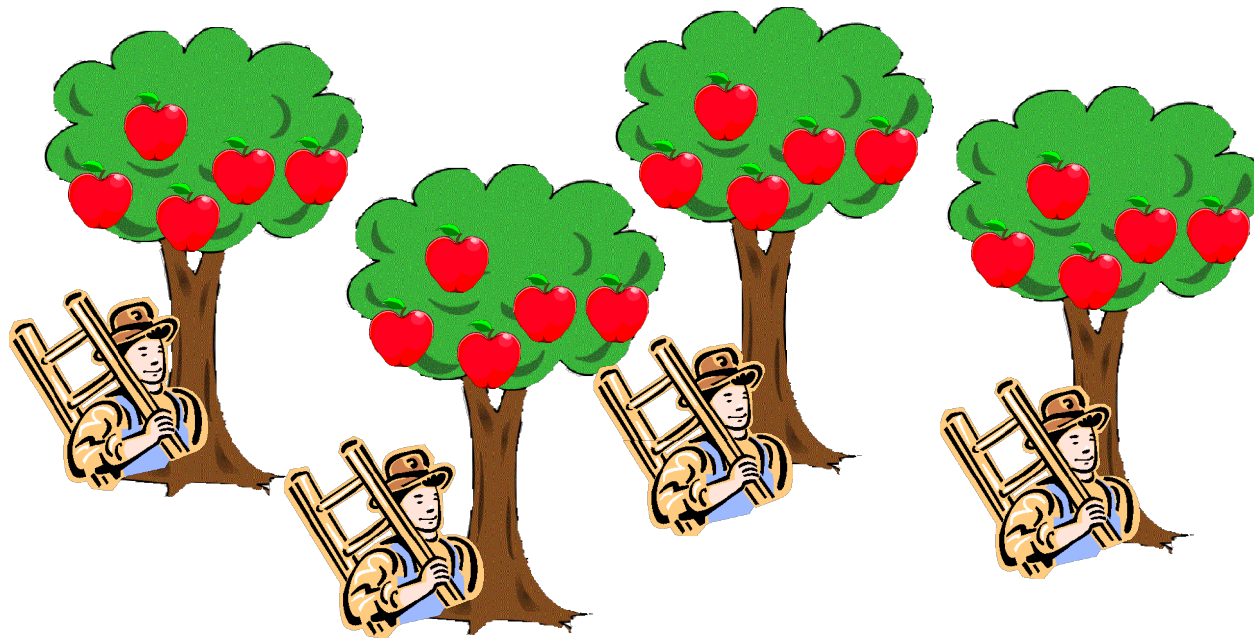
- Schopnost řešit dvě a více úloh najednou



# *Data parallelism*

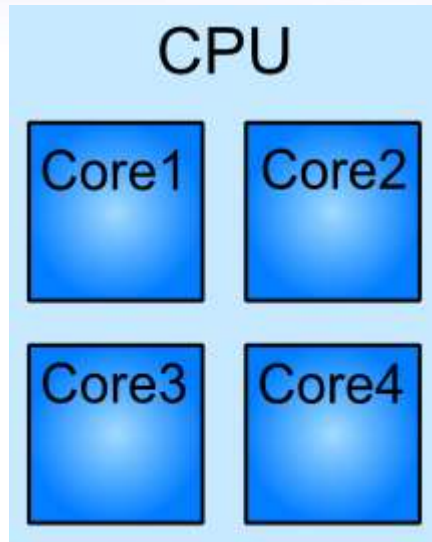


- Schopnost vykonávat jednu úlohu nad několika různými množinami dat





# CPU - *Central Processing Unit*

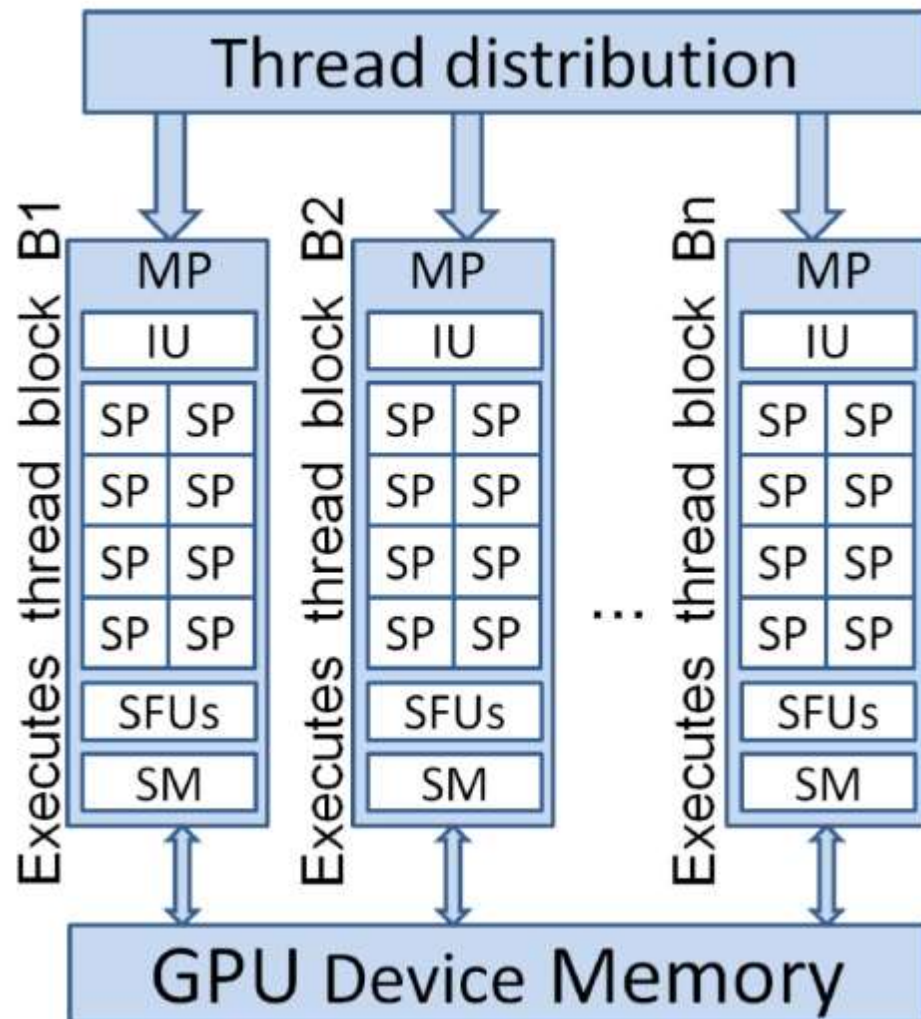
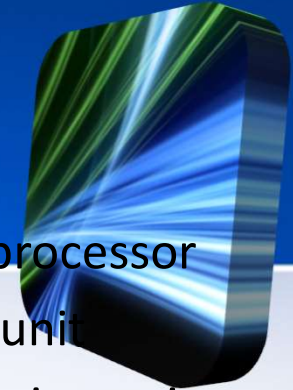


- Jedno nebo několik výpočetních jader
- Každé jádro vykonává své samostatné instrukce

=

*Task parallelism*

# Architektura GPU



SP	Streaming processor
IU	Instruction unit
SFU	Special function unit
SM	Local memory
MP	Multiprocessor

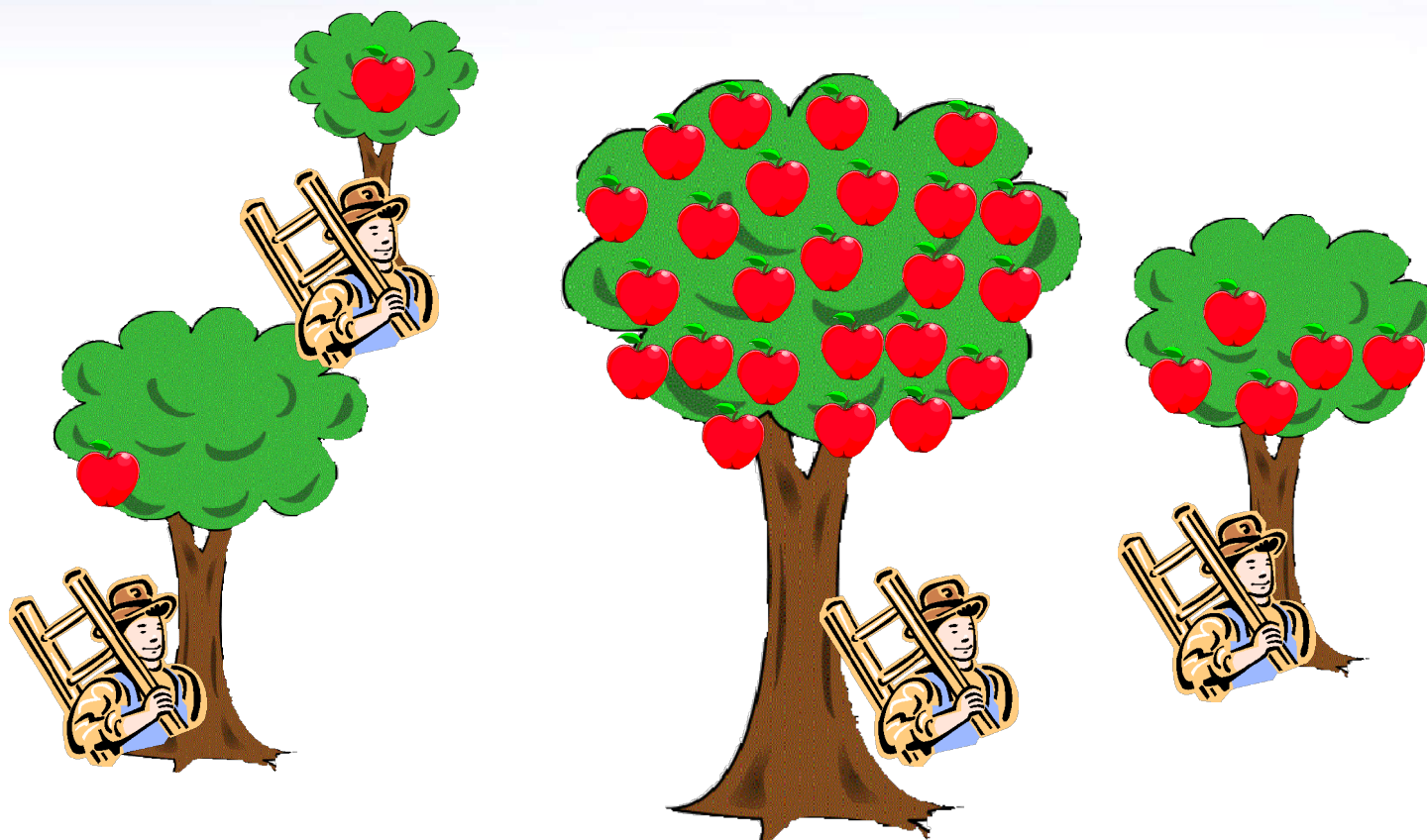
Streaming procesory v rámci Multiprocesoru vykonávají stejné instrukce nad různou množinou dat =

*Data parallelism*

Několik multiprocesorů =

*Task parallelism*

# *Nevhodná úloha pro data parallelism*

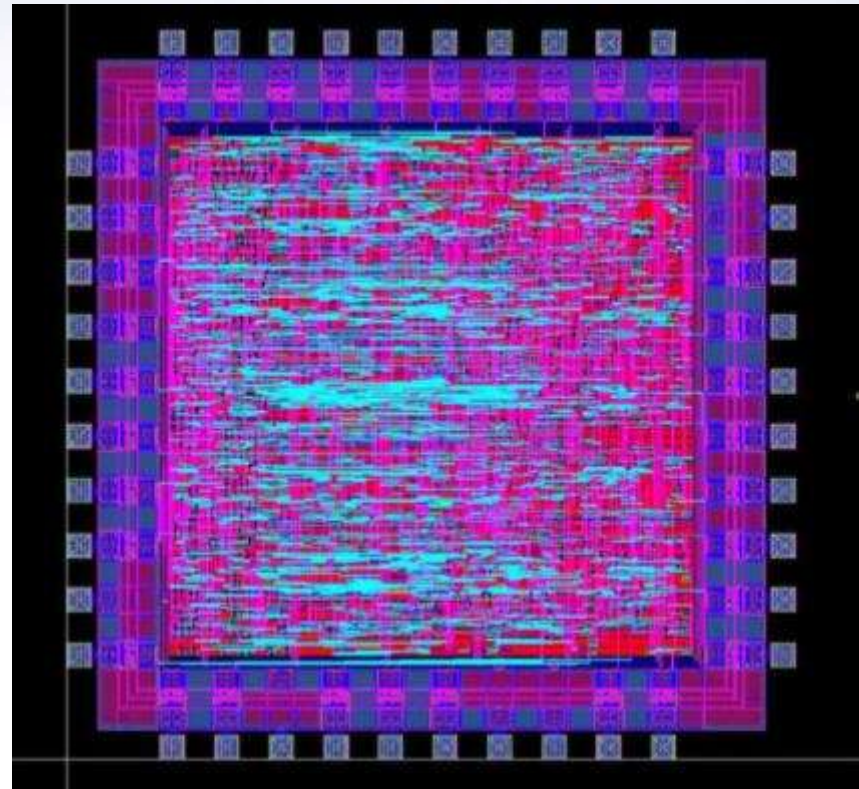




# ASIC – *Application-specific integrated circuit*



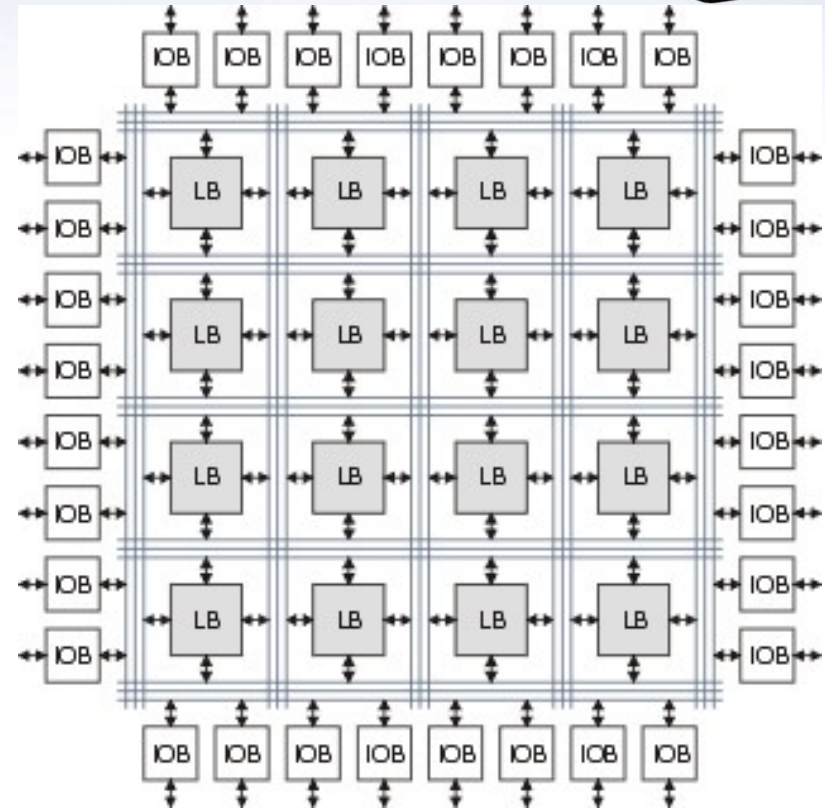
- Algoritmus vykonáván jednoúčelovým obvodem
- Nejvyšší výpočetní výkon
- Nelze programovat, algoritmus implementován hardwarově
- Struktura se definuje v HDL (Hardware Description Language) výsledný kód se pak překládá do logického obvodu. Obvod se pak vyrobí ve formě integrovaného obvodu



# FPGA - *Field-programmable gate array*



- Podobné vlastnosti jako ASIC
- Strukturu obvodu lze programovat pomocí konfiguračního souboru
- Struktura se definuje v HDL (Hardware Description Language) výsledný kód se pak překládá do logického obvodu. Obvod se pak nakonfiguruje do FPGA
- Někdy se používají vyšší vývojové nástroje





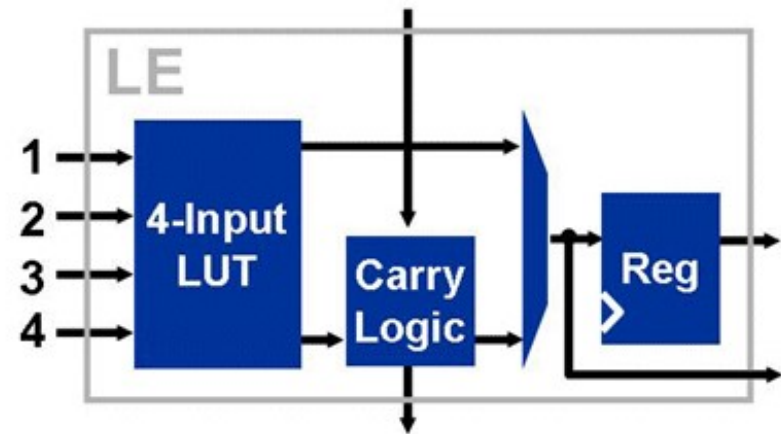


# FPGA Logické bloky

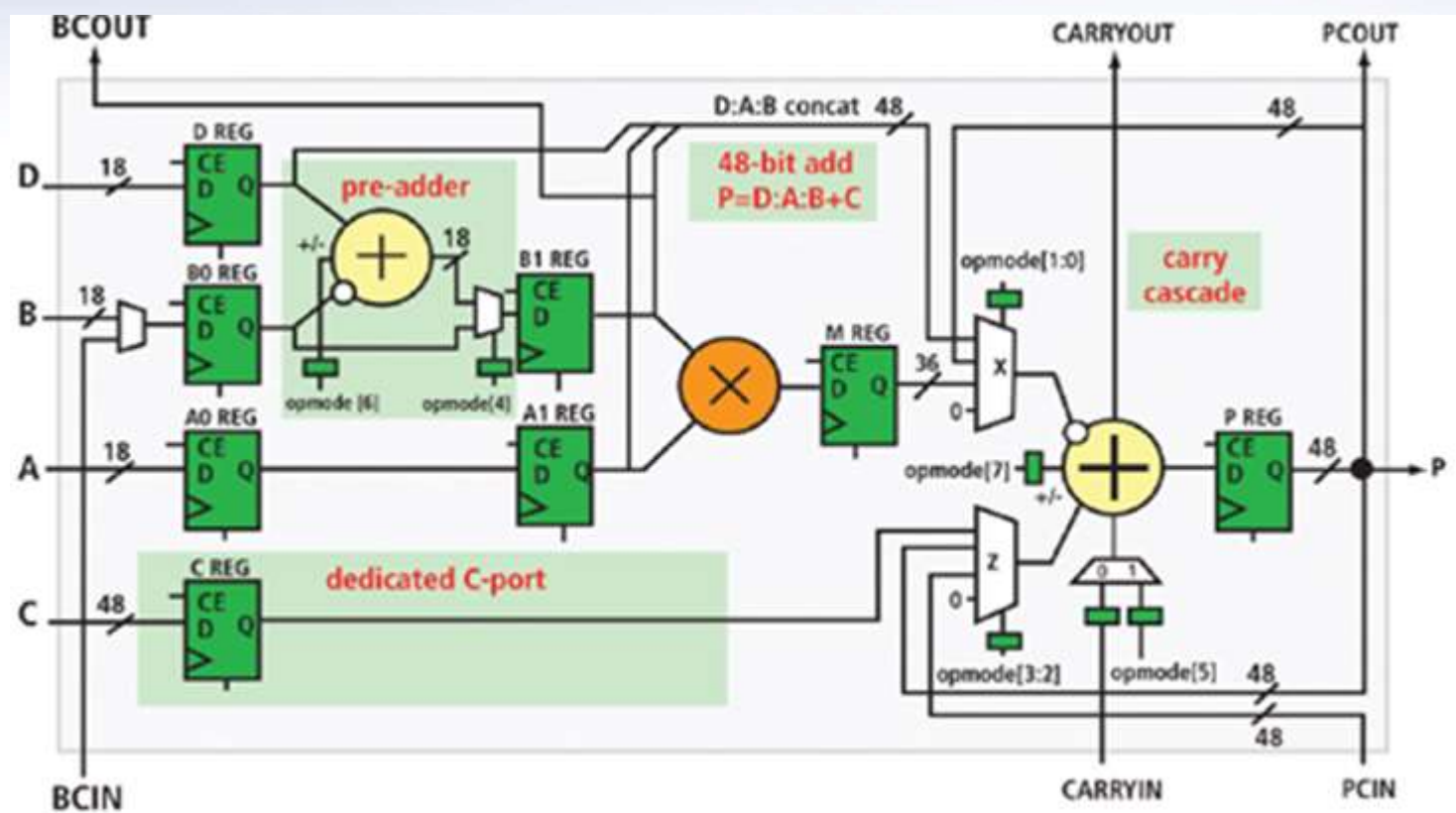


## Logické buňky

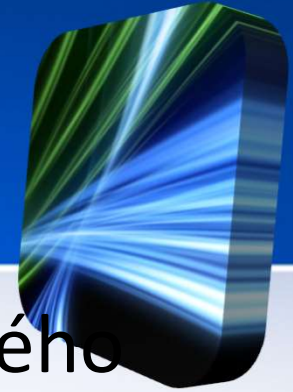
- Realizace libovolné logické funkce několika (4 – 7) proměnných
- Jeden nebo několik registrů D
- Rychlý přenos pro realizaci sčítaček a násobiček



# Sčítačky, násobičky a DSP



# Další bloky FPGA



- Bloky pro generování a distribuci hodinového signálu
- Blokovaná paměť
- Distribuovaná paměť
- Řadič DDR paměti
- Řadič PCIe
- Řadič Ethernet

# Soft procesory pro FPGA

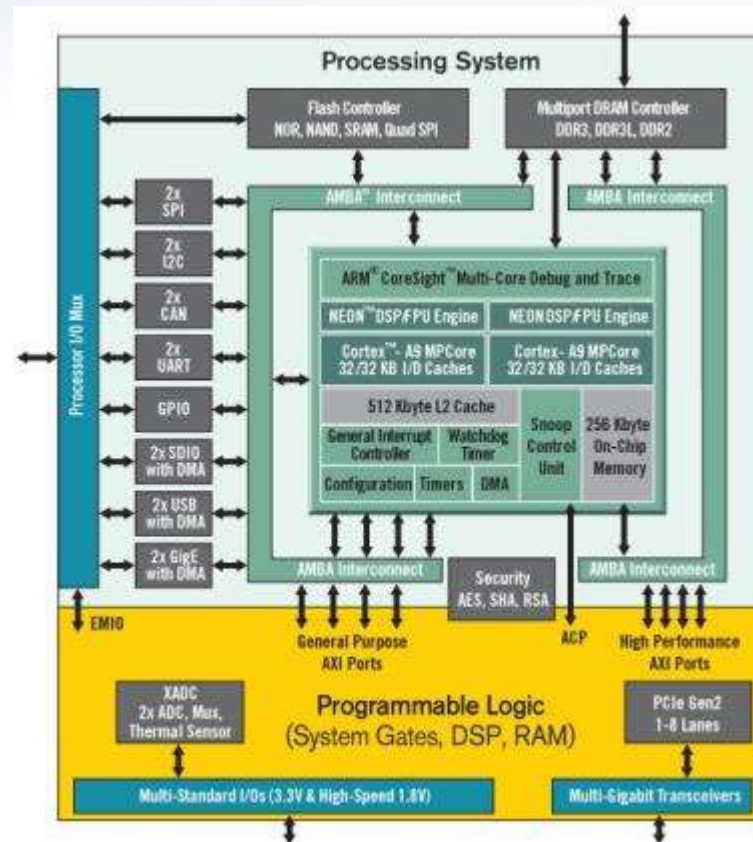


- Xilinx
  - MicroBlaze      32 bit Risc
  - PicoBlaze      jednoduchý řadič řízený programem
- Altera
  - Nios
- ARM
  - Cortex M1



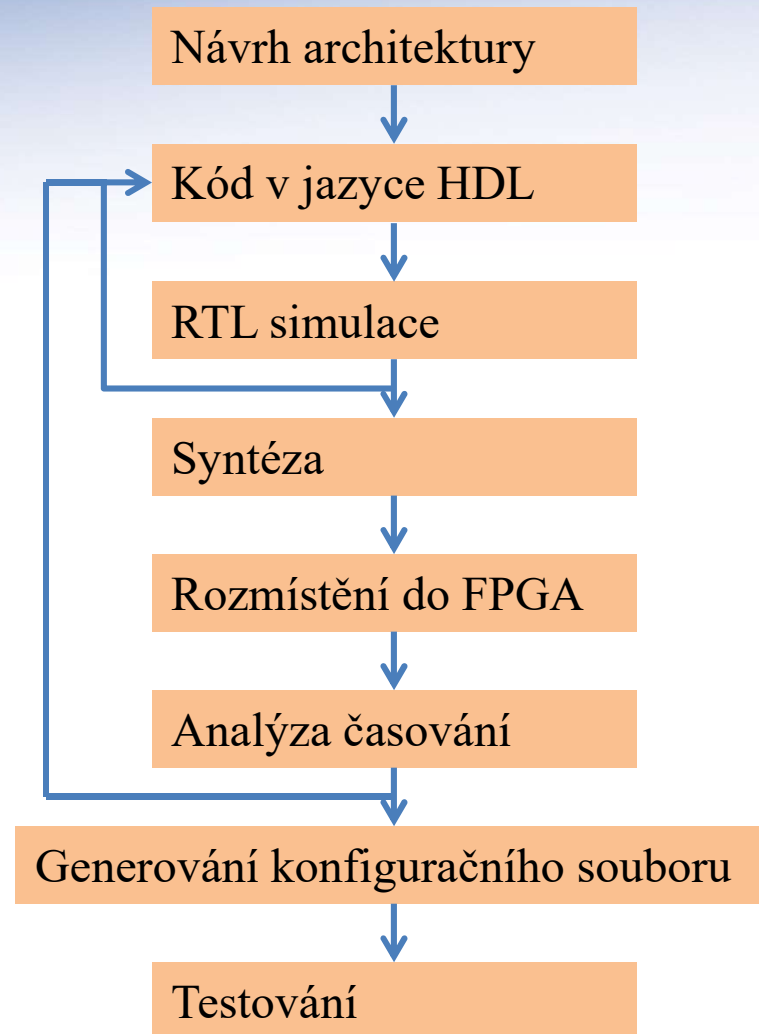
# System on chip SoC

- Kombinace FPGA a procesoru na jednom chipu



SoC Zynq firmy Xilinx

# Postup vývoje programu pro FPGA



# Příklad FPGA pro mobilní zařízení

## iCE40 firmy LATTICE

- FPGA malé velikosti 0,4 – 8 K LUT
- Ultra nízká spotřeba
- Určeno do chytrých mobilních zařízení
  - Interface, senzory,...
  - Přijímač GPS do hodinek



# Rozdíly v programování CPU, GPU, FPGA



	CPU	GPU	FPGA
Programovací jazyk	C/C++	OpenCL Cuda	HDL (VHDL, Verilog)
Algoritmická správnost	Programátor	Programátor	Programátor
Paralelizace výpočtů	CPU	Programátor vektorizací výpočtů	Programátor návrhem struktury systému
Časování	Výrobce	Výrobce	Programátor

# Rekonfigurovatelné rádiové části



- Přijímačem s přímým zesílením,
- Superheterodynním přijímačem,
- Přijímačem s přímou konverzí do základního pásma



# Přijímač s přímým zesílením

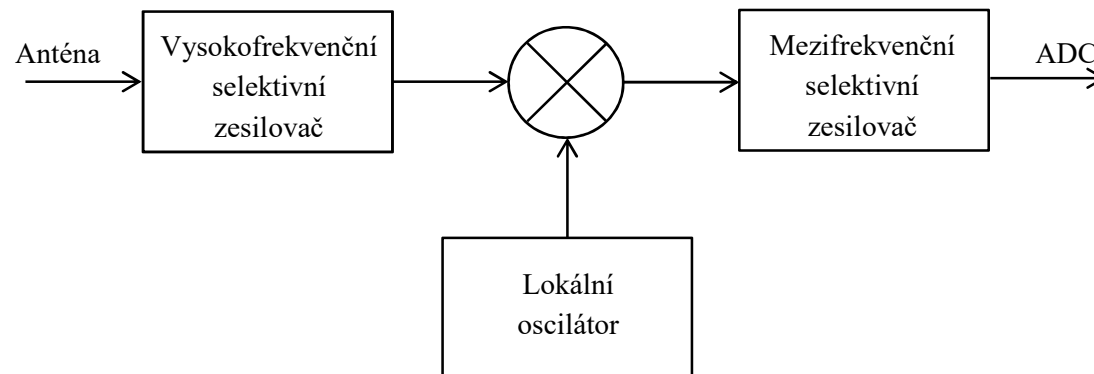


- Selektivní zesilovač + ADC
  - obtížná přeladitelnost
  - problém se selektivitou
- Aplikace
  - Pevné nízké kmoitočty
  - LORAN C

# Superheterodynní přijímač



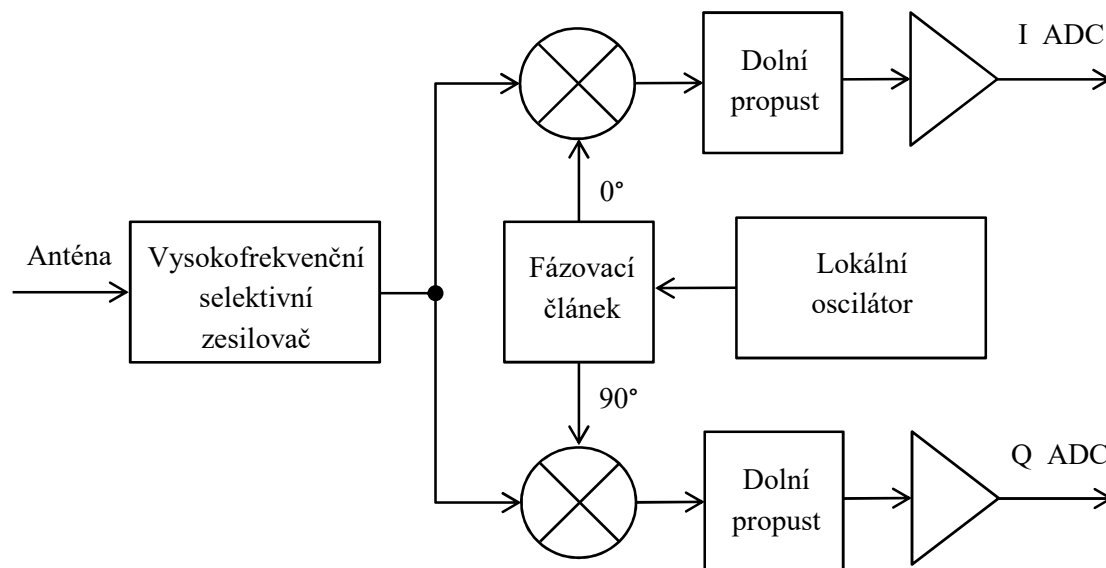
- Kmitočtová konverze
- Výborná přeladitelnost
- Vysoká selektivita



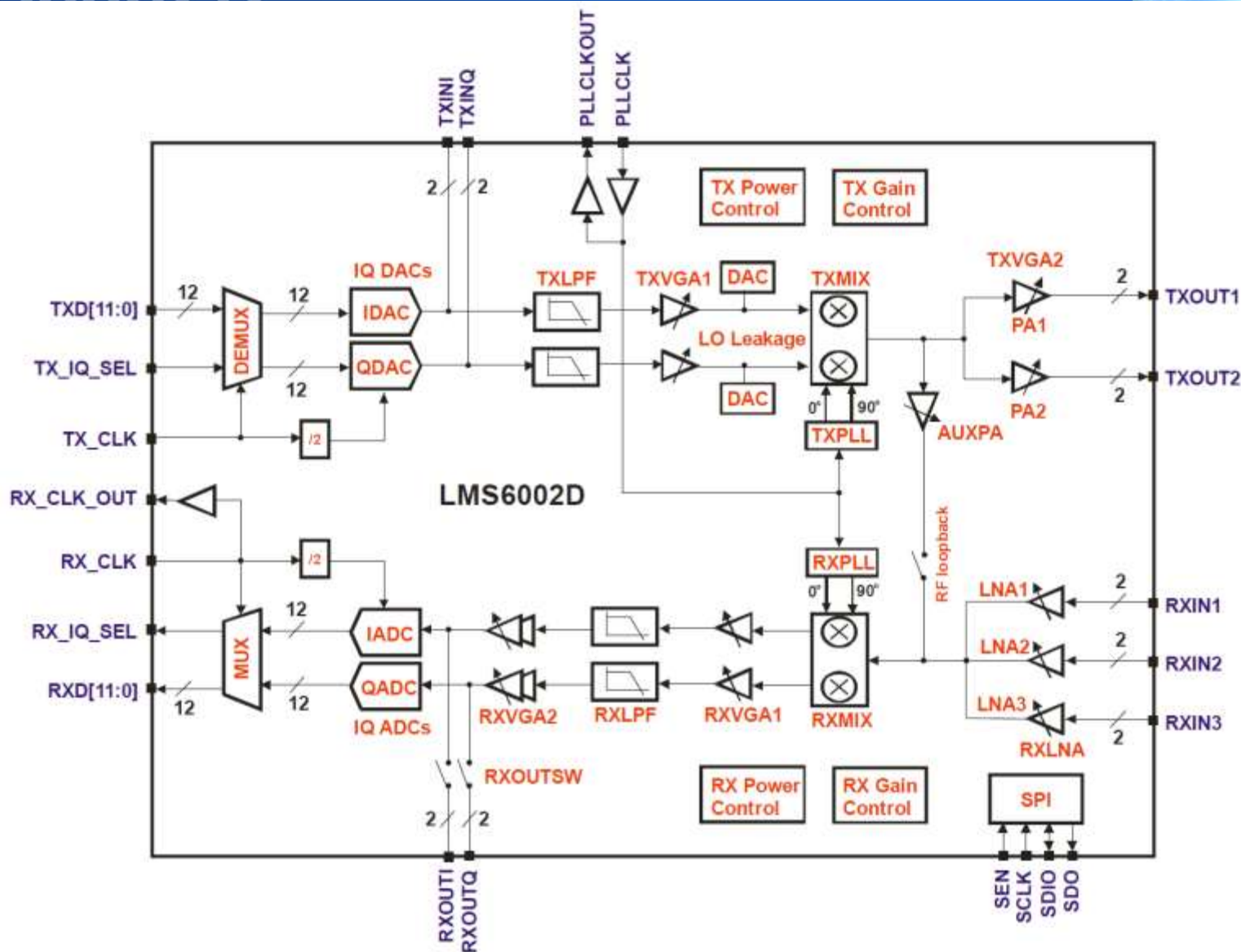
# Přijímač s přímou konverzí do základního pásma



- Lze realizovat na chipu bez externích filtrů
- Přeladitelnost a změna propustného pásma v širokém rozsahu
- Nevýhody
  - průniky signálu lokálního oscilátoru do vstupních obvodů přijímače,
  - problém se šumem  $1/f$  u zesilovačů v základním pásmu.



# Integrovaný transceiver LMS6002D



# Integrovaný transceiver LMS6002D



- Přijímač s přímou konverzí do základního pásma
- Kmitočtový rozsah 0,3 – 3,8 GHz
- Programovatelná šířka pásma  
1.5; 1.75; 2.5; 2,75; 3; 3.84; 5; 5.5; 6; 7; 8.75; 10; 12; 14; 20 a 28 MHz
- 12 bit A/D převodník max. 40 MHz
- Řízení zisku 60 dB
- Výkon vysílače max. 6 dBm
- Spotřeba příjem 700 mW, vysílání 900 mW

## Aplikace

- WCDMA/HSPA, LTE, GSM, CDMA 2000, IEEE 802,16
- DVB-T, DAB, GPS, GNSS, ...



# Srovnání SDR s klasickým rádiem



## FPGA versus ASIC

- velikost chipu
- zpoždění kritické cesty
- dynamická spotřeba
- náklady

# FPGA versus ASIC



- Stejná šířka hradla FPGA a ASIC

## Velikost chipu

Typ obvodu	Poměr FPGA / ASIC
Logika	35
Logika a DSP	25
Logika a paměť	33
Logika, paměť, DSP	18

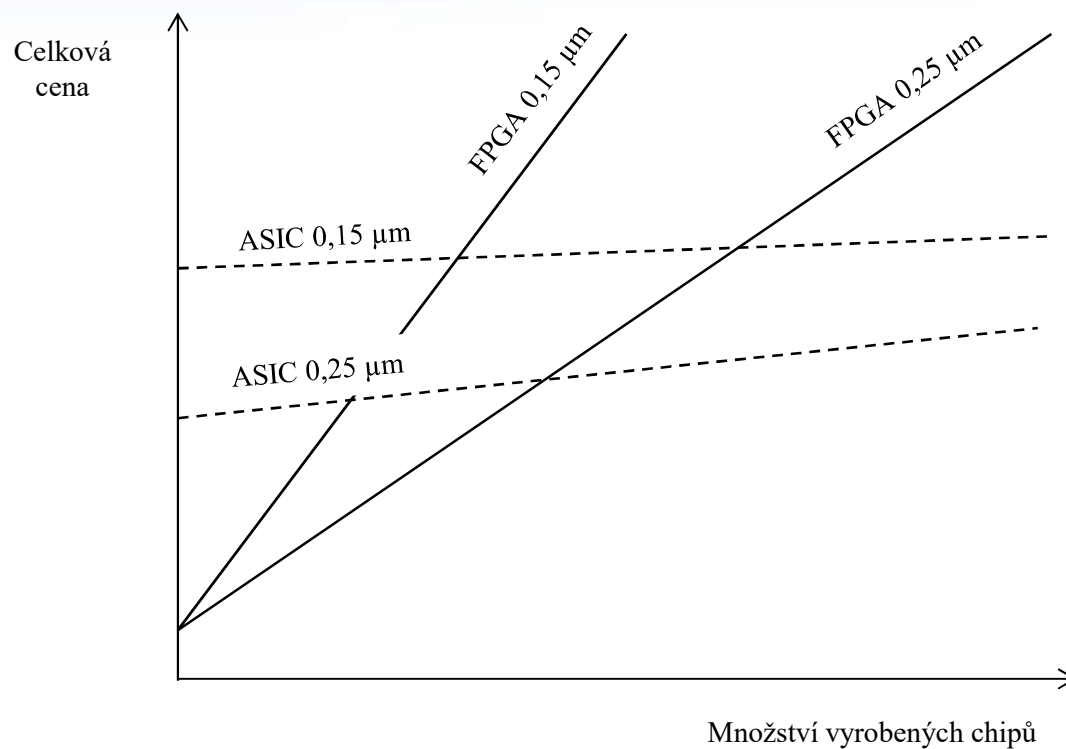
## Zpoždění kritické cesty

Typ obvodu	Poměr FPGA / ASIC
Logika	3,4
Logika a DSP	3,5
Logika a paměť	3,5
Logika, paměť, DSP	3,0

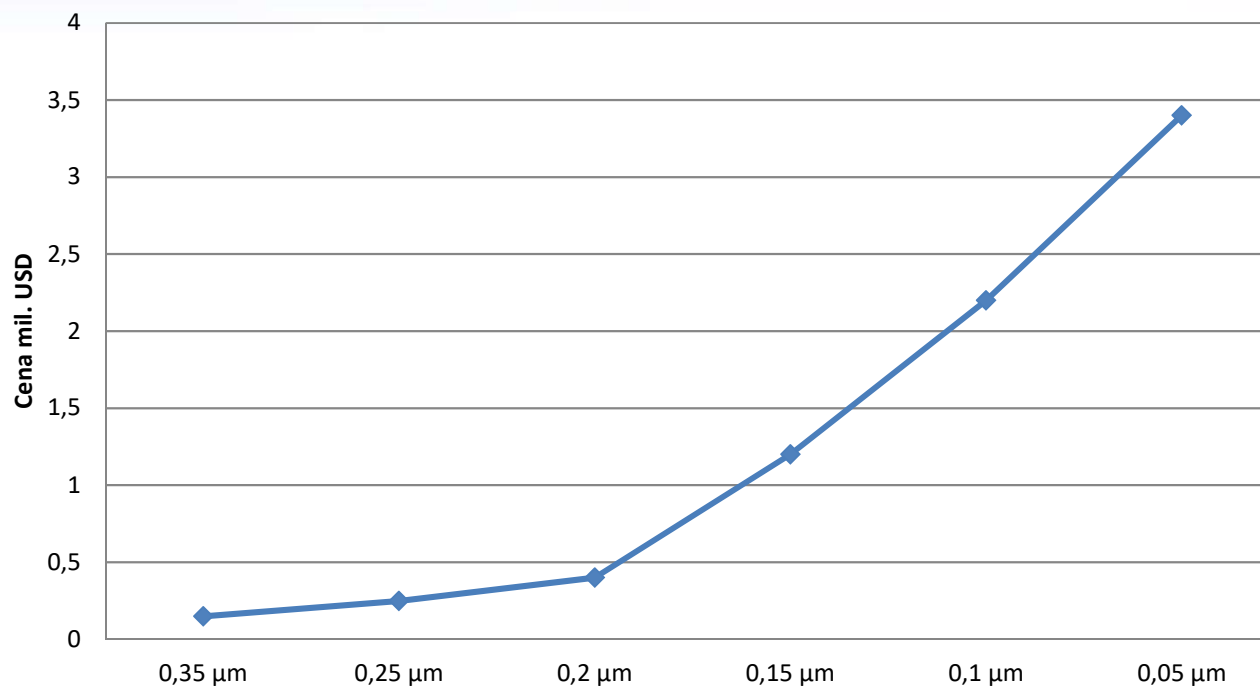
## Dynamická spotřeba

Typ obvodu	Poměr FPGA / ASIC
Logika	14
Logika a DSP	12
Logika a paměť	14
Logika, paměť, DSP	7,1

# Celkové náklady na projekt



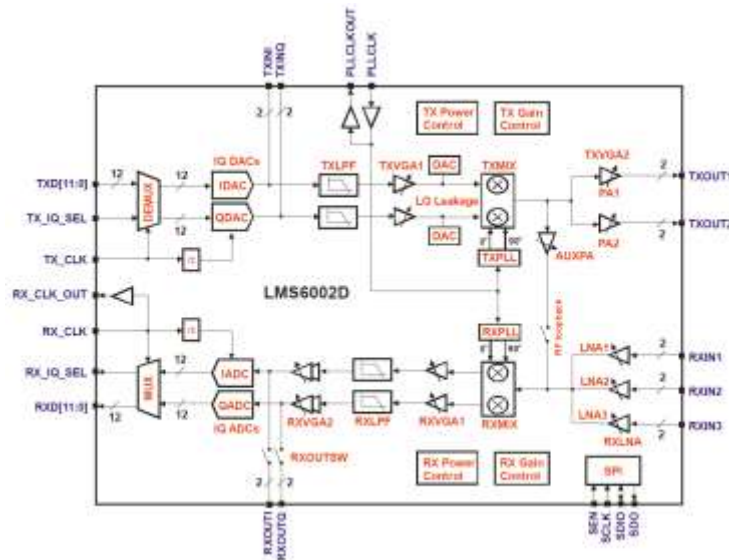
# Fixní náklady na ASIC v závislosti na šířce hradla



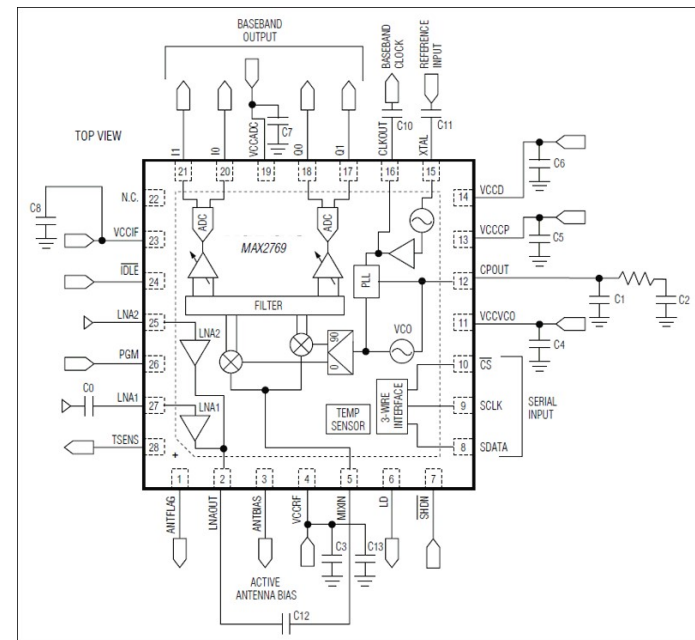
# Porovnání jednoúčelového a konfigurovatelného rádiového bloku



- LMS6002D
- MAX 2769 jednoúčelový obvod pro GPS přijímač



Spotřeba 700 mW v režimu příjmu



Spotřeba 40 mW



# Aplikace SDR



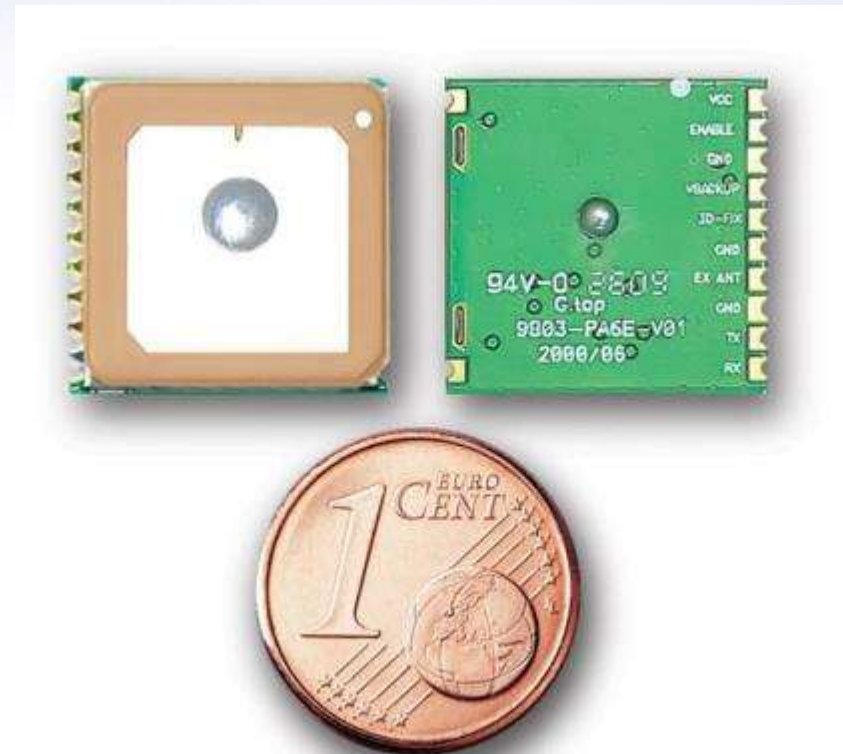
- Měřicí přístroje
- Speciální a vojenská technika
- Vědecké přístroje
- Výuka
- Amatéři

# Komerční přijímač GPS L1



## Požadavky

- Miniaturní rozměry a hmotnost
- Ultra nízká spotřeba
- Co nejvyšší přesnost
- Schopnost pracovat v obtížných podmínkách z hlediska příjmu signálu
- Nízká cena
- Velké množství aplikací, trh miliony kusů ročně
- ASIC technologie

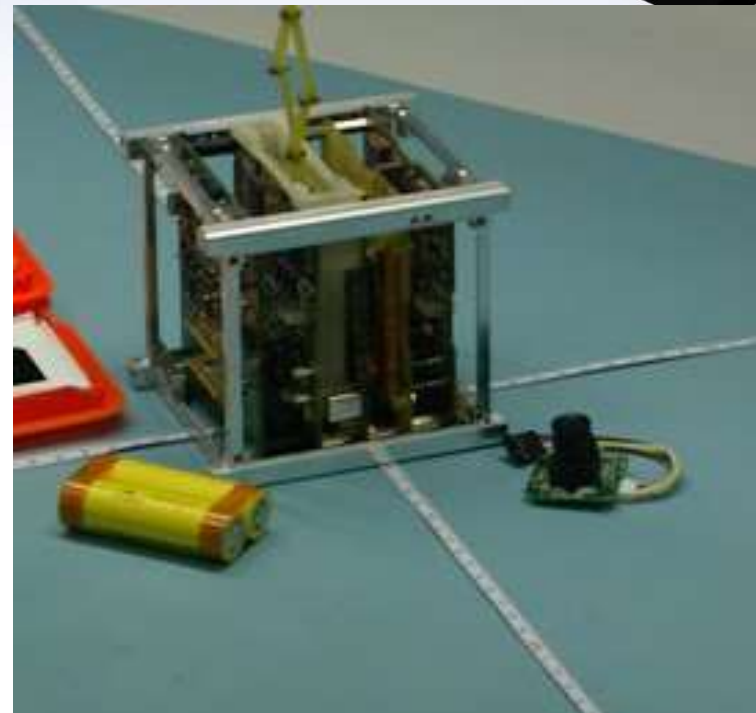


# Požadavky na GPS L1 pro družici CubeSat



## CubeSat

- Piko družice o objemu rozměrech 100x100x100 mm
- Výkon solárních panelů cca. 1 W
- Přímá viditelnost navigačních družic
- Žádné odrazné plochy
- Velká rychlost a výška
- Radiace



# piNAV L1 přijímač pro CubeSat



## Požadavky na přijímač

- Minimální spotřeba (zlomek výkonové bilance družice)
- Schopnost spolehlivě navigovat na LEO oběžné dráze
- Velikost trhu desítky kusů/rok



# Srovnání komerčního GPS přijímače a přijímače piNAV L1



Vlastnost	Komerční přijímač	piNAV
Technologie	ASIC	Softwarové rádio
Velikost	16 x 16 x 6 mm	75 x 35 x 12 mm
Hmotnost	5 g	47 g
Spotřeba	95 mW	120 mW
Počet kanálů	66	15
Akviziční jednotka	Ano	Ne
Vysoká citlivost	Ano	Ne
Potlačení rušení v GPS pásmu	Ano	Ne
Schopnost pracovat na LEO dráze	Ne	Do rychlosti 9 km/s a výšky 10 000 km
Cena vývoje	???	180 000 Kč + 1200 hod