



UNIVERSIDAD NACIONAL DE CÓRDOBA  
FACULTAD DE CIENCIAS EXACTAS, FÍSICAS Y NATURALES  
CÁTEDRA DE ELECTRÓNICA DIGITAL I

TRABAJO PRÁCTICO N° 4

**“Conversión y Almacenamiento”**

Grupo N° 3

Alumnos:

Langleib, Emilia

Rojo, Juan Pablo

Saillen, Simón

NOTA:

Profesor:

Ing. Vrech, Ruben

Comisión: Viernes 9:30 hs

Junio / 2022



## Consigna

El objetivo de este Trabajo Práctico es diseñar un circuito Conversor Analógico Digital (ADC), un banco de memoria RAM y un Conversor Digital Analógico (DAC) en una placa Protoboard.

Para lograrlo, se deberá tomar una señal analógica de al menos 3 KHz, procesarla a digital por el ADC y almacenar al menos 3 segundos de los datos obtenidos en un banco de memoria RAM.

Se tendrá que diseñar un Conversor Digital Analógico tipo R-2R que, mientras se obtienen los datos digitalizados, deberá devolver la señal muestreada, también con la posibilidad de leer los datos almacenados en la memoria RAM de forma cíclica.

También se deberá mostrar el valor digitalizado en 8 leds representando los 8 bits de la señal convertida.

## Desarrollo

### 1. Conversor Analogico Digital (ADC)

Comenzamos el desarrollo calculando las frecuencias necesarias, teniendo en cuenta el Teorema de Nyquist, que dice que la frecuencia de muestreo de una señal debe ser mayor al doble de la frecuencia de dicha señal, o como lo vimos en clase:

$$f_{S/H} \geq 2 \times f_{\text{máx}} \times n^{\circ} \text{ de señales a muestrear}$$

Entonces, para cumplir el Teorema, utilizando una sola señal de frecuencia de 3KHz proveniente de un generador de señales, tendremos que utilizar una frecuencia de muestreo mayor o igual a  $f_{S/H} \geq 6KHz$ .

Luego de calcular la frecuencia de muestreo requerida, debemos calcular la frecuencia necesaria para el clock del ADC, dicha frecuencia, teniendo en cuenta que el ADC0808 es un ADC de "Aproximaciones Sucesivas", tendrá un valor de:

$$f_{ADC} = (n + 2)f_{S/H}$$

Considerando que el ADC es de 8 bits, tendremos una frecuencia de  $f_{ADC} = 60KHz$ .

Al tener un Conversor de 8 bits y un rango de Cuantificación de 5 V, tendremos un nivel de ruido de  $\frac{5}{2^n} = 19,5 \text{ mV}$ .

Si bien estos valores son los usados en el circuito físico, en la simulación se debió de usar otros valores de frecuencias, debido al funcionamiento del ADC dentro de la simulación.

Este debe ser utilizado en modo "*Free-Running*", significando que el ADC funcionará a la mayor frecuencia posible sin controlar las frecuencias de SOC y EOC (aunque teniendo una relación lineal con estas), entonces para lograr obtener una frecuencia de EOC de 6KHz, se debió de utilizar una frecuencia de  $f_{ADC} = 389,99 \text{ KHz}$ .

Además, las entradas SOC y EOC deben estar conectadas entre sí.

Si no se cumple esto el ADC no funciona en la simulación.

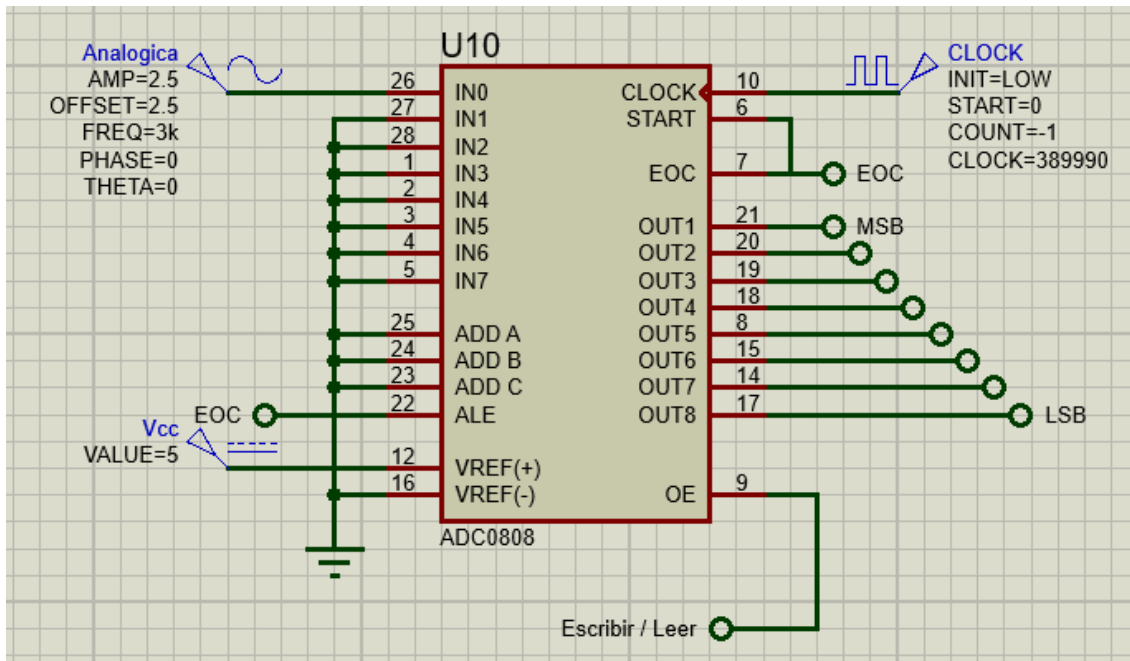


Imagen 1: Conexiones del ADC0808

## 2. Temporizador 555 y Divisor de Frecuencia

Para generar la señal de clock del ADC optamos por utilizar un Chip Temporizador 555, usando la configuración “operación astable”, realizando los cálculos necesarios para generar una frecuencia de 60 KHz, utilizando la ecuación (*por datasheet*):

$$f = \frac{1,443}{(R_1 + 2R_2)C}$$

Resultando en unos valores de:

$$R_1 = 2200\Omega \quad R_2 = 100\Omega \quad C = 10\text{ nF}$$

Sin embargo en el circuito real tuvimos que utilizar una  $R_1 \approx 1440\Omega$  ya que probando con la resistencia calculada obtenemos una frecuencia de  $\approx 53\text{ KHz}$  incumpliendo el Teorema de Nyquist.

La resistencia usada nos brinda un valor cercano  $\approx 67\text{ KHz}$  que si bien no es  $60\text{ KHz}$  y por lo tanto resultará en sobremuestreo, cumple el Teorema.

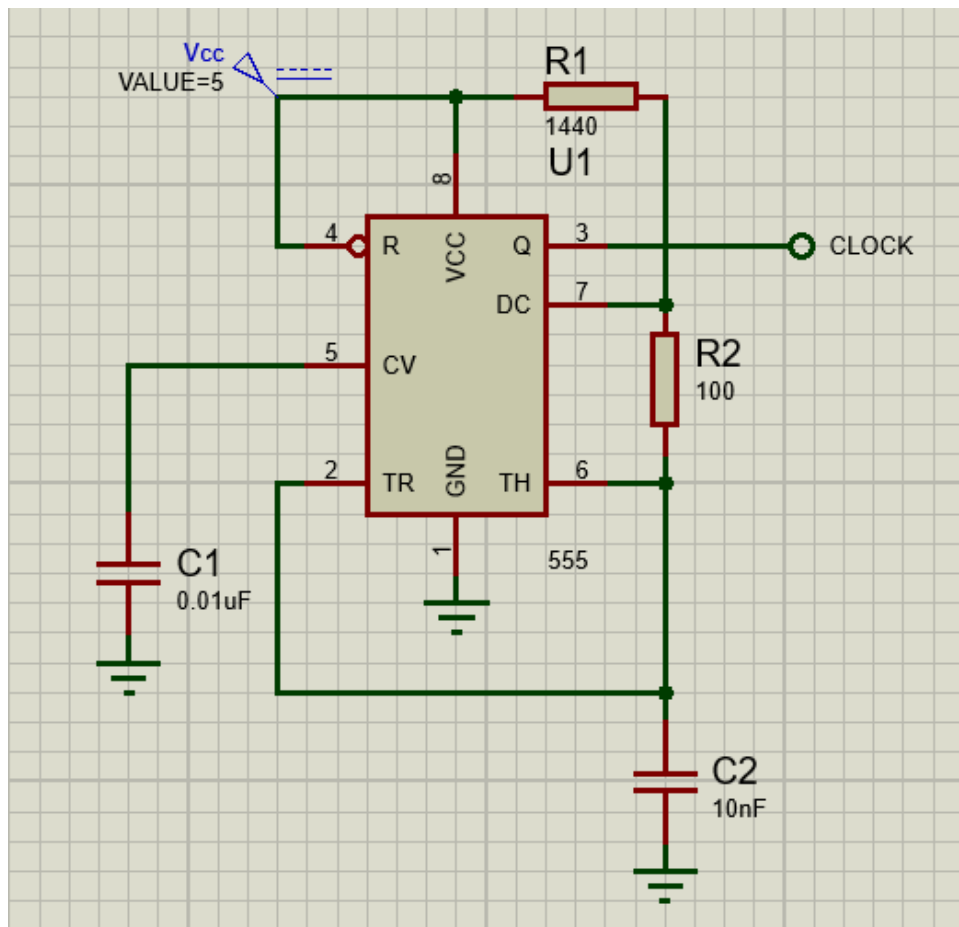


Imagen 2: Configuración de LM555

Para el divisor de frecuencia necesario para la frecuencia de Muestreo, decidimos utilizar un contador de 4 bits, que al llegar a 10 ( $n + 2$ ) lance un pulso a SOC y resetee el contador, logrando así dividir en 10 la frecuencia de Clock para la frecuencia de Muestreo.

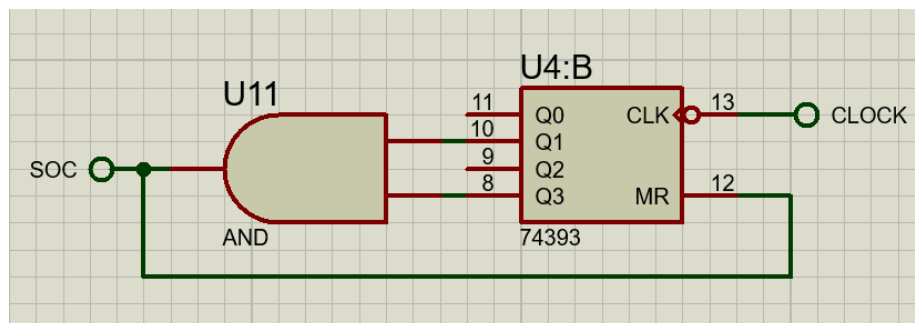


Imagen 3: Divisor de Frecuencia

### 3. Almacenamiento

Teniendo en cuenta una frecuencia de muestreo de 6KHz, con un mínimo estipulado por consigna de 3 segundos, obtenemos una cantidad de 18 mil datos. Y debido a que las memorias se venden de a potencias de 2, optamos por la utilización de una memoria de 32 Kb x 8 bits, y decidimos alargar nuestro tiempo a 5 segundos para mejor uso de la memoria disponible, obteniendo un total de 30 mil muestras.

Entonces tendremos 15 líneas de direcciones ( $2^{15} = 32768$ ) que controlaremos con 2 contadores, uno de 12 bits, y otro de 4 bits.

Controlando los contadores con 7 compuertas AND para que estos se reseteen cuando se alcancen los 30 mil datos (111010100110000 en binario) representando los 5 segundos de guardado y permitiendo una lectura cíclica de las memorias.

También, incluimos un capacitor en serie con resistencia a tierra para reiniciar los contadores al cambiar de lectura a escritura.

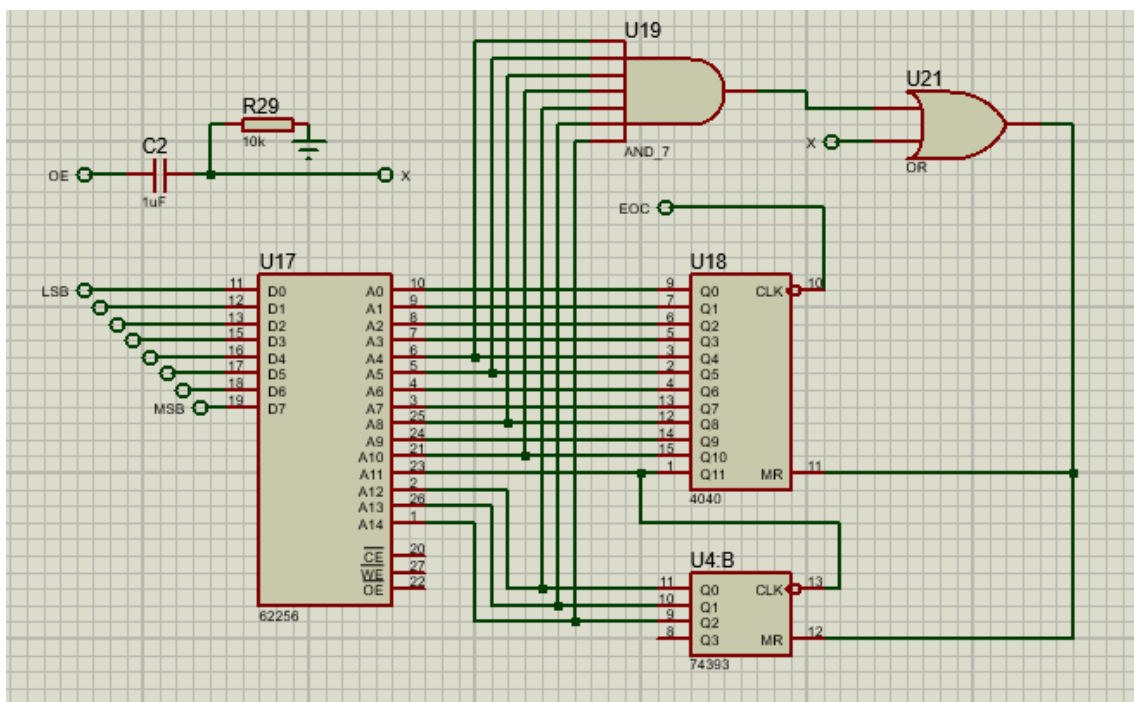


Imagen 4: Conexiones de memoria RAM con circuito de Reset

#### 4. Botón de Conversión (Escritura / Lectura) y BUS de LEDS

Debido a que, estipulado por consigna, se debe iniciar la conversión una vez presionado un botón y finalizar cuando se terminen de llenar las memorias. Ideamos una alternativa para utilizar el circuito de reset de los contadores de las mismas a la hora de finalizar la conversión e iniciar la lectura de las memorias.

La base de este mecanismo se encuentra en un Flip-Flop Tipo D (Data), la idea consiste en conectar el botón (con su respectiva resistencia Pull-Down) a la entrada SET del Flip-Flop D, permitiendo una lectura constante de “1 Lógico” en la salida del FF hasta el próximo ciclo de clock, y conectar la salida de las compuertas AND de la condición de “30 mil muestras guardadas” (5 segundos) a la entrada del CLOCK del FF D, y conectar la entrada DATA del FF a tierra para obtener un “0 Lógico” en la salida del FF luego de cada ciclo.

La salida del FF corresponderá con la entrada  $OE$  del ADC, así también como las entradas  $\overline{OE}$  y  $\overline{WE}$  de la Memoria (si bien cada una es conectada a la salida del FF, las mismas tienen condiciones propias para funcionar, por eso se incluye una compuerta NAND conectada a  $OE$  y  $EOC$  antes de la entrada  $\overline{WE}$ , esto es debido a que dicha entrada de la Memoria requiere de un pulso para el proceso de escritura). La entrada  $OE$  de la memoria funciona opuesta a la entrada del ADC, por eso al tener un “0 lógico” la memoria entra en modo LEER, y cuando tiene un “1 lógico” en modo ESCRIBIR.

También se incluyó un LED Amarillo para mostrarse encendido cuando la memoria está siendo escrita y apagado cuando esta se está leyendo.

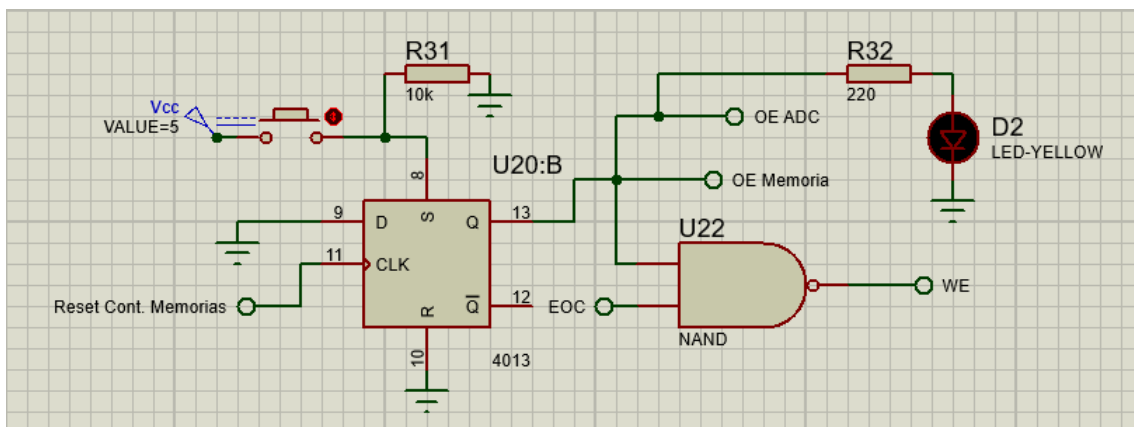


Imagen 5: Botón de Control del ADC y Memoria



En resumen, el circuito no convertirá datos hasta que se oprima el botón, una vez que este se haya oprimido, se empezará a convertir y guardar los datos obtenidos en la memoria, una vez que finalice esto, el circuito parará solo y empezará a leer la memoria de manera cíclica (loop) hasta que se desconecte el circuito o se inicie una nueva escritura. Mientras todo esto ocurre, se presentará el valor binario de la conversión / lectura en un bus de 8 LEDs.

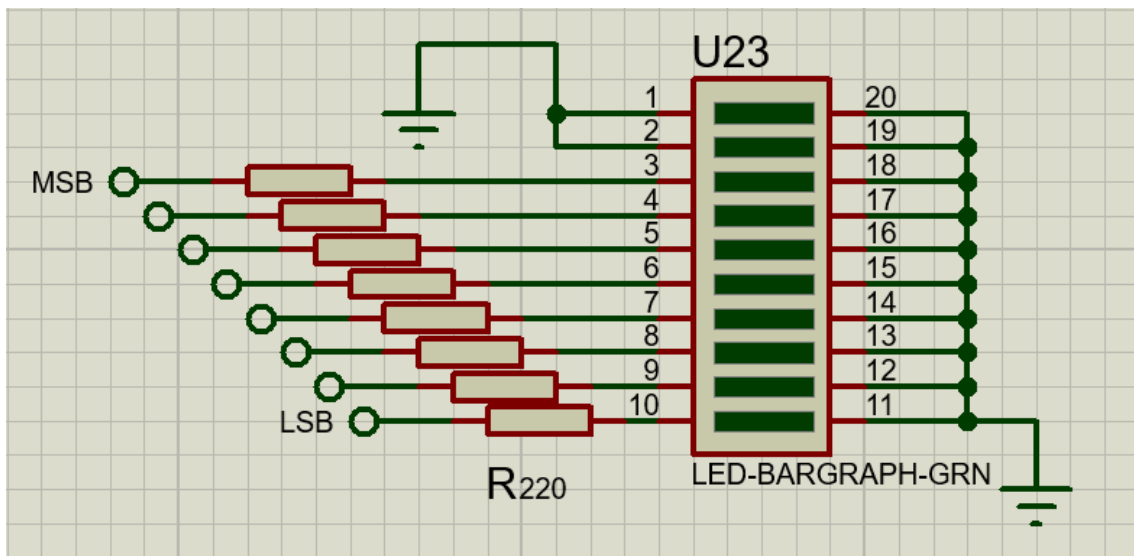


Imagen 6: BUS de 8 LEDs

## 5. Conversor R-2R

Este conversor se armó a partir de la relación entre resistencias de  $1\text{ K}\Omega$  y  $2\text{ K}\Omega$  (cabe aclarar que en lugar de estas se utilizaron resistencias de  $2,2\text{ K}\Omega$ ), donde cada Bit tiene un peso distinto en cuanto a su contribución a la salida final y convierte la señal digital nuevamente en analógica en el rango de  $0 - 5\text{ V}$ .

El análisis de la escalera se realiza evaluando los equivalentes de Thêvenin desde los puntos señalados. Desde cualquiera de estos puntos la resistencia equivalente resulta ser  $R$ . Y el  $V_{th} = V_{CC}/2^n$ . Hay que tener en cuenta un punto muy importante, y es que los valores de las resistencias tienen que ser precisos, sobre todo los de las resistencias de los MSB.

Finalmente se agrega en la salida de este circuito un Amplificador Operacional donde controlamos la ganancia de la señal analógica.

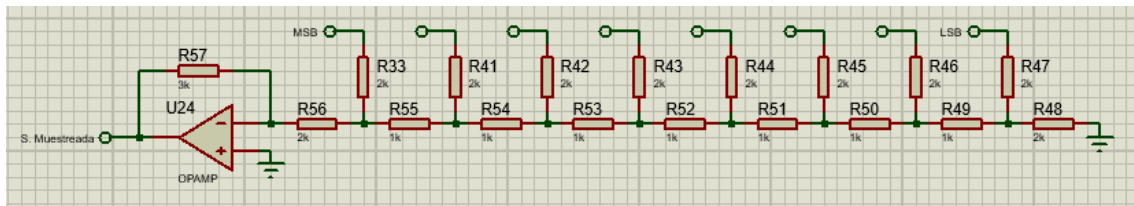


Imagen 7: Conversor Digital Analógico R-2R

### Diagrama Circuital

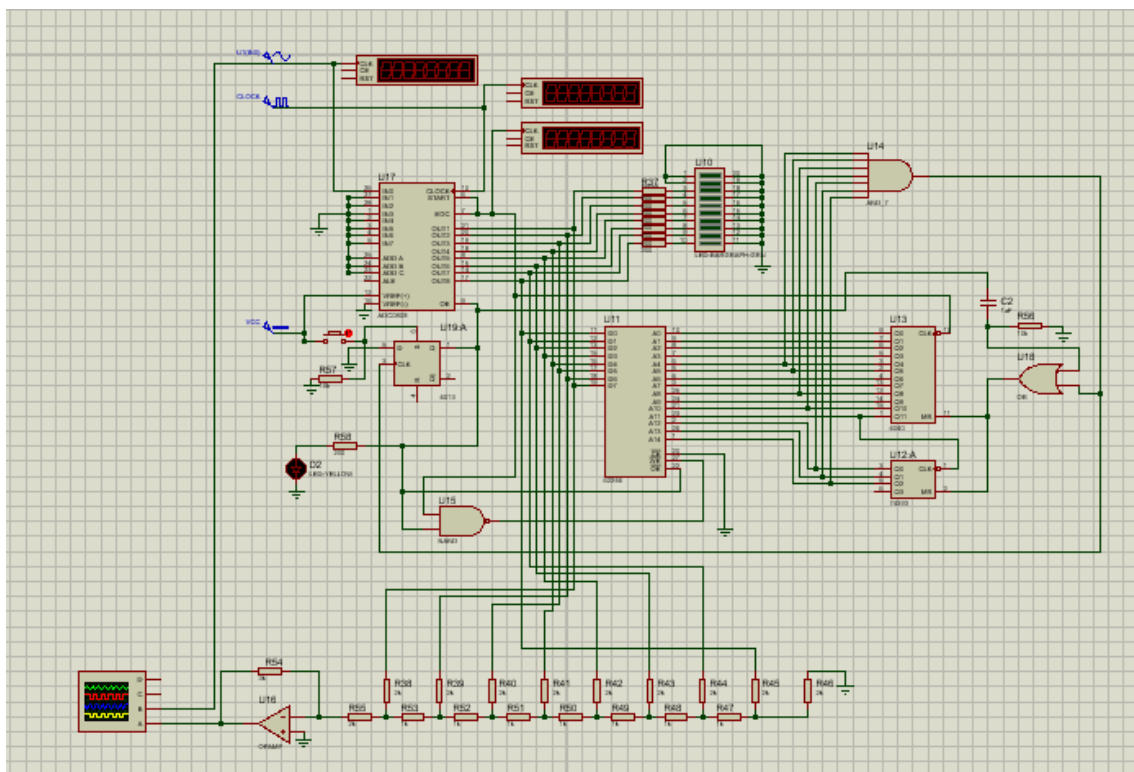


Imagen 8: Circuito completo de Conversión y Almacenamiento

Memory Contents - U2												
0534	C4	38	C4	38	C4	38	C4	38	C4	38	C4	38
0540	C4	38	C4	38	C4	38	C4	38	C4	38	C4	38
054C	C4	38	C4	38	C4	38	C4	38	C4	38	C4	38
0558	C4	38	C4	38	C4	38	C4	38	C4	38	C4	38
0564	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
0570	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
057C	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
0588	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
0594	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
05A0	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
05AC	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
05B8	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
05C4	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A	C5	3A
05D0	C5	3A	C5	3A	C5	3A	C5	3A	C5	39	C6	39
05DC	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
05E8	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
05F4	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
0600	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
060C	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
0618	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
0624	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
0630	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
063C	C6	39	C6	39	C6	39	C6	39	C6	39	C6	39
0648	C6	39	C6	39	C6	39	C7	38	C7	38	C7	38
0654	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
0660	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
066C	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
0678	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
0684	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
0690	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
069C	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
06A8	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
06B4	C7	38	C7	38	C7	38	C7	38	C7	38	C7	38
06C0	C7	38	C7	38	C7	37	C8	37	C8	37	C8	37
06CC	C8	37	C8	37	C8	37	C8	37	C8	37	C8	37
06D8	C8	37	C8	37	C8	37	C8	37	C8	37	C8	37
06E4	C8	37	C8	37	C8	37	C8	37	C8	37	C8	37
06F0	C8	37	C8	37	C8	37	C8	37	C8	37	C8	37
06FC	C8	37	C8	37	C8	37	C8	37	C8	37	C8	37

Imagen 9: Contenido de la Memoria luego de una Escritura completa

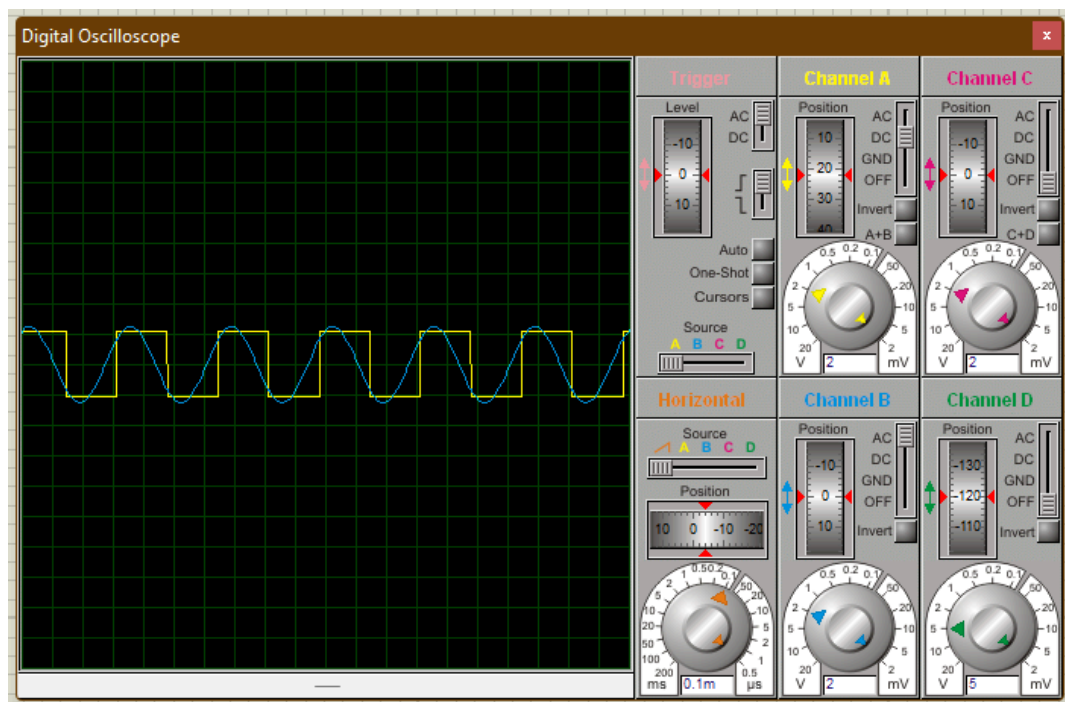


Imagen 10: Señal Analógica y Muestreada

## Materiales

- Fuente de Alimentación 6 V (4 pilas 1,5 V)
- 3 Placas Protoboard
- Botón
- ADC de 8 Bits con Multiplexor (ADC0808)
- Memoria RAM 32Kb x 8 bits (HM62256A)
- Amplificador Operacional (CA324)
- 2 Contadores 4 bits (CD4520BE)
- 1 Contador de 12 bits (CD54HC4040)
- 2 Capacitores de 10 nF
- Capacitor de 1 uF
- Flip-Flop JK (HEF4027B)
- 9 Resistencias de 1 K $\Omega$
- 10 Resistencias de 2,2 K $\Omega$
- 11 Resistencias de 220  $\Omega$
- 3 Resistencias 10 K $\Omega$
- Temporizador 555 (LM555)
- 9 LEDs
- 8 Compuertas AND (74LS08)
- 4 Compuertas NAND (CD4011B)
- Generador de Señales\*
- Osciloscopio\*

*\* No pertenecen a materiales del circuito pero se utilizan para el funcionamiento.*



## Gráficos Topológicos

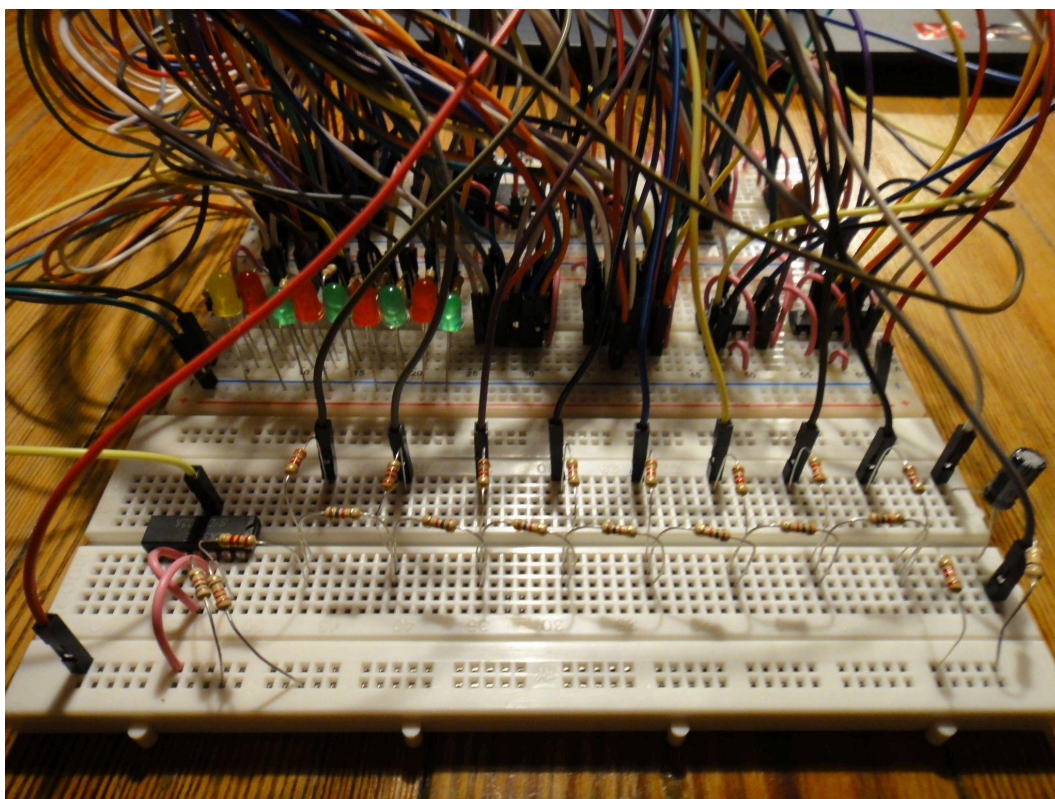


Imagen 11: Vista Lateral del Circuito Físico

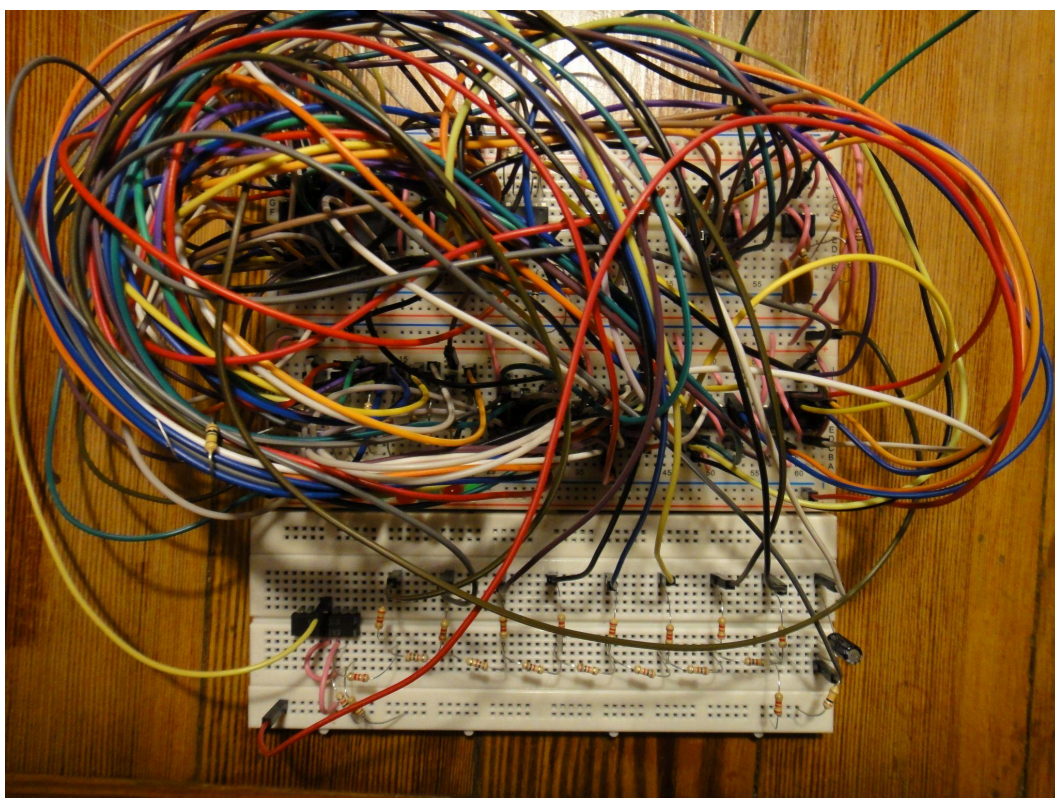


Imagen 12: Vista Superior del Circuito Físico

## Conclusiones

Podemos concluir que este fue el trabajo de mayor dificultad comparado con los anteriores. Para poder realizarlo de manera exitosa, se tuvo que poner en práctica los conceptos aprendidos durante toda la cursada, y se podría decir que fue un trabajo integrador de toda la materia.

Se utilizaron herramientas aprendidas del cursado y de la realización de los trabajos anteriores, así como las aprendidas investigando para su realización.

## Bibliografía y referencias

- [1] AllDataSheet  
<https://www.alldatasheet.es/>