

Hardware System Design

Term Project v0

2013-11392 김지현

개요

지금까지 배웠던 지식들을 총동원해, ZedBoard FPGA를 사용해 행렬*벡터 곱셈기를 완성하였다.

구현체 설명

Lab 10에서 받은 MyIP의 내용물을 그대로 중간 제출때 만들었던 PE Controller로 교체하였다. 이 때, 지금까지와는 다르게 BRAM 읽기에 2 cycle delay, BRAM 쓰기에 1 cycle delay가 존재한다. 그래서 BRAM에 읽기/쓰기 요청을 보냈을 때 응답이 바로 오지 않고 몇 사이클 뒤에 올 것이라고 가정하고 Verilog 코드를 작성해야했다. 그 외에는 특별히 손대지 않았다.

지금까지의 제출물에는 PE Clock을 negate한 부분이 있었는데, 이부분이 실제 FPGA에서 실행할 때 문제가 되어 제거하였다.

실험 결과 분석

아래와 같이 정상적으로 verify 스크립트를 통과하는것을 볼 수 있다.

```
program start
index    CPU      FPGA      diff
0        4.268849  4.268849  -0.000000
1        6.102144  6.102144  0.000000
2        4.297397  4.297397  0.000000
3        5.097483  5.097483  0.000000
4        6.525218  6.525218  0.000000
5        5.934426  5.934426  0.000000
6        4.830572  4.830572  0.000000
7        4.449974  4.449975  0.000000
8        4.759317  4.759317  -0.000000
9        4.267474  4.267474  0.000000
10       5.589108  5.589108  -0.000000
11       6.523821  6.523821  0.000000
12       5.026779  5.026779  0.000000
13       4.527528  4.527528  0.000000
14       4.903258  4.903257  -0.000000
15       4.484397  4.484397  0.000000
zed@debian-zynq:~/cpu$ cd ..
```

```

zed@debian-zynq:~/lab-07$ ./benchmark
[*] Arguments: Namespace(m_size=64, network='mlp', num_test_images=100, run_type='cpu', v_size=64)
[*] Read MNIST...
[*] The shape of image: (100, 28, 28)
[*] Load the network...
[*] Run tests...
[*] Statistics...
{'accuracy': 0.97,
 'avg_num_call': 627,
 'm_size': 64,
 'total_image': 100,
 'total_time': 6.903742790222168,
 'v_size': 64}

=> Accuracy should be 0.97

[*] Arguments: Namespace(m_size=64, network='cnn', num_test_images=100, run_type='cpu', v_size=64)
[*] Read MNIST...
[*] The shape of image: (100, 28, 28)
[*] Load the network...
[*] Run tests...
[*] Statistics...
{'accuracy': 1.0,
 'avg_num_call': 741,
 'm_size': 64,
 'total_image': 100,
 'total_time': 4.5841569900512695,
 'v_size': 64}

=> Accuracy should be 1.0

zed@debian-zynq:~/lab-07$ echo '2013-11392김지현'
2013-11392김지현

```

벤치마크도 정상적으로 통과한다.

결론

한학기동안 배운 지식을 모두 사용해 행렬곱 가속기를 최종적으로 완성할 수 있었다. 시뮬레이터와 실제 FPGA에서의 동작이 다를 수 있다는 사실 또한 만드는 과정에서 익힐 수 있었다.