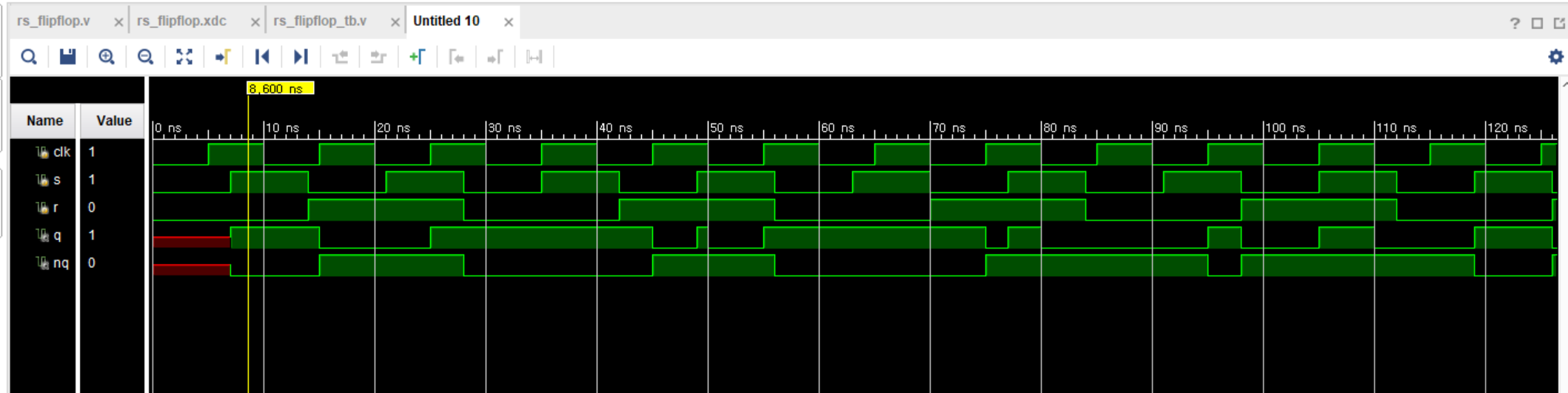
11주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231561 이름: 심소현

**1.**

.................

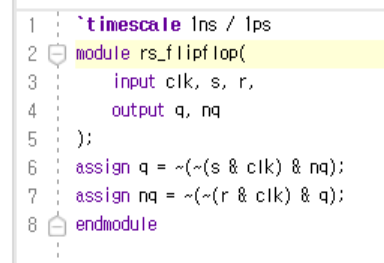
아래는 RS Flip-Flop을 NAND 게이트로 나타낸 프로그램의 simulation이다.



아래는 RS Flip-Flop을 NAND 게이트로 나타낸 프로그램의 truth table 이다.

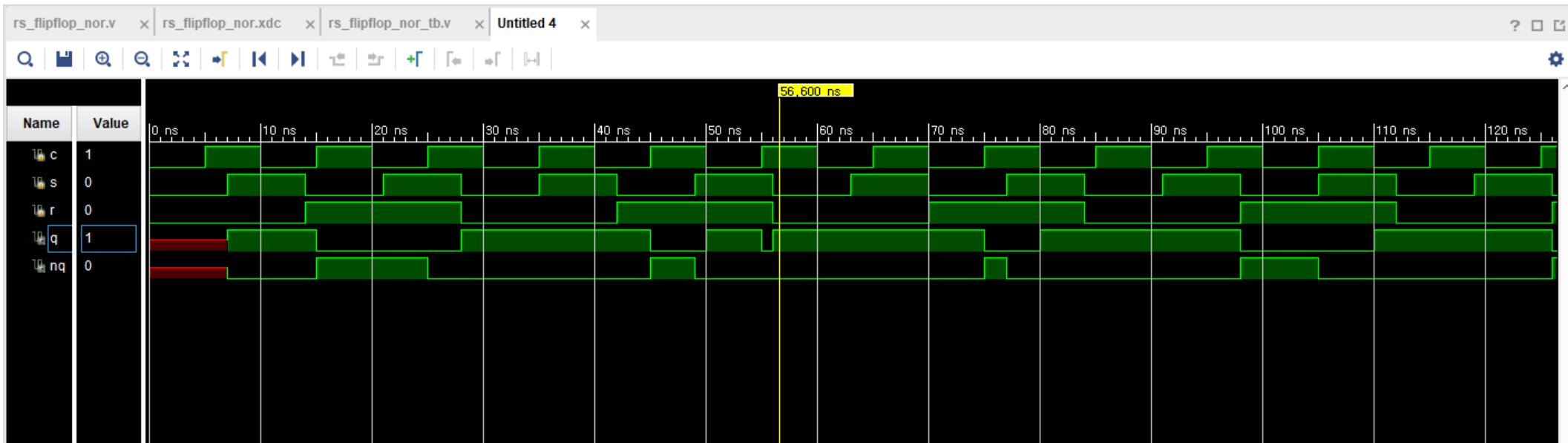
|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Input | | | Output | |
| 입력 순서 | R | S | Q | ~Q |
| (1) | 0 | 1 | 1 | 0 |
| (2) | 0 | 0 | 1 | 0 |
| (3) | 1 | 0 | 0 | 1 |
| (4) | 0 | 0 | 1 | 0 |
| (5) | 1 | 0 | 1 | 0 |
| (6) | 1 | 1 | 1 | 1 |

아래는 RS Flip-Flop을 NAND 게이트로 나타낸 프로그램의 verilog design source이다.



RS FF 게이트는 클락과 Reset, Set으로 출력을 결정한다. Q는 우선 클락과 Set 값을 NAND 게이트로 구현하고, 이에 대한 결과를 Q’의 값과 NAND 게이트로 구현하였다. Q’는 클락과 Reset 값을 NAND 게이트로 구현하고 이 값을 앞에서 구현했던 Q값과 NAND 게이트로 구현하여 나타냈다. 이는 SR latch에 클럭 입력을 결합하여 구현하였다고 볼 수 있다.

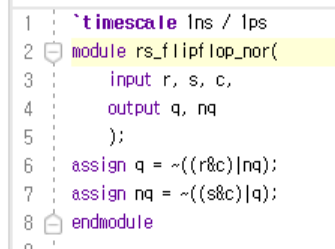
아래는 RS Flip-Flop을 NOR 게이트로 나타낸 프로그램의 simulation이다.



아래는 RS Flip-Flop을 NOR 게이트로 나타낸 프로그램의 truth table 이다.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Input | | | Output | |
| 입력 순서 | R | S | Q | ~Q |
| (1) | 0 | 1 | 1 | 0 |
| (2) | 0 | 0 | 1 | 0 |
| (3) | 1 | 0 | 0 | 1 |
| (4) | 0 | 0 | 1 | 0 |
| (5) | 1 | 0 | 1 | 0 |
| (6) | 1 | 1 | 1 | 0 |

아래는 RS Flip-Flop을 NOR 게이트로 나타낸 프로그램의 verilog design source이다.



RS FF를 NOR 게이트로 나타낸 코드를 바탕으로 RS FF의 NOR 게이트 버전을 확인해보겠다. 우선 Q값은 Reset 값과 클락 값의 AND 게이트 값을 구하고 이를 Q’ 값과 교차하여 NOR 게이트로 나타내었다. Q’값은 Set 값과 클락 값을 AND 게이트로 구현하고 이를 앞에서 구한 Q 값과 교차하여 NOR 게이트로 구현하였다.

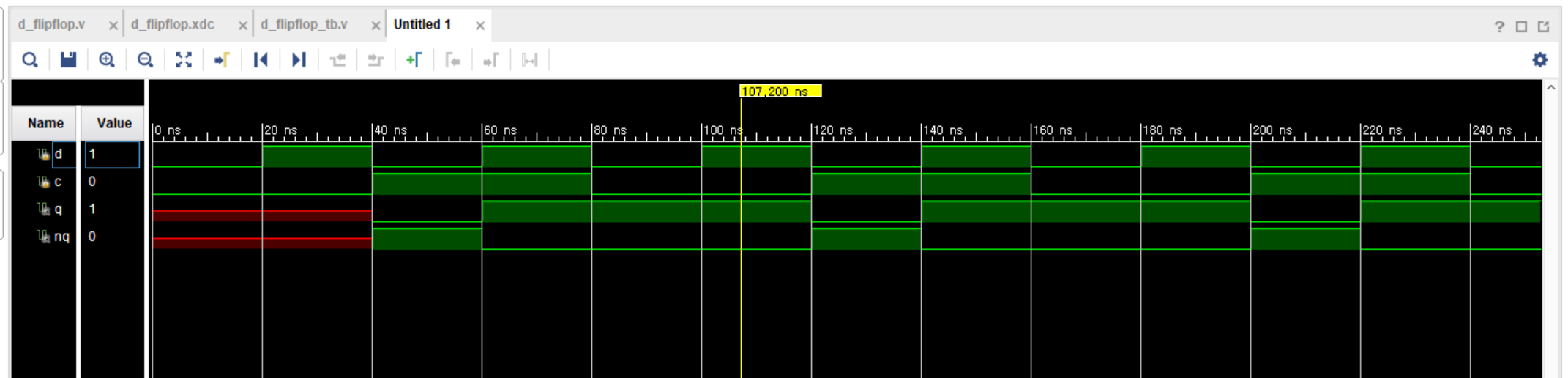
위의 두 RS Flip-Flop 회로는 클락값이 켜져 있을 때 FF가 작동되어 R값과 S값에 따라 출력이 변경되도록 나타나 있다.

................

**2.**

.......................

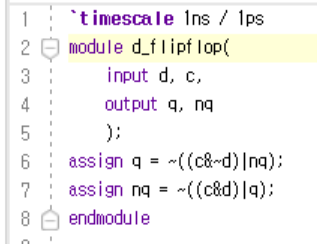
아래는 D Flip-Flop의 simulation 결과이다.



아래는 D Flip-Flop의 truth table이다.

|  |  |  |  |
| --- | --- | --- | --- |
| Input | | Output | |
| 입력 순서 | D | Q | ~Q |
| (1) | 0 | 0 | 1 |
| (2) | 0 | 0 | 1 |
| (3) | 1 | 1 | 0 |
| (4) | 0 | 0 | 1 |
| (5) | 1 | 1 | 0 |
| (6) | 1 | 1 | 0 |

아래는 D Flip-Flop의 verilog design code이다.



design code로 D FF를 확인하자면 D FF는 D 입력 위주로 나타나는 회로이다. 따라서 클락과 NOT D값을 AND 게이트로 나타낸 값이 NOR 게이트 교차로 확인하는 Q’와 NOR 게이트로 나타낸 값으로 Q 값을 확인할 수 있다. Q’의 값은 Q와 달리 클락과 D 값으로 AND 게이트 값을 구현하고, 앞의 Q 값과 교차하여 NOR 게이트를 거친다.

이는 RS FF에서 R과 S 값이 반대로 입력되도록 묶으면 된다. 1을 위해서는 입력에 1을 두고, 0을 위해서는 입력에 0을 두면 된다.

.........................

**3.**

.......................

RS Flip Flop은 Reset과 Set 신호를 기반으로 구현되며 Clock 값이 켜져 있을 때 동작한다. NAND 게이트로 구현된 경우에는 SR 신호가 10이면 Q가 1이 되고, 01이면 0이 된다. NOR 게이트의 경우 SR 신호가 10이면 Q가 1이 되고 01이면 0이 된다. 시뮬레이션을 보았을 때 예상과 같음을 확인할 수 있었다.

D Flip Flop은 D 입력 값에 따라 회로가 동작한다.

.........................

**4.**

.......................

클락 분할은 디지털 회로에서 입력 클락 신호의 주파수를 낮추는 기술로 D Flip Flop으로 효과적으로 구현할 수 있다. D FF 특성상 Q는 상승 엣지에서 D 값을 반영한다. 이를 Q’에도 연결하면 주기가 두 배로 증가하며 주파수는 입력 클락의 절반으로 줄어들게 되는 원리를 가지고 있다.

.........................