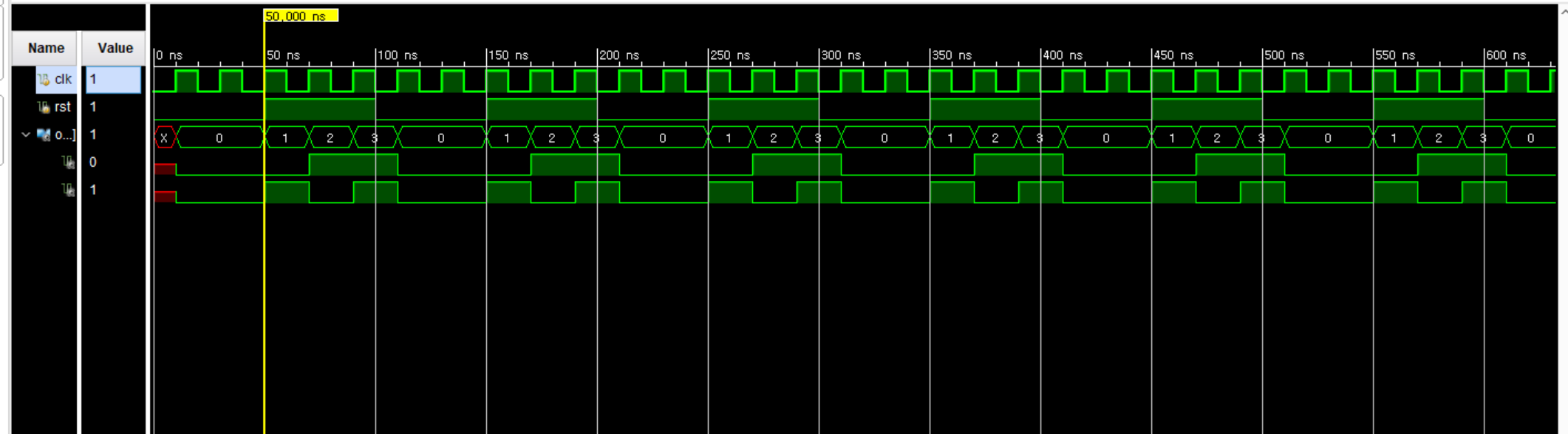
12주차 결과보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231561 이름: 심소현

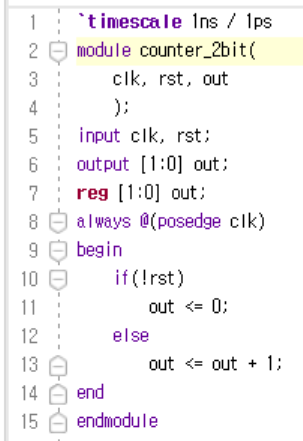
**1.**

.................

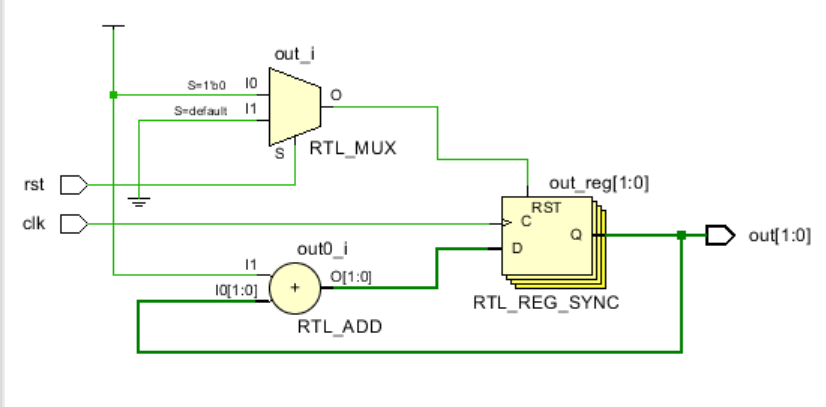
다음은 2-bit counter의 simulation 결과이다.



다음은 2-bit counter의 verilog design code이다.



다음은 2-bit counter의 schematic이다.



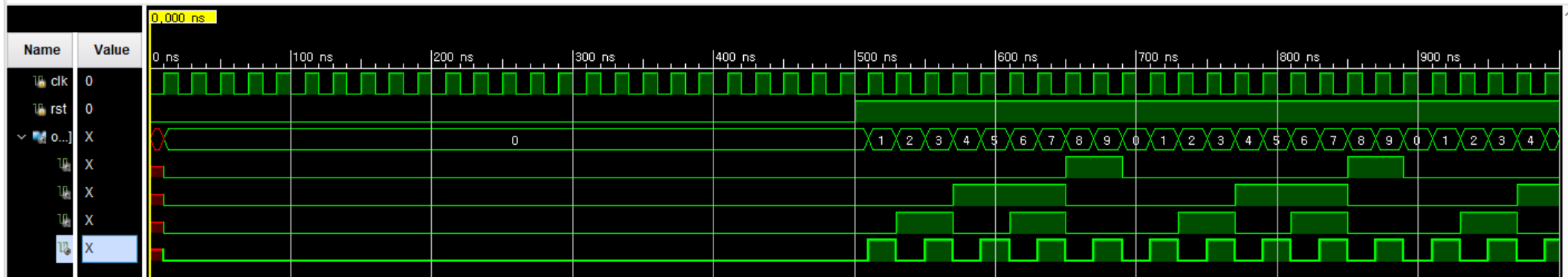
2-bit counter에서는 00 -> 01 -> 10 -> 11 -> 00 으로 순환하며 변경되는 회로이다. 십진수로 환산하면 0 -> 1 -> 2 -> 3 -> 0 ~으로 나타나는 것을 확인할 수 있다. simulation을 보았을 때, 클락 신호가 주기적으로 상승할때마다 counter에서 1씩 증가하는 것을 볼 수 있고 11까지 가면 00으로 리셋되는 것을 확인할 수 있다. 클락 신호와 리셋 신호의 주기에 따라 counter의 작동을 simulaiton으로 확인해 보았다.

................

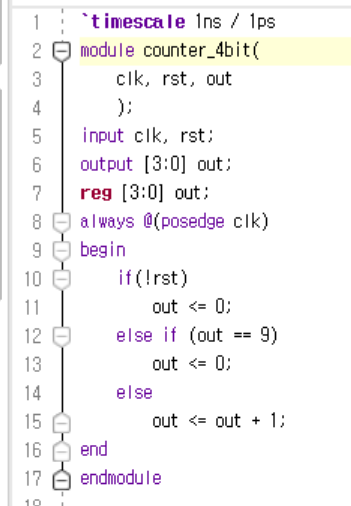
**2.**

.......................

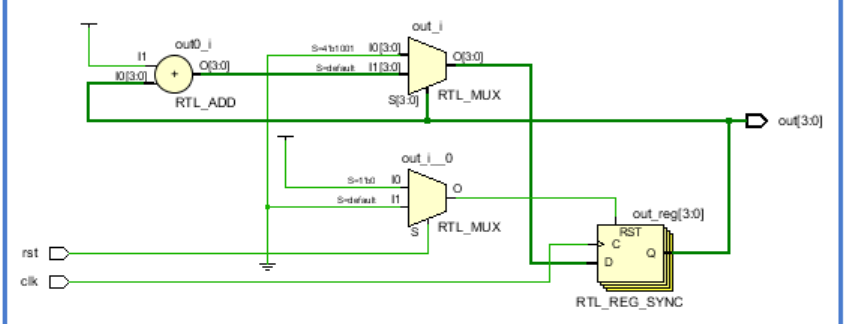
다음은 4-bit decade counter의 simulation 결과이다.



다음은 4-bit decade counter의 verilog design code이다.



다음은 4-bit decade counter의 schematic이다.



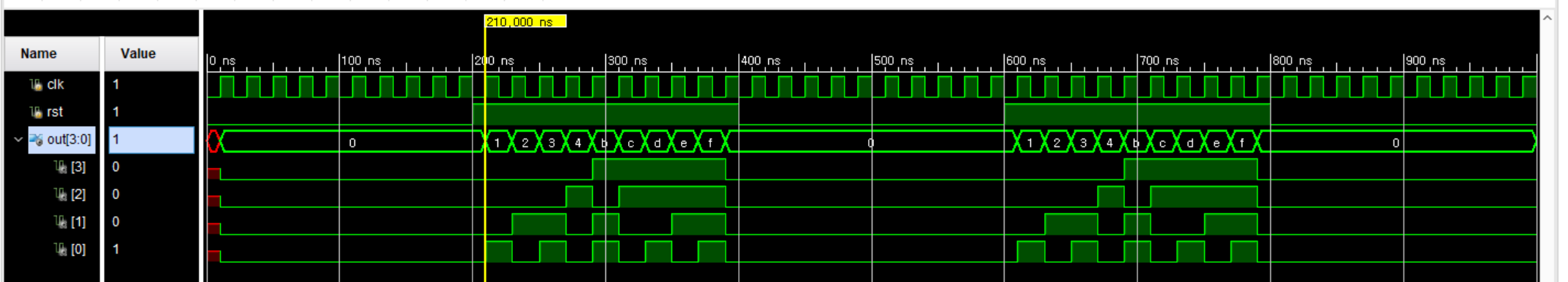
4-bit decade counter는 10진수를 기준으로 0부터 9까지의 값을 순환하며 출력하는 counter이다. 이는 4-bit를 사용해서 이진수로 0부터 9까지의 값을 유효하게 처리하여 나타낸다. 따라서 10에서 15까지 이진수로 나타낼 수 있는 값은 여기에서 사용되지 않는다. 따라서 0000 -> 0001 -> 0010 -> 0011 -> 0100 -> 0101 -> 0110 -> 0111 -> 1000 -> 1001 -> 0000의 방식으로 순환되는 것을 확인할 수 있다. 이 또한 클락 신호와 리셋 신호에 따라서 반복되는데, simulation을 보면 리셋 신호에 맞춰 클락 신호가 상승했을 때의 시기에 따라 counter가 작동하는 것을 확인할 수 있다.

.........................

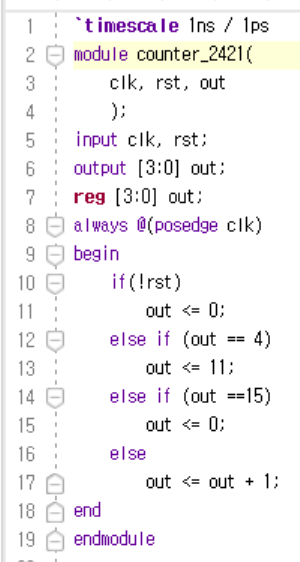
**3.**

.......................

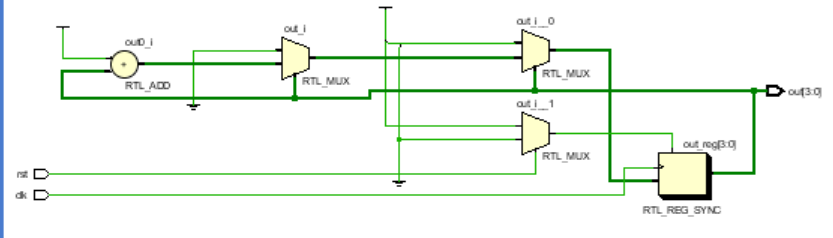
다음은 4-bit 2421 counter의 simulation 결과이다.



다음은 4-bit 2421 counter의 verilog design code이다.



다음은 4-bit 2421 counter의 schematic이다.



4-bit 2421 decade counter는 10진수 counter로 2421 코드 형식을 나타낸다. 이 또한 이진수의 형태로 결과를 나타내며 2421 코드 형식으로 수를 표현한다. 0, 1, 2, 3, 4, 5, 6, 7, 8, 9의 순으로 결과를 순환 출력한다. 2421 코드의 simulation으로 출력을 보면 0000 -> 0001 -> 0010 -> 0011 -> 0100 -> 1011 -> 1100 -> 1101 -> 1110 -> 1111 임을 볼 수 있는데 확실히 단순한 4-bit decade counter와는 다른 출력임을 확인할 수 있었다. 여기에서도 리셋 신호와 클락 신호의 주기에 따라 counter가 작동하는 것을 볼 수 있다.

.........................

**4.**

.......................

3개의 counter는 모두 클락 신호와 리셋 신호에 따라 동작하고 주어진 비트 코드에 맞춰서 0~3 또는 0~9의 범위 내의 수에서 순환하는 것을 볼 수 있다. 따라서 각 counter는 순회 동작을 하고 verilog design code로 설정한 리셋 신호에 따라 초기화된다. 카운팅이 필요한 경우에 사용하기 좋을 듯한 회로이다.

.........................

**5.**

.......................

counter 회로 설계는 동기식과 비동기식 모두에서 중요하다. 동기식에서는 모든 비트가 동일한 클락 신호에 따라 동작하고 비동기식에서는 개별적으로 클락 신호를 받게 된다. 이와 같은 counter 시스템은 시간 측정, 데이터 저장, 신호 제어와 같은 응용에서 유리할 것을 보인다.

.........................