2주차 예비보고서

전공: 컴퓨터공학과 학년: 2학년 학번: 20231561 이름:

**1.**

.................

HDL (Hardware Description Language)는 하드웨어를 기술하는 언어이다. 회로를 구성하기 위하여 사용하는 것으로 시스템의 기능 및 하드웨어의 특징을 고급 프로그래밍 언어를 통해 구현하여 나타낸다. 하드웨어의 규모가 점차 커지면서 표현이 용이한 고급 언어로 하드웨어 표현을 하게 되어 사용하기 시작했다. HDL을 사용하며 시스템 모델링 뿐만 아니라 시뮬레이션, 설계 등 다양한 단계에서 하드웨어를 기술할 수 있게 되었다.

Verilog 이외의 HDL로는 대표적으로 VHDL (Very high speed IC Hardware Description Language)가 있다. 이는 미국 국방부에서 개발한 언어로, 에이다를 기반으로 되어 있다. 광범위한 분야의 기술이 가능하며, 높은 기술 능력을 가지고 있다는 특징이 있다. 대규모의 회로 설계로 이루기 쉽지만 VHDL 컴파일러가 합성한 논리 회로의 규모가 사람이 설계한 것보다 커지는 경우가 발생하여 성능적인 문제의 가능성이 있다는 단점이 있다.

.................

**2.**

.......................

Verilog는 1983년 Gateway Design Automation사에서 HiLo와 C언어를 기반으로 개발하였다. 그 후 1991년, Cadence Design Systems가 OVI (Open Verilog International)이라는 조직을 구성하여 Verilog HDL을 공개하였다. 1993년 IEEE Working Group이 구성되어 표준화 작업이 진행되고 IEEE Std. 1364-1995로 표준화되었다. 이후 1364-2001로 개정되고 확장 형태로 SystemVerilog (IEEE 1800-2005)가 개발되었다. 개정판 Verilog는 이전에 모호했던 기능을 수정하였다. 또한 SystemVerilog와의 호환성 문제를 해결하기도 하였다. SystemVerilog는 생산성을 높이고 설계, 검증 등의 흐름을 향상시켰다. 기존 Verilog에 부족한 기능을 보충하기도 한다.

.........................

**3.**

.......................

Verilog는 C 언어와 유사하다. 대소문자를 구분하고, 사전에 예약된 식별자들은 반드시 소문자로 되어 있다. 빈칸, 줄 바꿈과 같은 여백은 문자열에서만 의미가 있다. 모듈은 “module”로 시작해서 “endmodule”로 종료된다. 몸체부에서는 회로의 기능, 동작, 구조 등을 표현한다. 입출력 포트를 선언하고, 레지스터, 와이어를 선언하고, 모듈 내용을 구성한다.

기초적인 문법으로는 C 언어의 { }와 같은 기능을 수행하는 begin, end가 우선 존재한다. C 언어와 유사한 연산자를 사용한다. 순차적으로 블록 부분을 1회 진행하기 위한 명령어로는 “Initial”을 사용하고, 신호에 따라 수행하는 명령어로는 “always”를 사용한다. 조건문으로는 if문과 case문이 있다. 반복문으로는 for문이 존재한다.

.........................