

# CAD

## Computer Assignment 2 - Phase 1

810197464

محمد امین باقرشاهی

810197640

سینا نگارنده

### طراحی نورون واحد

در این assignment می‌خواهیم یک نورون را طراحی کنیم. طراحی را به دو قسمت data path و control unit تقسیم می‌کنیم. هر کدام از component را در data path و control unit طراحی کرده و پیاده سازی می‌کنیم. با سرهem کردن control unit-ها و data path-component را تشکیل می‌دهیم.

هر نورون دو ورودی می‌گیرد، برداری از ورودی‌ها و وزن‌ها که هر عنصر آن‌ها هشت بیت دارد. هفت بیت اول نشان‌دهنده مقدار و اندازه عدد و MSB نشان‌دهنده علامت عدد است. در داخل نورون ضرب داخلی این بردارها را انجام می‌دهیم و سپس خروجی را به activation function می‌دهیم و مقدار خروجی بدست می‌آید. تعداد عناصر بردار متغیر است و طراحی را با در نظر گرفتن پارامتر N که تعداد عناصر بردارها است انجام می‌دهیم.

8-bit sign-magnitude format	
Sign	Magnitude
7	6-0

### طراحی data path

data path-های زیر تشکیل شده است.

Data Path

- Multiplier
- Adder
- Register
- Activation Function

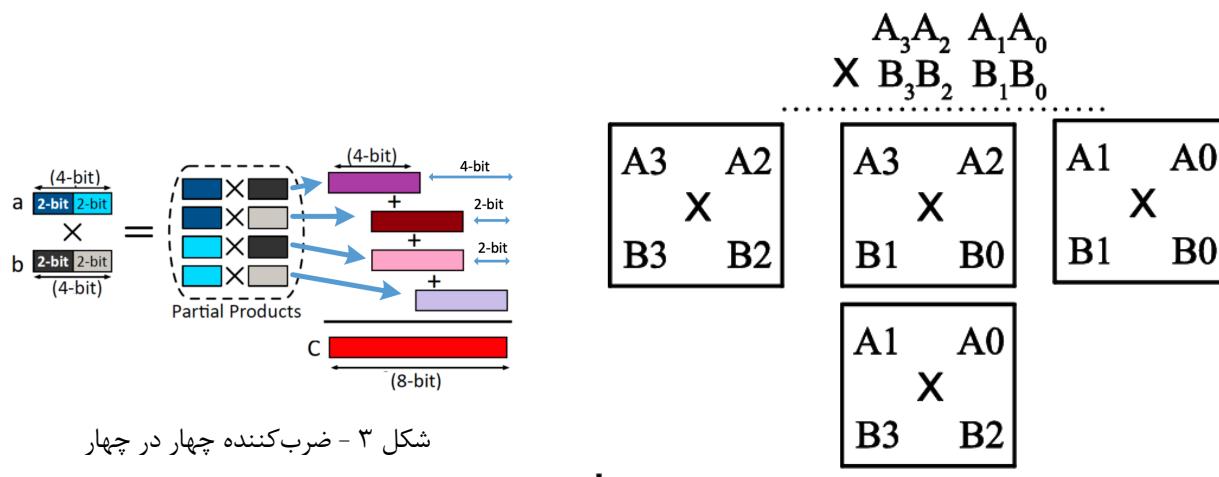
## طراحی Multiplier

ضرب کننده دو ورودی هشت بیتی را می‌گیرد که یکی ورودی و دیگری وزن است. MSB هر دو را کنار می‌گذاریم اگر هر دو یکسان بودند (هر دو مثبت یا منفی) نتیجه مثبت یعنی MSB برابر صفر می‌شود و اگر متفاوت بودند نتیجه منفی خواهد بود و MSB برابر یک می‌شود.

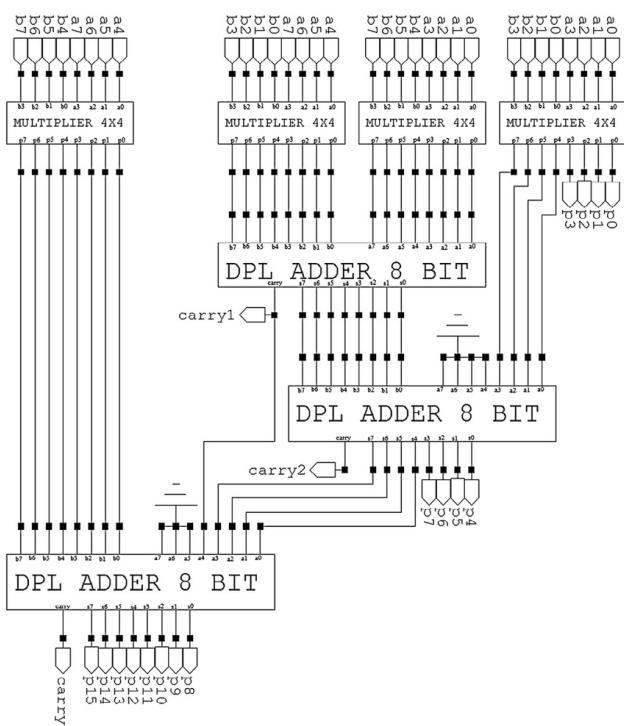
پس تنها مقدار هر دو ورودی یعنی هفت بیت انداز را در نظر می‌گیریم و به جای بیت هشتم صفر قرار می‌دهیم بعد از محاسبه مقدار MSB را حساب کرده و جایگذاری می‌کنیم.

برای طراحی ضرب کننده هشت در هشت (شکل ۱) از چهار ضرب کننده چهار در چهار و سه جمع کننده هشت بیت استفاده کردہ ایم که هر ضرب کننده چهار در چهار (شکل ۲ و ۳) نیز از چهار ضرب کننده دو در دو ساخته شده است.

ضرب کننده چهار در چهار



شکل ۳ - ضرب کننده چهار در چهار



شکل ۱ - ضرب کننده هشت در هشت

شکل ۲ - ضرب کننده چهار در چهار

ضرب کننده هشت در هشت

## **طراحی Adder**

مقدار ورودی جمع‌کننده به مقدار N بستگی دارد، با توجه به اینکه یک ورودی از ضرب‌کننده که هشت بیتی است و ورودی دیگر که از accumulator register می‌آید پهنانی بیت آن بستگی به N دارد. پس با توجه به پهنانی بیت اندازه جمع‌کننده نیز مشخص می‌شود.

## **طراحی Register**

در طراحی دو register برای ذخیره کردن ورودی و یک accumulator register وجود دارد. دو register اولی هشت بیتی هستند. و پهنانی بیت accumulator register بستگی به N دارد که می‌توان با استفاده از فرمول زیر محاسبه کرد.

$$DW = 2 \times N + \log_2 M$$

که M نشان‌دهنده تعداد دفعاتی است که حاصل‌ضرب دو مقدار N بیتی با یکدیگر جمع می‌شوند.  
در پروژه به جای DW از N استفاده شده است. که نشان‌دهنده طول آرایه است.

## **طراحی Activation Function**

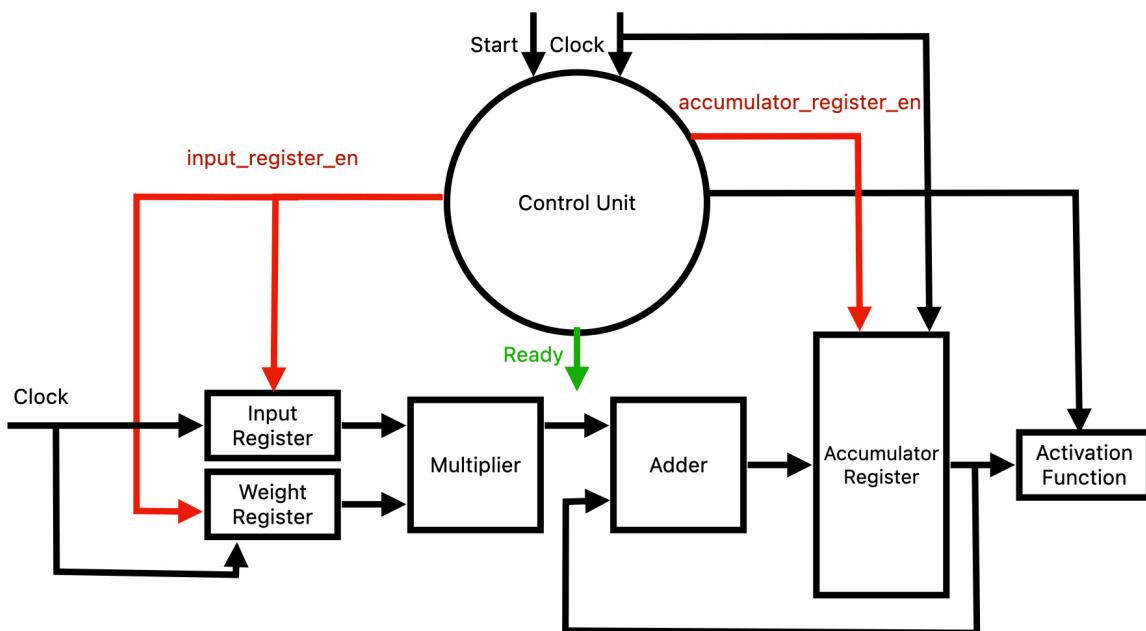
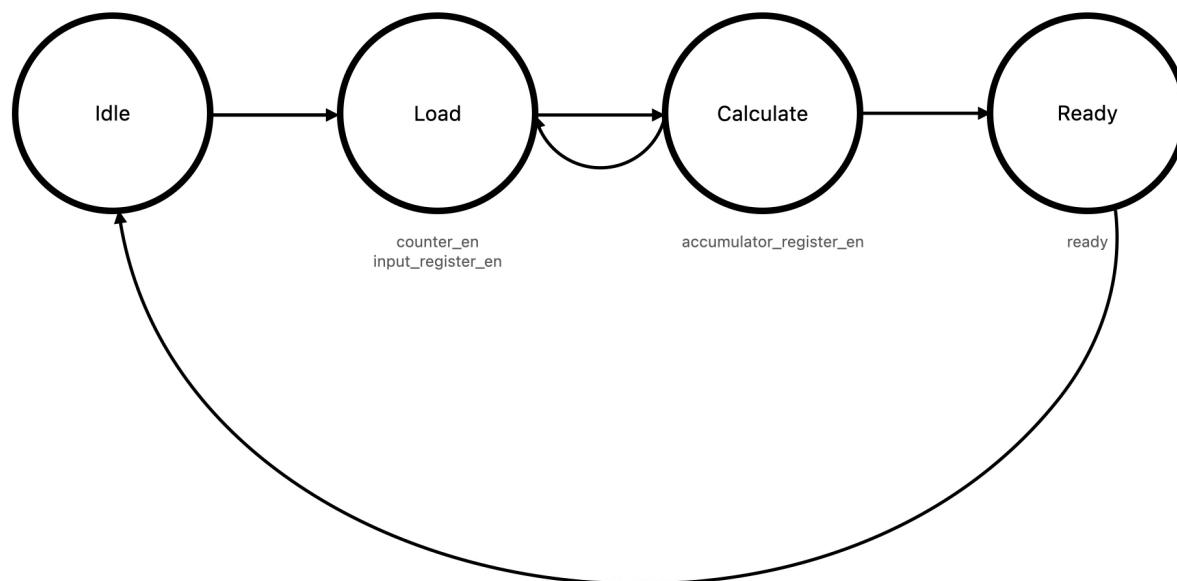
خروجی در نهایت از این component عبور می‌کند و با توجه به اینکه مقدار بزرگتر از صفر است یا نه خروجی به ترتیب بدون تغییر و صفر می‌شود.

## **طراحی control unit**

با استفاده از سه always می‌توانیم controller را پیاده سازی کنیم، برای مشخص کردن present و next state هر کدام به یک always نیاز داریم. و در یک always نیز آنها را مقدار دهی می‌کنیم.

## طراحی FSM

درای چهار state می‌باشد، با گرفتن سیگنال start از state اول به state دوم می‌رود. در این state مقدارها را load می‌کند و با clock به state بعدی می‌رود که در state بعدی محاسبات انجام می‌شود، مقدار نتیجه در register ذخیره می‌شود و بعد از N بار که اندازه بردار می‌باشد از state سوم به آخر می‌رویم و با ارسال سیگنال ready اعلام می‌کنیم نتیجه آماده شده است. و بعد به state اول می‌رویم.



**حالت (1) A 8\*8 multiplier based on the 2\*2-bit Mult in CA1 and synthesized on FPGA LUTs**

Slice Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Registers	63	126,800	1%	
Number used as Flip Flops	61			
Number used as Latches	1			
Number used as Latch-thrus	0			
Number used as AND/OR logics	1			
Number of Slice LUTs	226	63,400	1%	
Number used as logic	224	63,400	1%	
Number using O6 output only	197			
Number using O5 output only	6			
Number using O5 and O6	21			
Number used as ROM	0			
Number used as Memory	0	19,000	0%	
Number used exclusively as route-thrus	2			
Number with same-slice register load	0			
Number with same-slice carry load	2			
Number with other load	0			
Number of occupied Slices	97	15,850	1%	
Number of LUT Flip Flop pairs used	237			
Number with an unused Flip Flop	175	237	73%	
Number with an unused LUT	11	237	4%	

### مقدار performance of the neuron

$$\left\{ \begin{array}{l} performance = \frac{1}{Max\ Delay} \\ Total\ REAL\ to\ Xst\ completion : 37.00 \end{array} \right. \rightarrow performance = \frac{1}{Max\ Delay} = \frac{1}{37.00} = 0.02702702703$$

## The Power Consumption of different parts of the neuron

A	B	C	D	E	F	G	H	I	J	K	L	M	N
Device		On-Chip	Power (W)	Used	Available	Utilization (%)	—	Supply Source	Summary	Total Current (A)	Dynamic Current (A)	Quiescent Current (A)	
Family	Artix7	Clocks	0.000	3	—	—	—	Vccint	1.000	0.017	0.000	0.017	
Part	xa7a100t	Logic	0.000	226	63400	0	—	Vccaux	1.800	0.013	0.000	0.013	
Package	csg324	Signals	0.000	302	—	—	—	Vcco18	1.800	0.004	0.000	0.004	
Temp Grade	Industrial	IOs	0.000	38	210	18	—	Vccbram	1.000	0.000	0.000	0.000	
Process	Typical	Leakage	0.082	—	—	—	—	Vccadc	1.710	0.020	0.000	0.020	
Speed Grade	-2l	Total	0.082	—	—	—	—	—	—	—	—	—	
Environment		Thermal Properties	Effective TJA (C/W)	Max Ambient (C)	Junction Temp (C)	—	Supply	Total Power (W)	Dynamic	Quiescent	—	—	
Ambient Temp (C)	25.0	—	4.6	99.6	25.4	—	Supply	0.082	0.000	0.082	—	—	
Use custom TJA?	No	—	—	—	—	—	—	—	—	—	—	—	
Custom TJA (C/W)	NA	—	—	—	—	—	—	—	—	—	—	—	
Airflow (LFM)	250	—	—	—	—	—	—	—	—	—	—	—	
Heat Sink	Medium Profile	—	—	—	—	—	—	—	—	—	—	—	
Custom TSA (C/W)	NA	—	—	—	—	—	—	—	—	—	—	—	
Board Selection	Medium (10"x10")	—	—	—	—	—	—	—	—	—	—	—	
# of Board Layers	12 to 15	—	—	—	—	—	—	—	—	—	—	—	
Custom TJB (C/W)	NA	—	—	—	—	—	—	—	—	—	—	—	
Board Temperature (C)	NA	—	—	—	—	—	—	—	—	—	—	—	

## A 8\*8 multiplier based on the Xilinx DSP IP-Cores (حالت ۲)

Device Utilization Summary					L-1
Slice Logic Utilization		Used	Available	Utilization	Note(s)
Number of Slice Registers		47	126,800	1%	
Number used as Flip Flops		46			
Number used as Latches		1			
Number used as Latch-thrus		0			
Number used as AND/OR logics		0			
Number of Slice LUTs		141	63,400	1%	
Number used as logic		140	63,400	1%	
Number using O6 output only		122			
Number using O5 output only		2			
Number using O5 and O6		16			
Number used as ROM		0			
Number used as Memory		0	19,000	0%	
Number used exclusively as route-thrus		1			
Number with same-slice register load		0			
Number with same-slice carry load		1			
Number with other load		0			
Number of occupied Slices		48	15,850	1%	
Number of LUT Flip Flop pairs used		142			
Number with an unused Flip Flop		95	142	66%	

## مقدار performance of the neuron

$$\left\{ \begin{array}{l} performance = \frac{1}{Max\ Delay} \\ Total\ REAL\ to\ Xst\ completion : 33.00 \end{array} \right. \rightarrow performance = \frac{1}{Max\ Delay} = \frac{1}{33.00} = 0.0303030303$$

```

Clock to Setup on destination clock clk
-----+-----+-----+-----+
Source Clock | Src:Rise| Src:Fall| Src:Rise| Src:Fall|
              |Dest:Rise|Dest:Rise|Dest:Fall|Dest:Fall|
-----+-----+-----+-----+
clk          |       6.028|           |       |
datapath_0/Adder16_0/a[15]_b[14]_OR_1_o |       0.819|           |
-----+-----+-----+-----+
-----+-----+-----+-----+
Clock to Setup on destination clock datapath_0/ActivationFunction_0/GND_9_o_in[17]_LessThan_2_o
-----+-----+-----+-----+
Source Clock | Src:Rise| Src:Fall| Src:Rise| Src:Fall|
              |Dest:Rise|Dest:Rise|Dest:Fall|Dest:Fall|
-----+-----+-----+-----+
clk          |           |           |       1.180|           |
-----+-----+-----+-----+
-----+-----+-----+-----+
Clock to Setup on destination clock datapath_0/Adder16_0/a[15]_b[14]_OR_1_o
-----+-----+-----+-----+
Source Clock | Src:Rise| Src:Fall| Src:Rise| Src:Fall|
              |Dest:Rise|Dest:Rise|Dest:Fall|Dest:Fall|
-----+-----+-----+-----+
clk          |           |           |       0.831|           |
-----+-----+-----+-----+
=====
```

## The Power Consumption of different parts of the neuron