

INC projekt 1

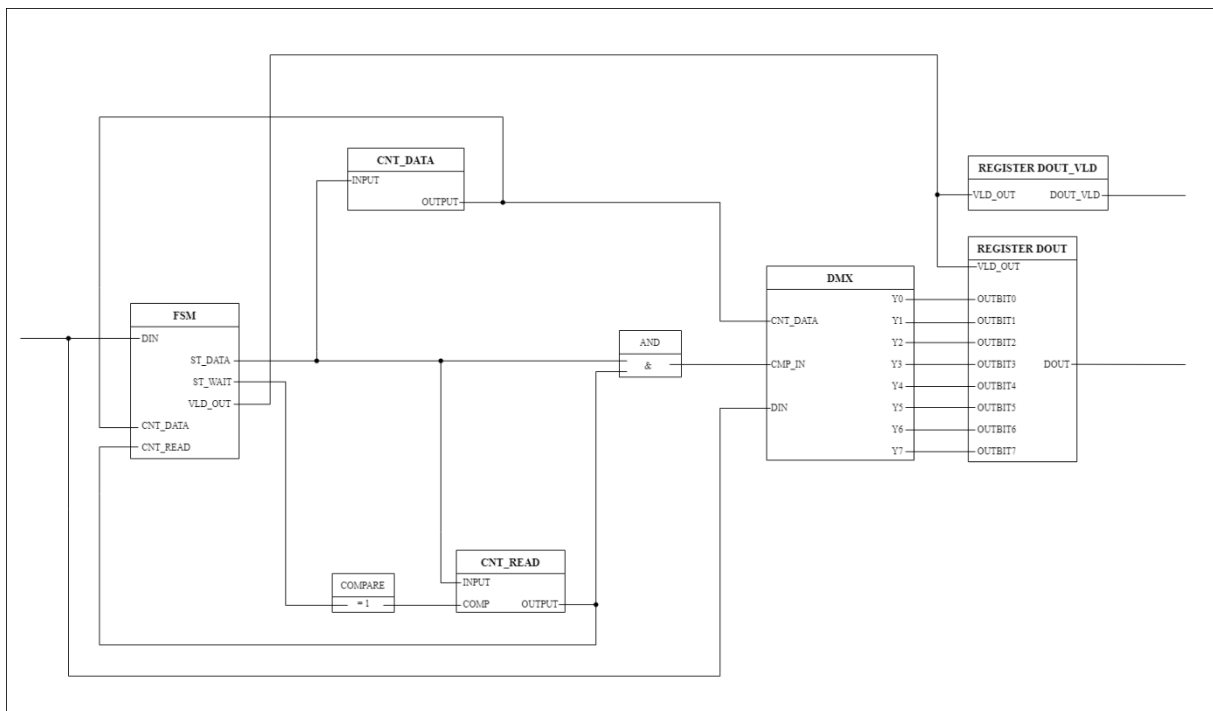
Technická správa

meno a priezvisko: Simona Jánošíková

login: xjanos19

Architektúra navrhnutého obvodu UART_RX na úrovni RTL

Schéma



Popis

Navrhnutý UART_RX obvod sa skladá z FSM automatu, dvoch counterov (CNT_DATA, CNT_READ), komparátora, AND hradla, komponenty DMX a z dvoch registrov(DOUT, DOUT_VLD).

Automat FSM mení 4 stavy, ktoré som definovala nižšie. Podľa týchto stavov automat vysiela signály ST_DATA, ST_WAIT a signál VLD_OUT. Prijíma výstupy CNT_DATA a CNT_READ, ktoré vysiela counter. Taktiež vysiela vstup DIN. Podľa toho, ako FSM vyhodnotil stav, sa môžeme dostať do counteru CNT_DATA, ktorý počíta počet načítaných dát(načítavanie ôsmich bitov) a svoj output odosiela do FSM a do komponenty DMX; alebo do counteru CNT_READ, ktorý počíta clock hodinové signály, kým sa dostaneme do tzv. MID_bitu, output odosiela do FSM a do hradla AND. Následne sa outputy counterov odošlú a komponenta DMX prijme vstupy CNT_DATA, DIN, výstupný vektor hradla AND CMP_IN a jednotlivých 8 bitov, ktoré sa pomocou DMX uložia do registra DOUT. Keď sa do

registra uloží výstupných 8 bitov, tak sa do registra DOUT_VLD uloží príznak 1 a na výstupe DOUT máme výsledné dáta.

Návrh automatu Finite State Machine

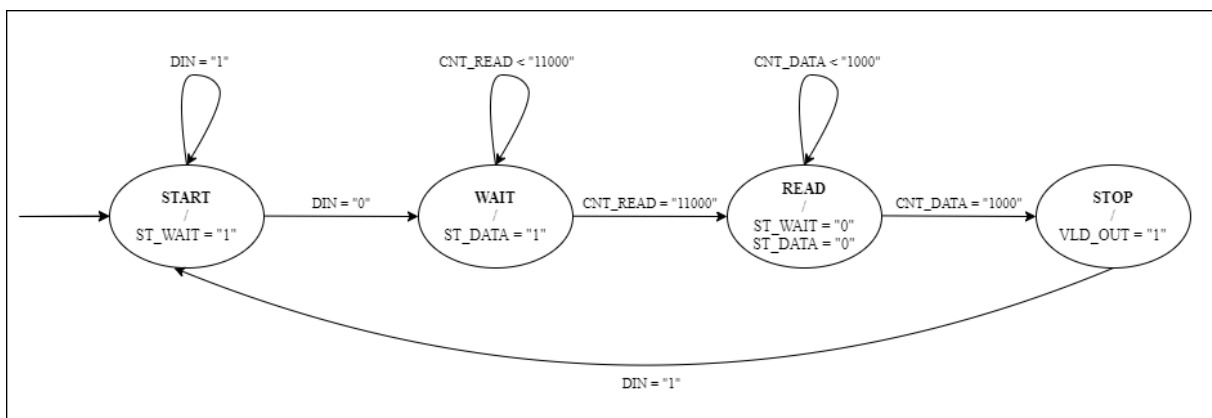
Schéma

legenda:

stavy: START, WAIT, READ, STOP

vstupy: DIN, CNT_DATA, CNT_READ

výstupy: ST_WAIT, ST_DATA, VLD_OUT



Popis

Automat má možnosť nadobudnúť 4 stavy. V stave START automat čaká, kým START_bit nadobudne hodnotu logickej 0 (log. 0 značí stav začiatku cyklu), tým pádom signál DIN sa nastaví na 0, signál ST_WAIT sa nastaví na 1, spustí sa tým counter hodinového signálu a prechádza sa do ďalšieho stavu. V stave WAIT counter CNT_READ počíta, kým sa nedostane do tzv. MID_bitu. Counter CNT_READ počíta do 24(11000), pretože sa potrebujeme dostať na hodnotu MID_bitu. Zmena stavu nastáva, keď CNT_READ sa rovná 24 a prechodom sa nadstaví signál ST_DATA na 1, čo značí stav spustenia načítavania dát. V stave READ counter CNT_DATA počíta do 8(1000), pretože potrebujeme načítať 8 bitov. Keď sa všetkých 8 bitov načíta, tak sa nastaví signály ST_WAIT a ST_DATA na 0 a prechádza sa do ďalšieho stavu. V stave STOP čítame ďalšie bity a čakáme, kým nenadobudnú postupnú hodnotu 1 → 0, čo nám naznačuje START ďalšieho cyklu tohto automatu.