

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

**ІКНІ  
Кафедра ПЗ**

**ЗВІТ**

до лабораторної роботи № 3

**На тему:** “Моделювання та дослідження основних типів тригерів в системі Proteus.”

**З дисципліни:** *“Архітектура комп’ютера”*

**Лектор:**  
Доц. каф. ПЗ  
Крук О.Г.

**Виконав:**  
ст. гр. ПЗ-22  
Солтисюк Д. А.

**Прийняв:**  
Доц. каф. ПЗ  
Крук О.Г.

« \_\_\_\_ » \_\_\_\_\_ 2022 р.

$\Sigma$  = \_\_\_\_ .

Львів – 2022

**Тема роботи:** Моделювання та дослідження основних типів тригерів в системі Proteus.

**Мета роботи:** Закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

### Індивідуальне завдання

ПЗ-22	
№	$f_0$ , КГц
22	44

### Теоретичні відомості

Тригер – це електронний вузол з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Якщо прийняти один стан тригера за логічний нуль, а інший – за логічну одиницю, то виходить, що тригер є елементом пам'яті, який може зберігати один біт інформації. Тригер є найпростішим представником послідовнісних пристроїв і водночас обов'язковим елементом всіх функціонально закінчених вузлів і блоків.

У послідовнісних пристроях (цифрових автоматах з пам'яттю або скінченних автоматах) вихідні сигнали в кожний момент часу залежать не лише від поточних значень на входах, але й від внутрішнього стану, який є наслідком попередніх дій вхідних сигналів.

Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам'яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку. Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

Стан тригера визначається сигналами на прямому  $Q$  та інверсному  $\bar{Q}$  виходах. При позитивному кодуванні інформації високий рівень напруги на прямому виході відображає значення логічної 1 (стан  $Q = 1$ ), а низький рівень – значення логічного 0 (стан  $Q = 0$ ). Сигнали на виходах тригера в усталеному режимі завжди повинні бути протилежними: якщо на прямому виході є одиниця, то на інверсному - 0, або навпаки.

Зміна стану тригера (його перемикання) забезпечується зовнішніми сигналами та сигналами зворотного зв'язку з виходу тригера, які поступають на

входи СхК. Переважно зовнішні сигнали, як і входи тригера, позначають латинськими буквами R, S, T, C, V та іншими. В найпростіших схемах тригерів окрема СхК може бути відсутньою. Оскільки функціональні властивості тригерів визначаються їхньою СхК, то назви основних входів переносяться на всю схему тригера.

D-тригером називається синхронний елемент пам'яті з двома стійкими станами та одним інформаційним D-входом (data, дані). Схему Dтригера можна побудувати на основі синхронного RS-тригера, якщо сигнал з входу S одночасно подавати через інвертор на вхід R. При цьому усувається проблема, пов'язана з одночасною появою активних логічних рівнів на обох входах.

JK-тригером називається елемент пам'яті з двома стійкими станами, який має інформаційні входи J (аналог S) та K (аналог R) та тактовий вхід C. Він функціонує подібно до RS-тригера, але при збігу сигналів  $JK = 1$  перемикається в протилежний стан, тобто реалізує додавання сигналів за модулем два. Таким чином, JK-тригер не має заборонених комбінацій вхідних сигналів.

JK-тригер є універсальним, оскільки може виконувати функції RS-тригера, D-тригера (при поданні сигналу від входу J через інвертор на вхід K) та T-тригера (при одночасному поданні сигналів  $JK = 1$ ).

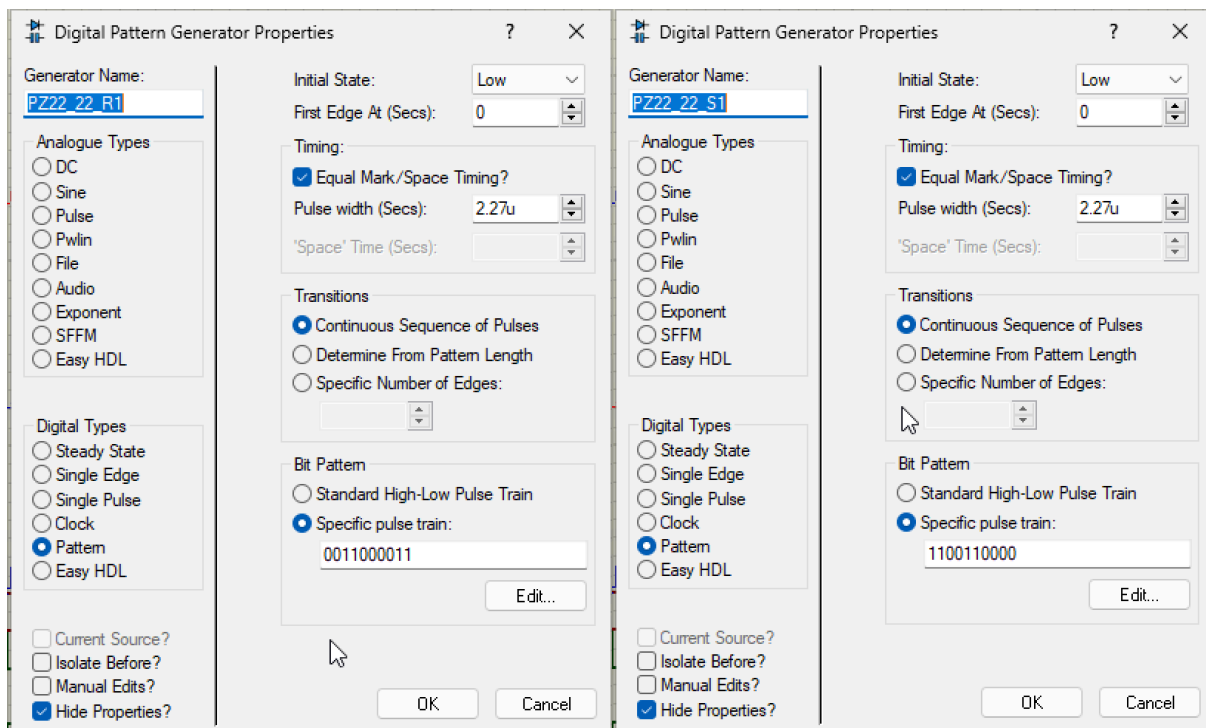
Тригером типу T називається елемент пам'яті з двома стійкими станами та одним інформаційним T-входом. Стан T-тригера змінюється на протилежний після кожного надходження лічильного сигналу на T-вхід.

За способом керування записуванням (моментом реакції на тактовий сигнал) виділяють синхронні тригери зі статичним (за рівнем) та динамічним (за фронтами) керуванням. В асинхронних тригерах записування нуля і одиниці можливе у будь-який момент часу, при цьому вхідний інформаційний сигнал одночасно є й керуючим.

У синхронних тригерах з керуванням за рівнем записування інформації можливе тільки впродовж тривалості тактового сигналу.

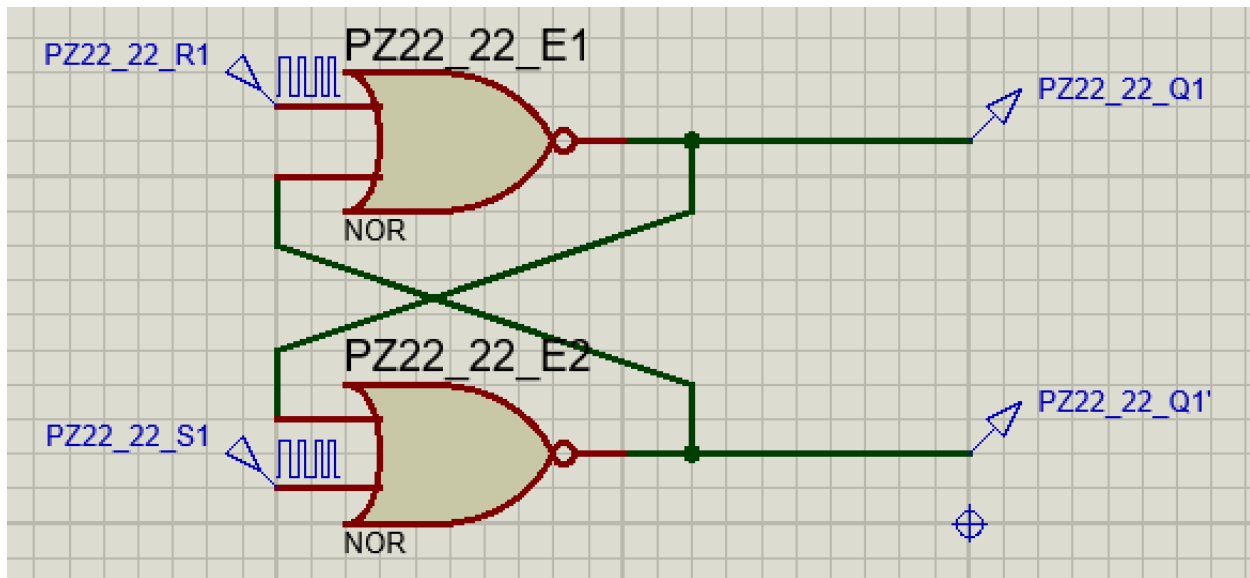
### **Хід роботи**

1. Ввожу в систему програм Proteus схему асинхронного RS-тригера на логічних елементах АБО-НЕ (NOR). Задаю вхідні сигнали S1 та R1 за допомогою генераторів DPATTERN. Частота  $f = 44000$  Гц відповідно до варіанту,  $T = 1/f = 0.0000227$ с.,  $\tau = T/10 = 0.00000227$ с.. У вікні властивостей генератора S1, в поле Pulse width (Secs) ввожу  $\tau$ , а в полі Specific pulse train таку послідовність 1100110000, аналогічно для генератора R1 - 0011000011.

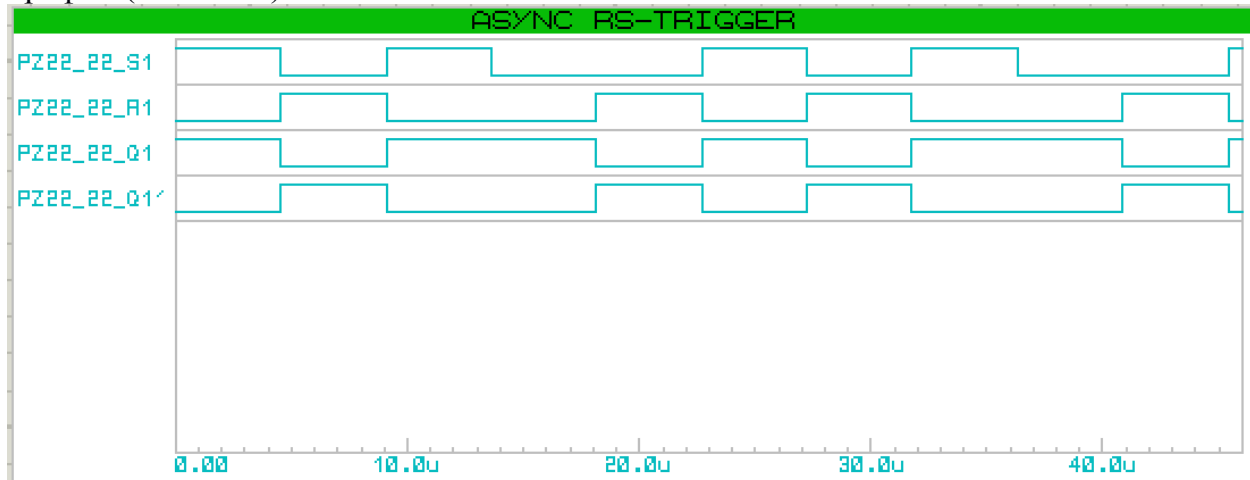


2. Виконую моделювання тригера та задаю побудову графіка на часовому інтервалі  $0 — 2T = 0.0000227 * 2 = 0.0000454$ .

Схема:

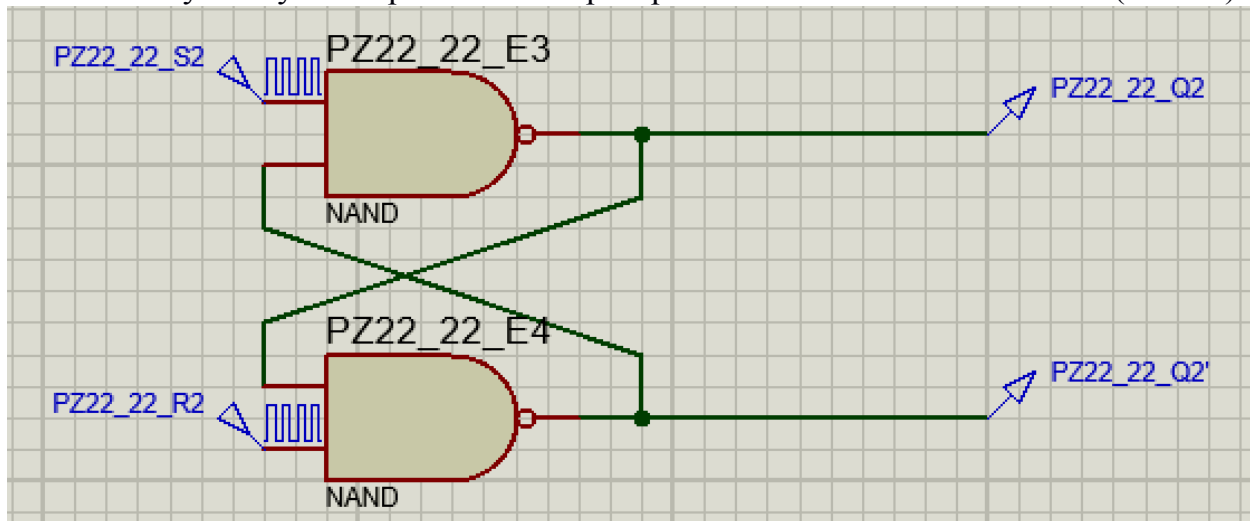


Графік (T = 45.4u):

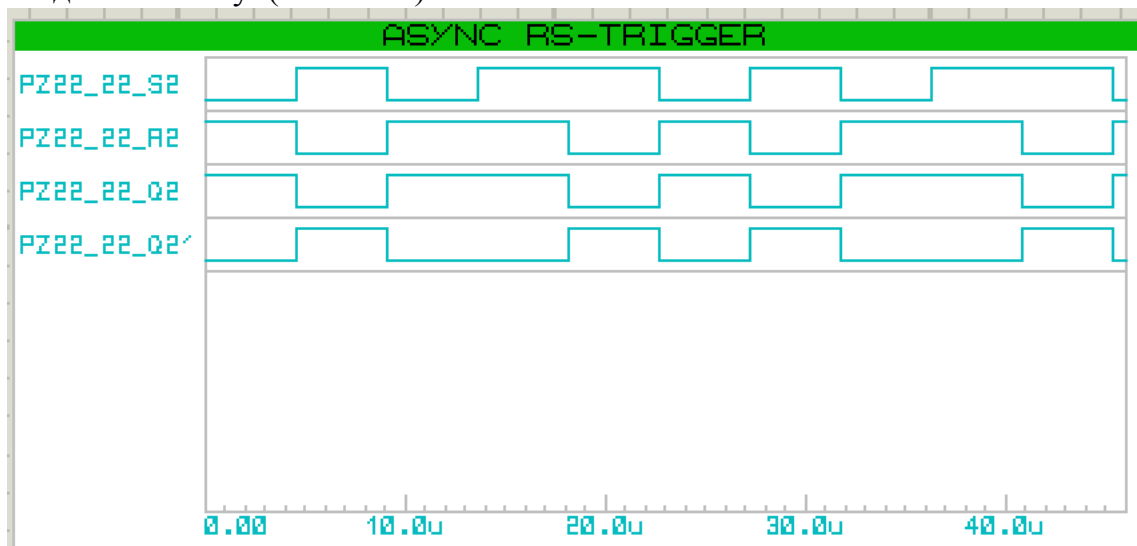


Пояснення до графіка: На проміжку, де  $S = 1$  і  $R = 0$ , тригер встановлюється – на прямому виході Q є логічна одиниця, на інверсному виході – логічний нуль. На проміжку, де  $S = 0$  і  $R = 1$ , тригер встановлюється — на виході Q логічний нуль, на Q' — логічна одиниця. На проміжку, де  $S = 0$  і  $R = 0$ , тригер залишається скинутим, тобто не змінює свого стану.

3. Ввожу схему асинхронного RS-тригера на логічних елементах І-НЕ (NAND).

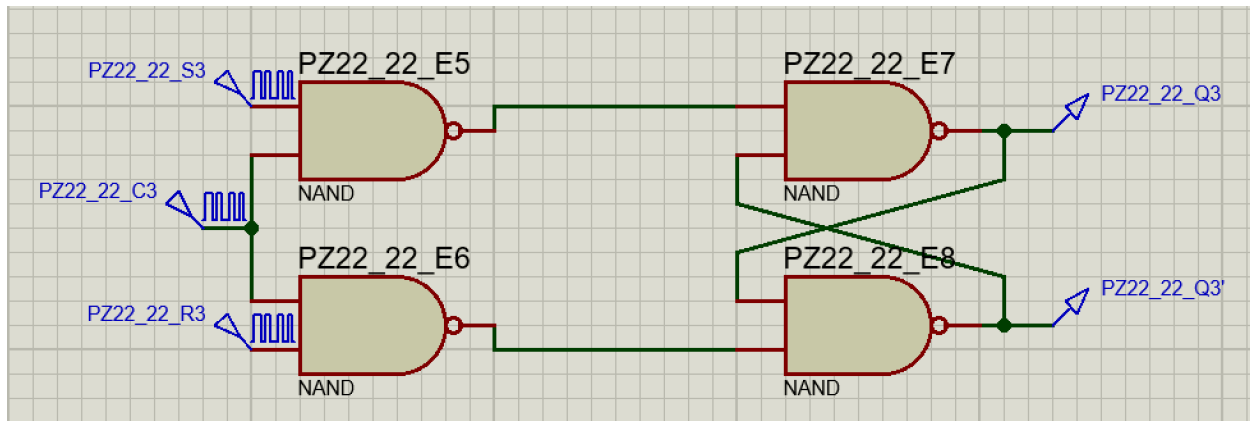


Моделюю схему ( $T = 45.4\mu$ ):

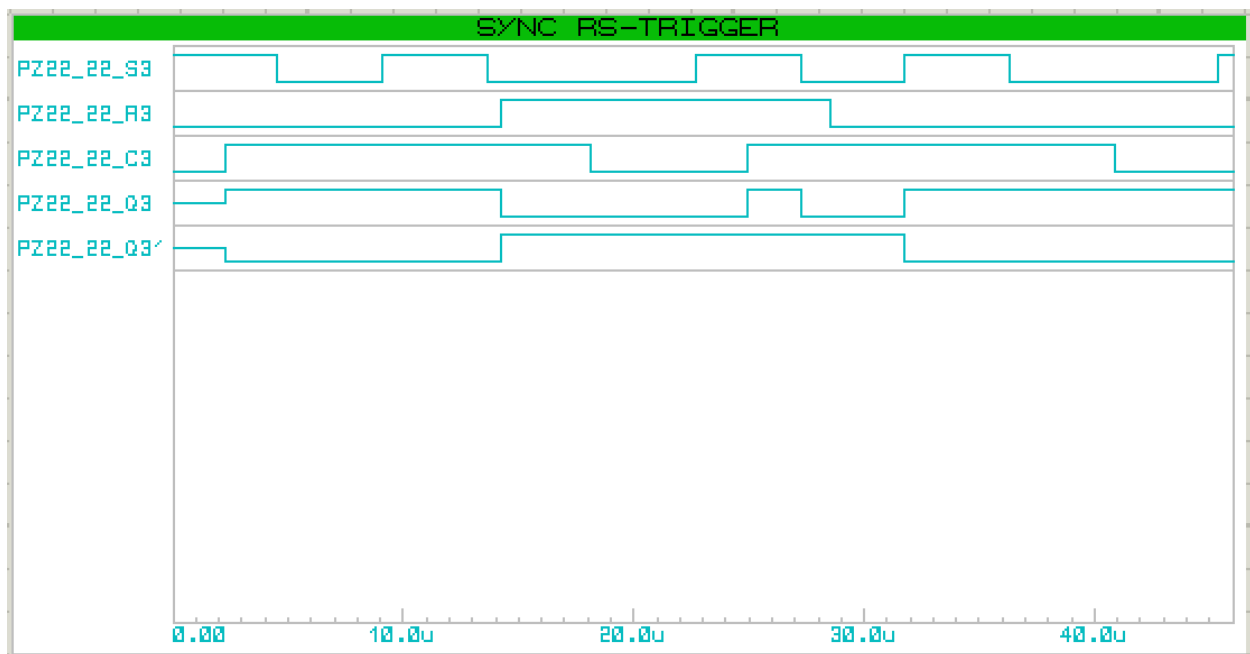


На проміжку, де  $S = 1$  і  $R = 1$ , тригер не змінює свого стану, де  $S = 1$  і  $R = 0$ , тригер скидається - на прямому виході  $Q$  стає логічний нуль, на інверсному виході - логічна одиниця, на проміжках, де  $S = 0$  і  $R = 1$ , тригер встановлюється, на прямому виході стає логічна одиниця.

4. Ввожу схему синхронного RS-тригера на елементах І-НЕ. Подаю на синхронний тригер вхідні сигнали  $S3$  з шаблоном 1100110000,  $R3$  з шаблоном 0011000011 та  $C3$  з шаблоном 0111111100.

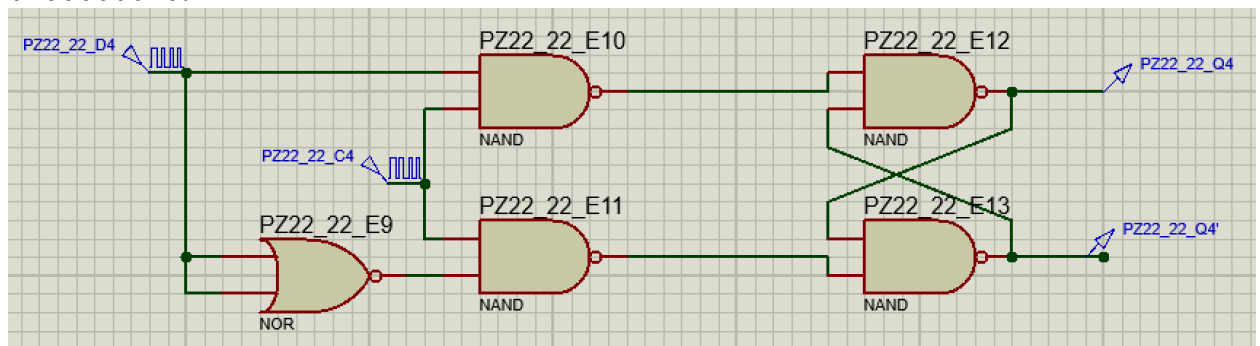


Моделюю графік (T = 45.4u):

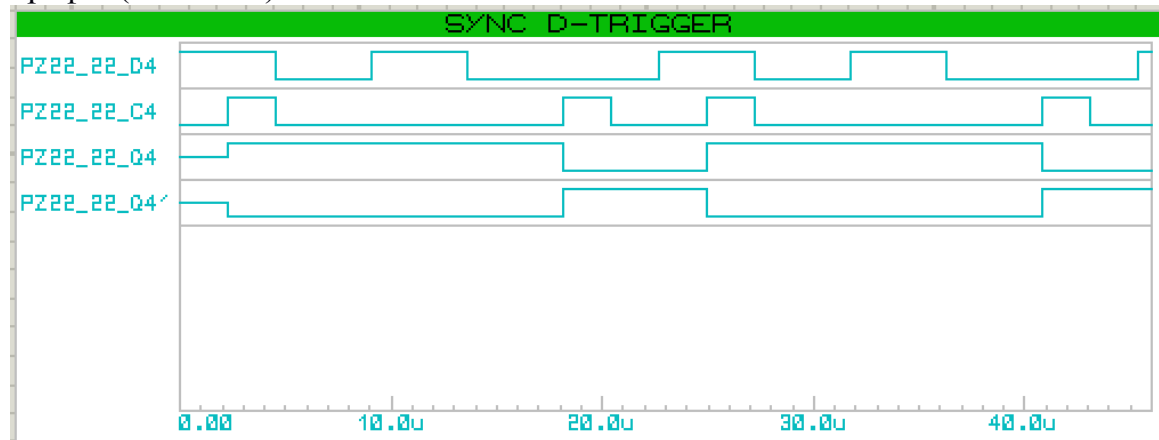


З часових діаграм синхронного тригера видно, що він перемикається під дією вхідних сигналів S3 та R3 лише в ті проміжки часу, коли синхронізуючий сигнал C3 має значення логічної одиниці. Така синхронізація називається статичною або синхронізацією за рівнем.

5. Ввожу схему синхронного D-тригера на елементах І-НЕ. Подаю на синхронний D-тригер сигнали D4 з шаблоном 1100110000 та C4 з шаблоном 0100000010.



Графік (T = 45.4u):



Якщо на вході C4 є активний логічний рівень (поданий тактовий імпульс), вихідний сигнал Q4 повторює значення вхідного сигналу D4. Після закінчення дії синхроімпульсу тригер більше не реагує на зміну вхідного сигналу D4 і не перемикається, а вихідний сигнал Q4 зберігає своє останнє значення поки вхід C4 є неактивним.

Час затримки D-тригера = 57.15u - 7.15u = 50u = 5 \* 10<sup>-5</sup> с.

6. Ввожу схему синхронного D-тригера на основі JK-тригера. Подаю на тригер JK1 вхідні сигнали J5 з шаблоном 01110000110111110011, K5 з шаблоном 00000011110111111000 та C5 з шаблоном 00111101100010010001.



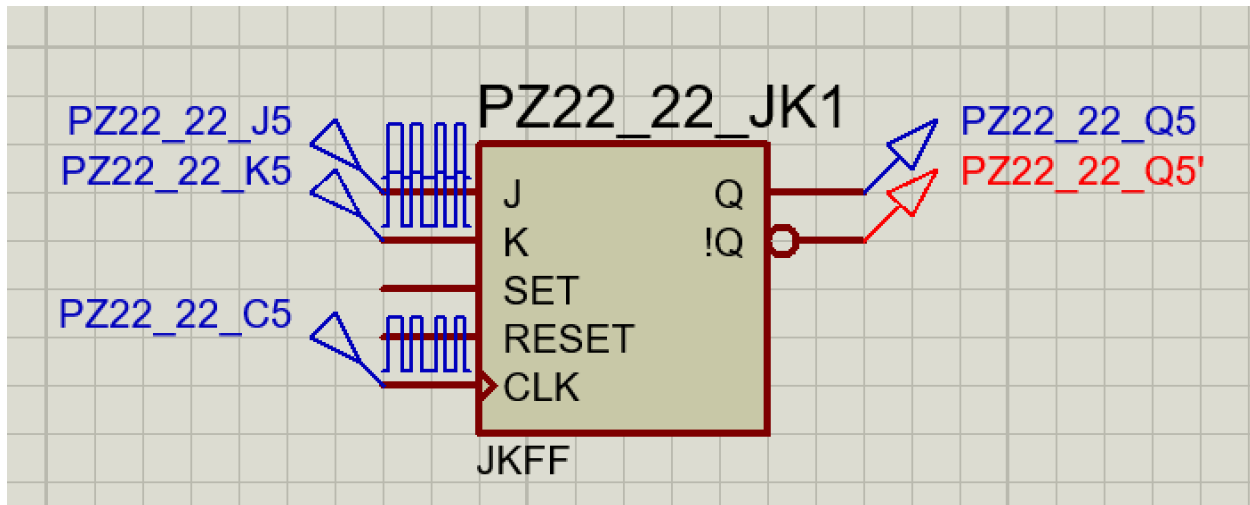
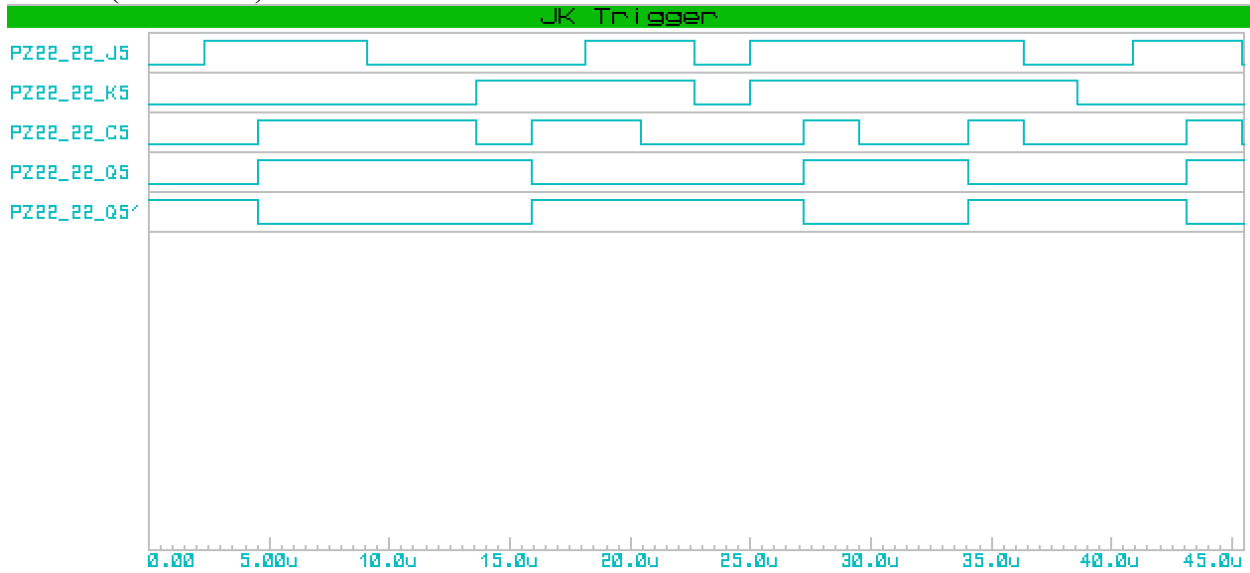


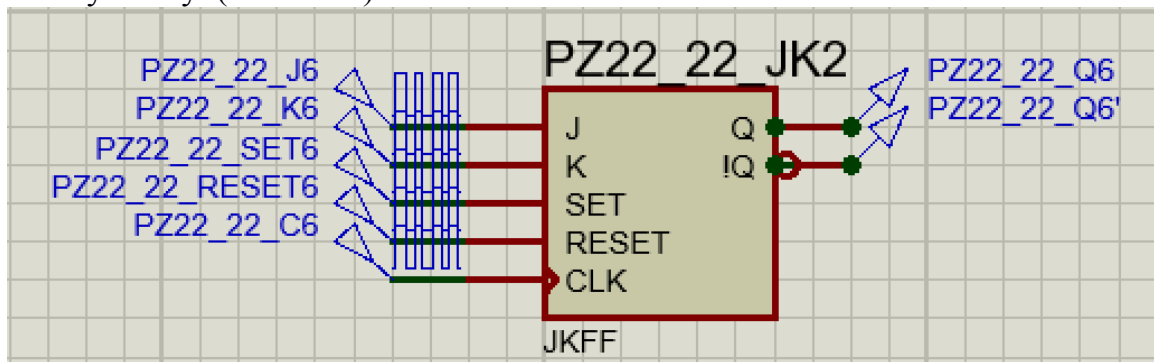
Схема (T = 45.4u):



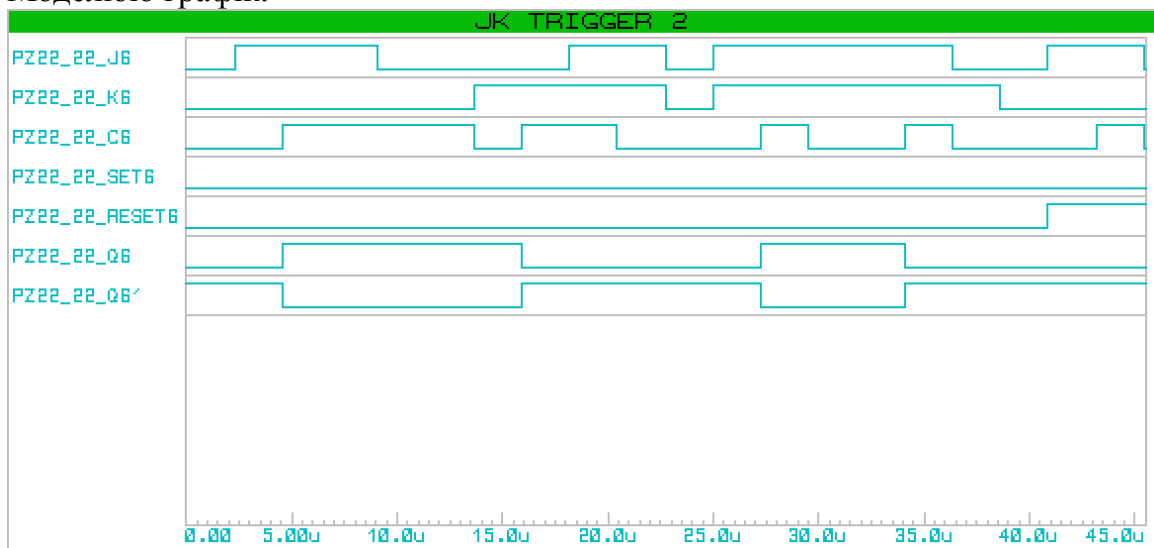
Можна побачити, що синхронізація відбувається лише при наявності перепаду напруги на вході C5 (зміни значення з 0 на 1), тобто спостерігаємо синхронізацію за фронтом. Оскільки значення вихідного сигналу рівні значенням в таблиці переходів при однакових вхідних даних (там, де  $J = 1$  і  $K = 1$ , тригер змінює свій стан на протилежний, там, де  $J = 1$  і  $K = 0$ , тригер встановлюється, на прямому виході стає логічна одиниця, на проміжках, де  $J = 0$  і  $K = 1$ , тригер скидається - на прямому виході Q стає логічний нуль, на інверсному виході – логічна одиниця, при  $J = 0$  і  $K = 0$  тригер залишається в попередньому стані).

7. Ввожу ще один тригер JKFF. Під'єдную до його прямого та інверсного виходів пробники напруги Q6 та Q6'. Подаю на вхід SET тригера JK2 сигнал SET6 з шаблоном 001000. Аналогічно подаю на вхід RESET тригера JK2 сигнал RESET6 з шаблоном 010000.

Ввожу схему (T = 45.4u):



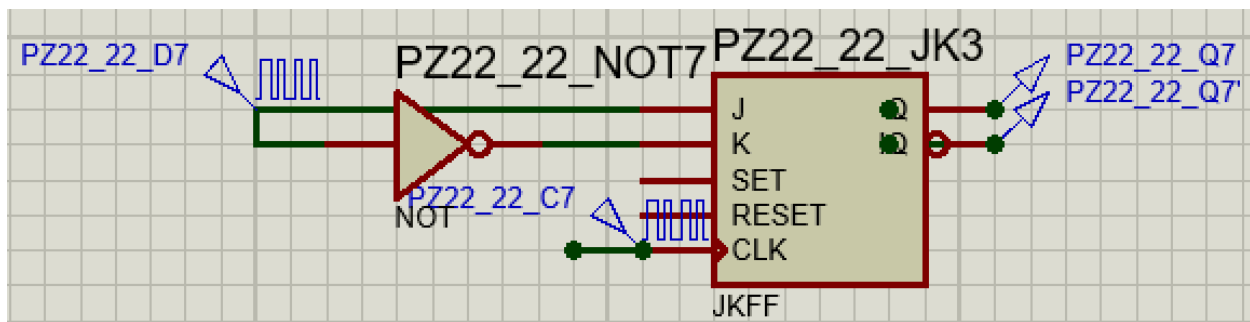
Моделюю графік:



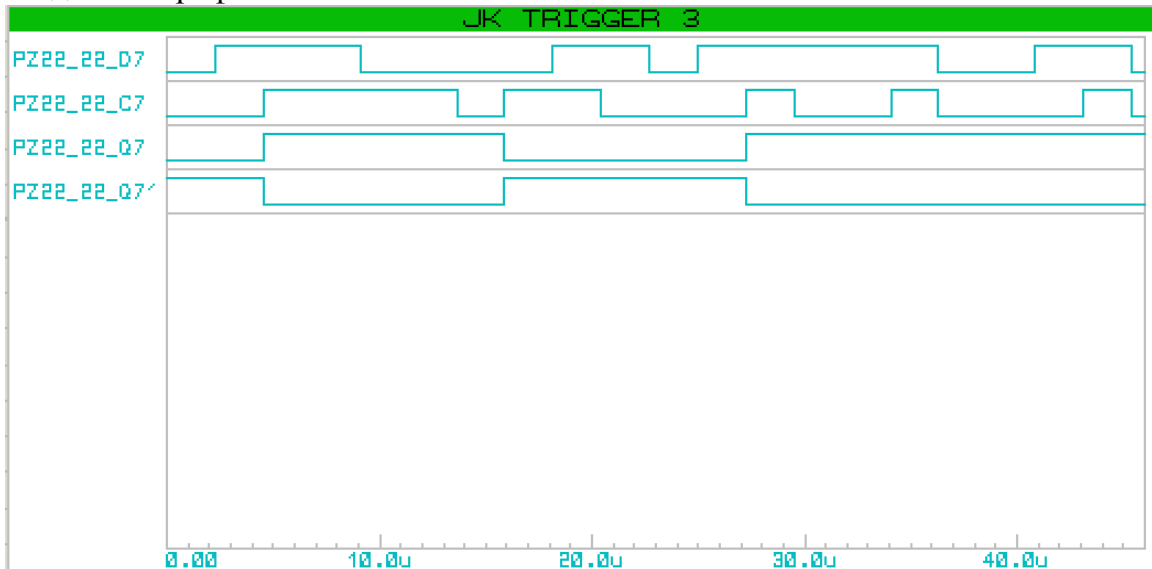
При наявності сигналу RESET6 спостерігаємо логічний нуль на виході Q6, що зберігається незалежно від значень на інших входах поки RESET6 активний.

При наявності сигналу SET6 спостерігаємо логічну одиницю на виході Q6, що зберігається незалежно від значень на інших входах поки SET6 активний.

8. Ввожу схему синхронного D-тригера на основі тригера JKFF. Подаю на тригер входні сигнали D7 з шаблоном 01110000110111110011 та C7 з шаблоном 00111101100010010001.



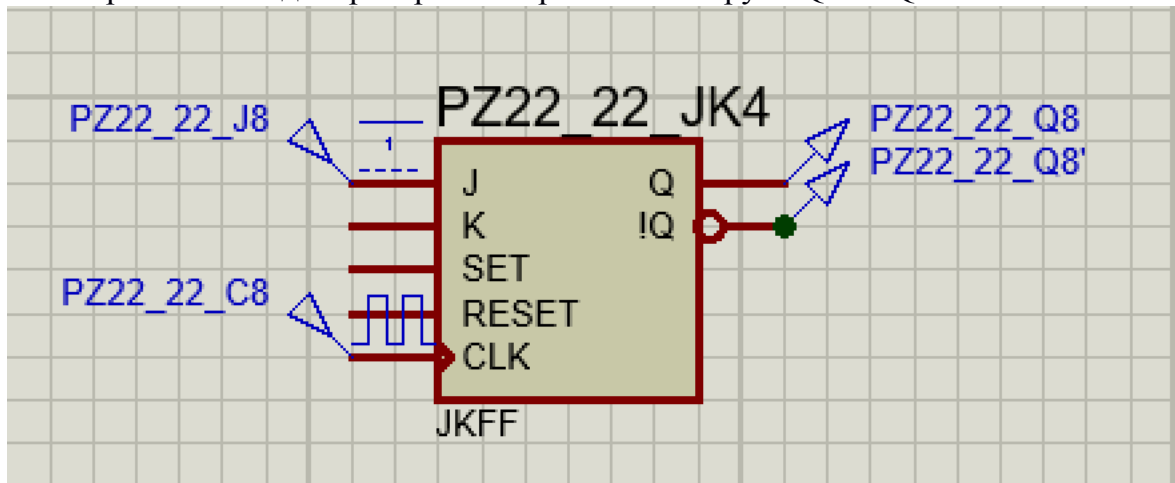
Моделюю графік:



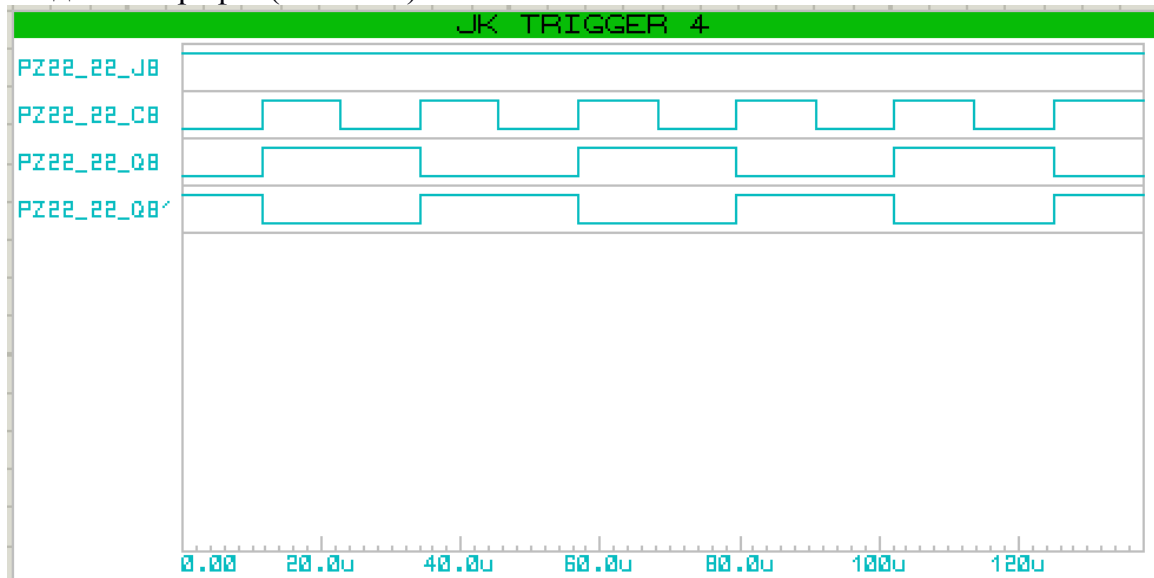
Зміна сигналу на виходах відбувається лише впродовж тривалості прямого тактового сигналу C7 (динамічна синхронізація).

Час затримки D-тригера =  $57.15\mu - 7.15\mu = 50\mu = 5 \cdot 10^{-5} \text{ c.}$

9. Ввожу синхронного Т-тригера на основі тригера JKFF. Під'єдную до прямого та інверсного виходів тригера JK4 пробники напруги Q8 та Q8'.



Моделюю графік (T = 136u):



Зміна стану тригера на вихідному сигналі Q8 на протилежний відбувається лише в момент надходження лічильного сигналу на Т-вхід, тобто в момент зміни логічного нуля на логічну одиницю на вході.

## **Висновок**

На даній лабораторній роботі було закріплено практичні навички моделювання логічних схем, поглиблено знання про будову та функціонування основних типів тригерів, синтезовано схеми асинхронного RS-тригера, синхронного D-тригера та синхронного T-тригера, досліджено на основі отриманих часових діаграм їх роботу, а також визначено час затримки D- тригера і період вихідного сигналу T-тригера.