

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ "ЛЬВІВСЬКА ПОЛІТЕХНІКА"**

**ІКНІ
Кафедра ПЗ**

ЗВІТ

до лабораторної роботи № 4

На тему: “Синтез та моделювання основних типів регістрів та лічильників у системі Proteus”

З дисципліни: “Архітектура комп’ютера”

Лектор:

Доц. каф. ПЗ

Крук О.Г.

Виконав:

ст. гр. ПЗ-22

Солтисюк Д. А.

Прийняв:

Доц. каф. ПЗ

Крук О.Г.

« ____ » _____ 2022 р.

Σ = ____ .

Львів – 2022

Тема роботи: синтез та моделювання основних типів регістрів та лічильників у системі Proteus.

Мета роботи: поглибити знання про будову та функціонування основних типів регістрів та лічильників; синтезувати їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Теоретичні відомості

Регістр - це типовий функціональний вузол комп'ютера, призначений для приймання, тимчасового зберігання, перетворення і видавання n -розрядного двійкового слова. Регістр містить регулярний набір однотипових тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів D, RS та JK.

Регістри, призначені тільки для приймання (записування), зберігання і видавання інформації, називаються елементарними або регістрами пам'яті, або ж фіксаторами (рис. 1). Регістри пам'яті - це пристрої з паралельним записуванням та зчитуванням інформації, яка подана в паралельному коді. Записана у тригери інформація може зчитуватись у прямому коді, інверсному або одночасно в прямому та інверсному кодах.

Вони можуть бути синхронізовані рівнем або фронтом тактового сигналу залежно від типу застосовуваних тригерів. Елементарні регістри будують на одноступеневих тригерах. Логічна функція регістра позначається буквами RG (register).

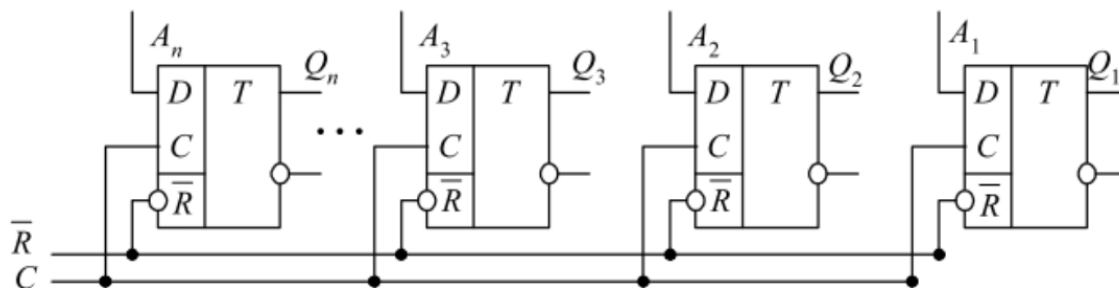


Рис. 1. Паралельний n -розрядний регістр пам'яті на D-тригерах

Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються регістрами зсуву. Зсув - це одночасне просторове переміщення двійкового слова із збереженням порядку слідування нулів і одиниць. Мікрооперації зсуву використовують при виконанні команд множення, ділення та нормалізації. Крім того, за допомогою зсуву здійснюється перетворення паралельного коду в послідовний або навпаки. Зсув слова може виконуватися вправо (у бік молодших розрядів) або вліво (у бік старших розрядів).

Регістри зсуву будують на двоступеневих тригерах або на D-тригерах з динамічним керуванням.

Регістри забезпечують зберігання команд, адрес пам'яті, результатів операцій, індексів тощо.

Регістри класифікують за такими ознаками:

- способом керування записуванням – асинхронні та синхронні;
- способом записування і передавання двійкових слів – паралельні, послідовні й універсальні; у паралельних регістрах записування і передавання слів виконується одночасно всіма розрядами, а в послідовних – розряд за розрядом в напрямку від молодших розрядів до старших або навпаки; універсальні регістри забезпечують як паралельний, так і послідовний обмін інформацією;
- числом ліній для представлення значення одного розряду слова (біта інформації) – однофазні й парафазні; при однофазному поданні значення кожного розряду слова передається по одній лінії зв'язку, а при парафазному – по двох лініях (одночасно відображається пряме та інверсне значення розряду);
- числом тактів для записування слова – одно-, дво- і багатотактові;
- складом мікрооперацій, які виконуються: установлення, записування, читання, порозрядні логічні операції, зсув, а також перетворення послідовного коду в паралельний і навпаки;
- напрямом зсуву – однонаправлені (лівий або правий зсув) і двонаправлені (реверсивні);
- типом тригерів, що використовуються;
- елементною структурою – потенціальні, імпульсні й потенціально-імпульсні.

Лічильник - це типовий функціональний вузол комп'ютера, призначений для лічби та фіксації вхідних імпульсів. Лічильник складається із послідовно зв'язаних Т-тригерів, які утворюють пам'ять із заданим числом сталих станів (рис. 2).

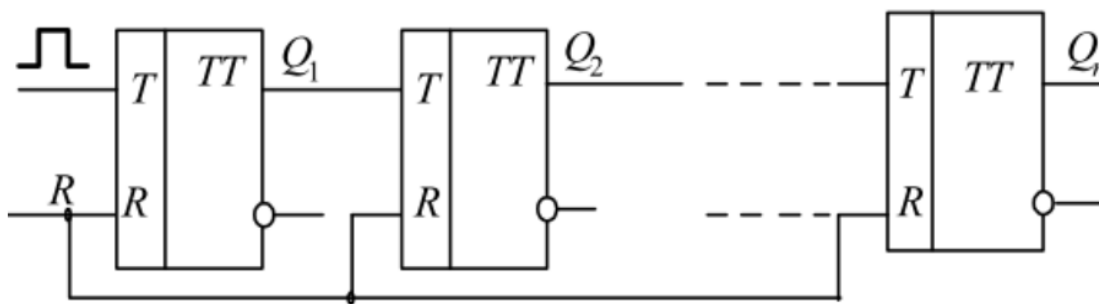


Рис. 2. Логічна структура лічильника

Розрядність лічильника n дорівнює числу Т-тригерів. Кожний вхідний імпульс змінює стан лічильника, який зберігається до надходження наступного імпульсу. Значення виходів тригерів лічильника Q_n, Q_{n-1}, \dots, Q_1 відображають результат лічби в прийнятій системі числення (Q_1 – наймолодший розряд). Двійкові лічильники реалізують лічбу вхідних імпульсів у двійковій системі числення. Вхідні імпульси можуть надходити на лічильник як періодично, так і в довільні моменти часу. Логічна функція лічильника позначається буквами СТ (counter).

Лічильники класифікують за такими ознаками:

- способом кодування – позиційні та непозиційні;
- модулем лічби – двійкові, десяткові, з довільним постійним або змінним (програмовним) модулем;
- напрямком лічби – прості (підсумовуючі, віднімальні) і реверсивні;
- способом організації міжрозрядних зв'язків – з послідовним, наскрізним, паралельним і комбінованим перенесеннями (позичаннями);
- типом використовуваних тригерів – Т, JK, D в лічильному режимі;
- елементним базисом – потенціальні, імпульсні та потенціально-імпульсні.

Індивідуальне завдання Варіант 22 (7)

№	n	$a_1 \dots a_n$	M_a	M_c	f_0 , КГц
7	5	28, 37, 48, 56, 71	28	29	37

Протокол роботи

Обчислення:

$$a_1 = 28_{10} = 00011100_2$$

$$a_2 = 37_{10} = 00100101_2$$

$$a_3 = 48_{10} = 00110000_2$$

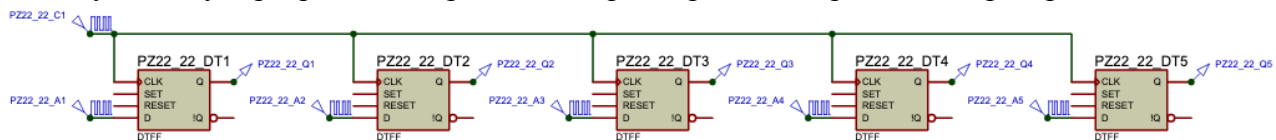
$$a_4 = 56_{10} = 00111000_2$$

$$a_5 = 71_{10} = 01000111_2$$

$$T = \frac{1}{f} = \frac{1}{37000 \text{ Hz}} = 0.00002703 \text{ c}$$

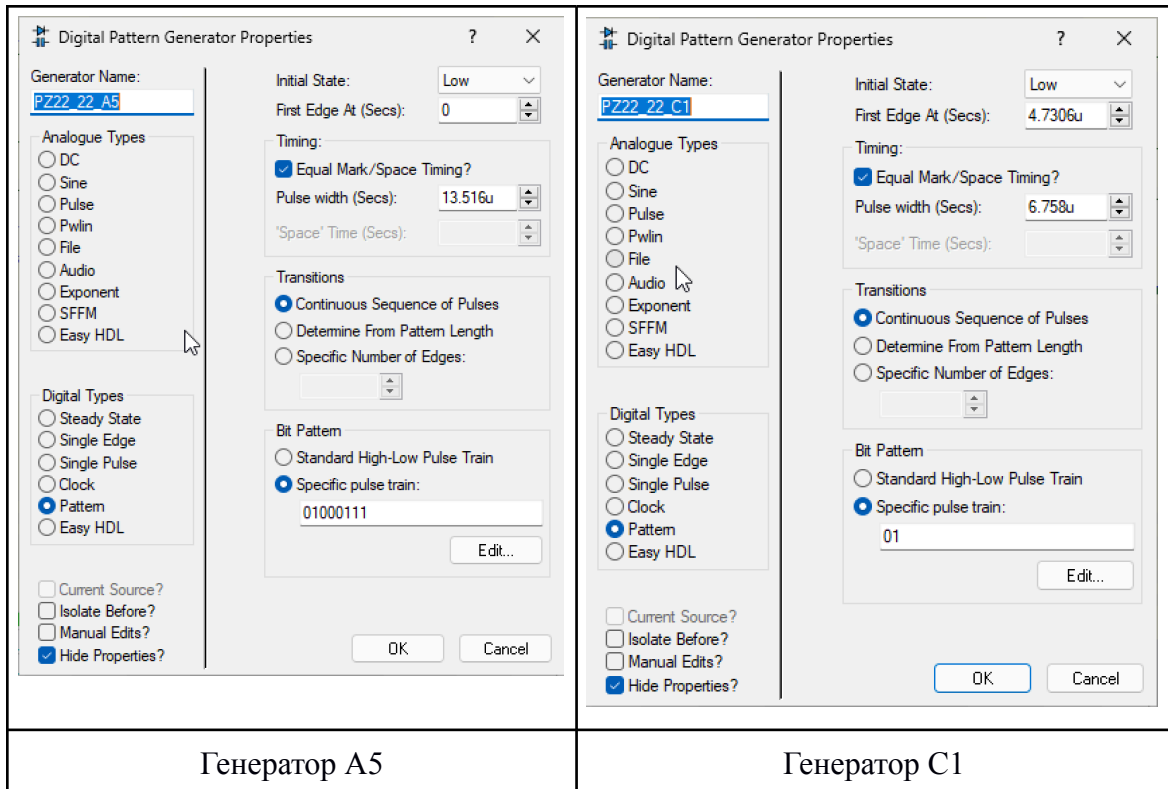
$$\tau = 4 \frac{T}{4} = 0.000006758 \text{ c}$$

Синтезую схему 5-розрядного паралельного регістра на синхронних D-тригерах:

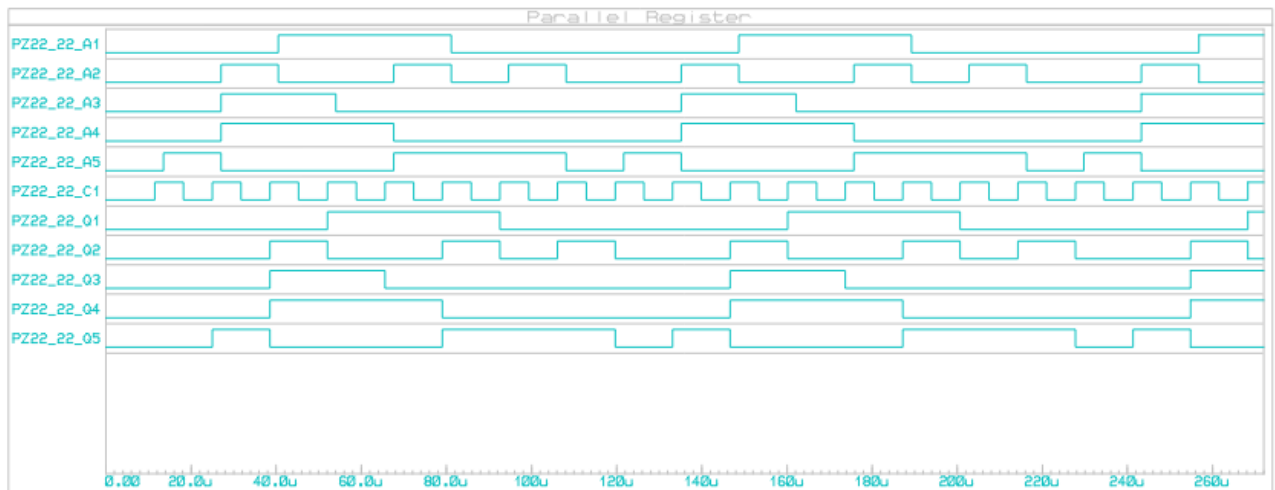


Генератори до 5-розрядного паралельного регістра на синхронних D-тригерах:

Генератор A1	Генератор A2
Генератор A3	Генератор A4

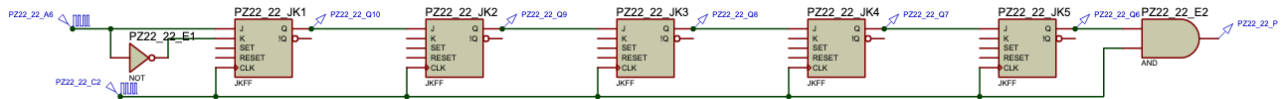


Графік до схеми 5-розрядного паралельного регістра на синхронних D-тригерах:

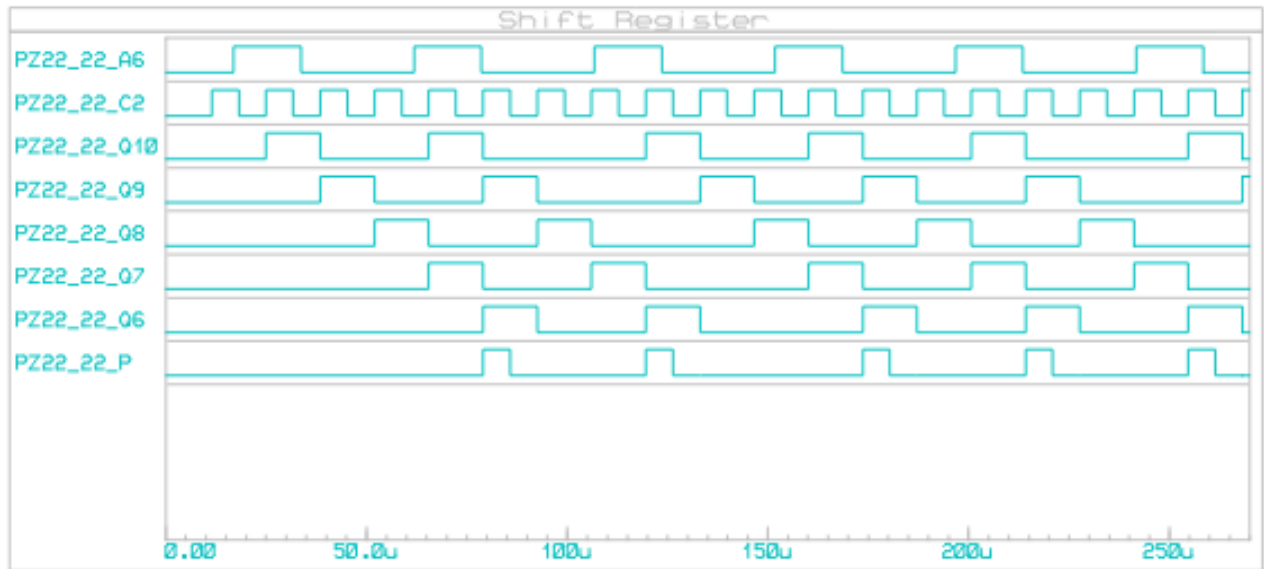


За допомогою отриманого графіка виконання схеми, бачимо, що моделювання було виконано правильно.

Синтезую схему 5-розрядного регістра зсуву вправо на JK-тригерах:

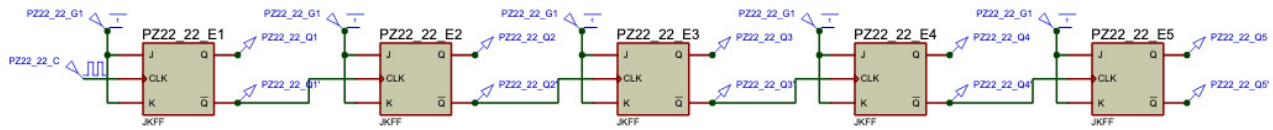


Графік до схеми 5-розрядного регістра зсуву вправо на JK-тригерах.

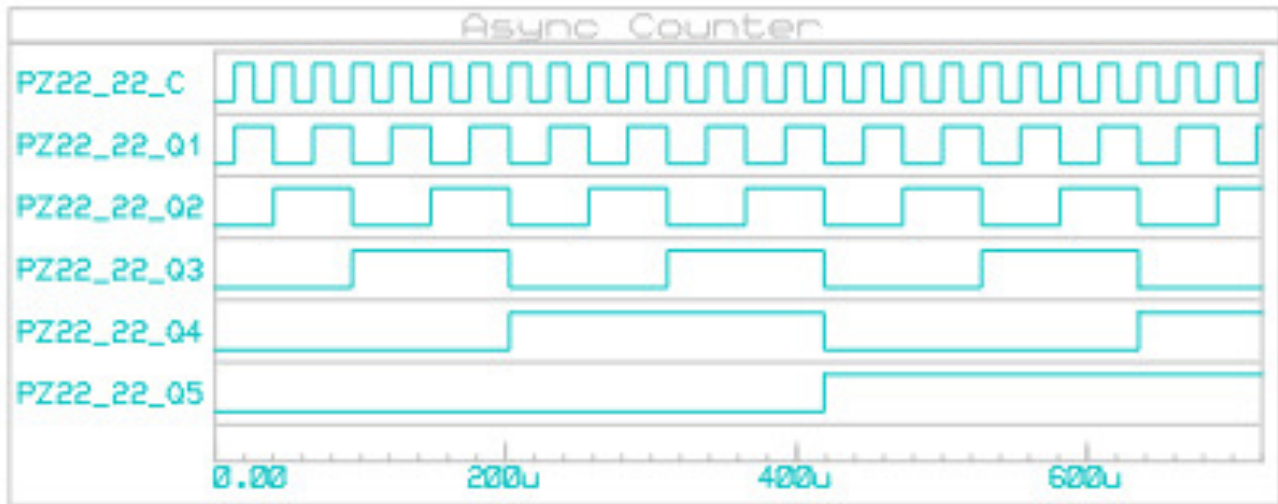


За допомогою отриманого графіка виконання схеми, бачимо, що моделювання було виконано правильно, відслідкував перетворення послідовного коду в паралельний і навпаки.

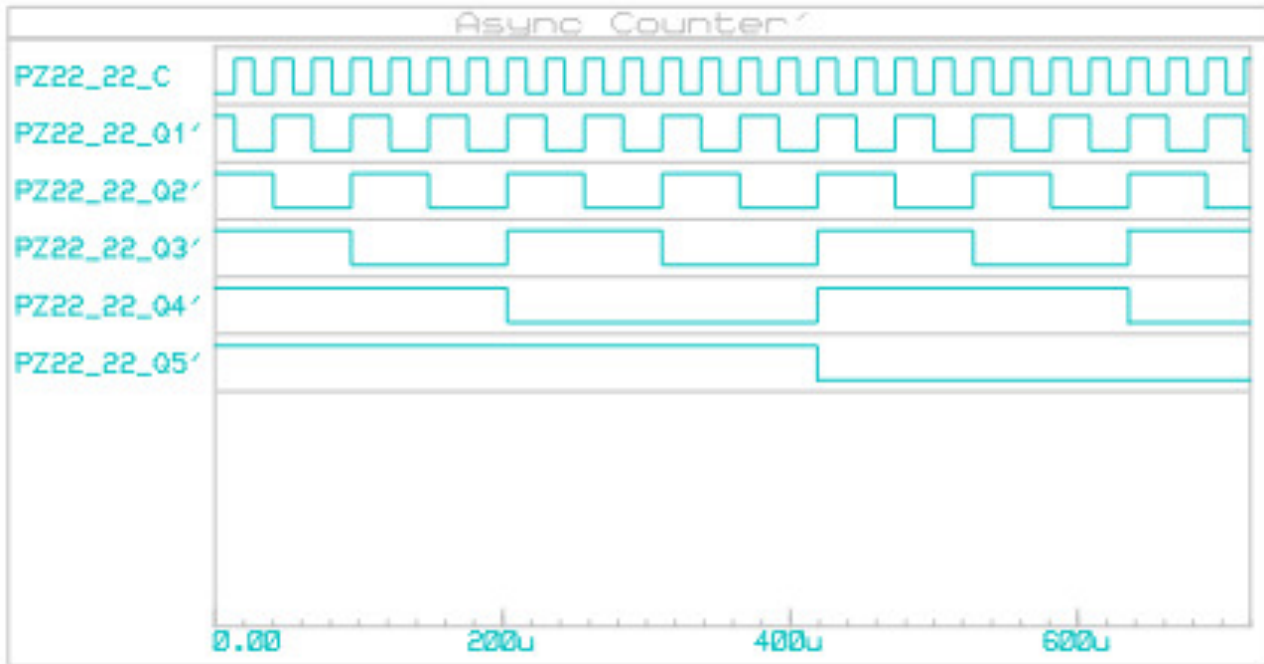
Синтезую схему 5-розрядного асинхронного підсумовуючого лічильника на JK-тригерах з прямим динамічним керуванням.



Діапазон графіка: $0 - (2^5 + 1) * T = 0 - 2^6 * 0.0000112 = 0 - 0.0007168$:

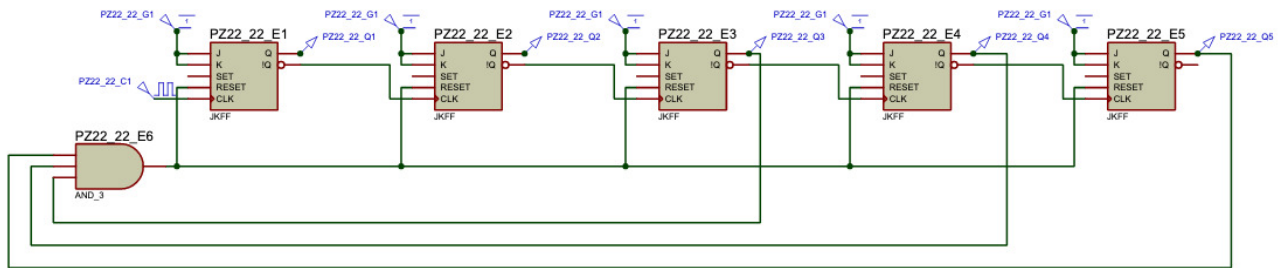


Графік до 5-розрядного асинхронного підсумовуючого лічильника з інверсних входів:



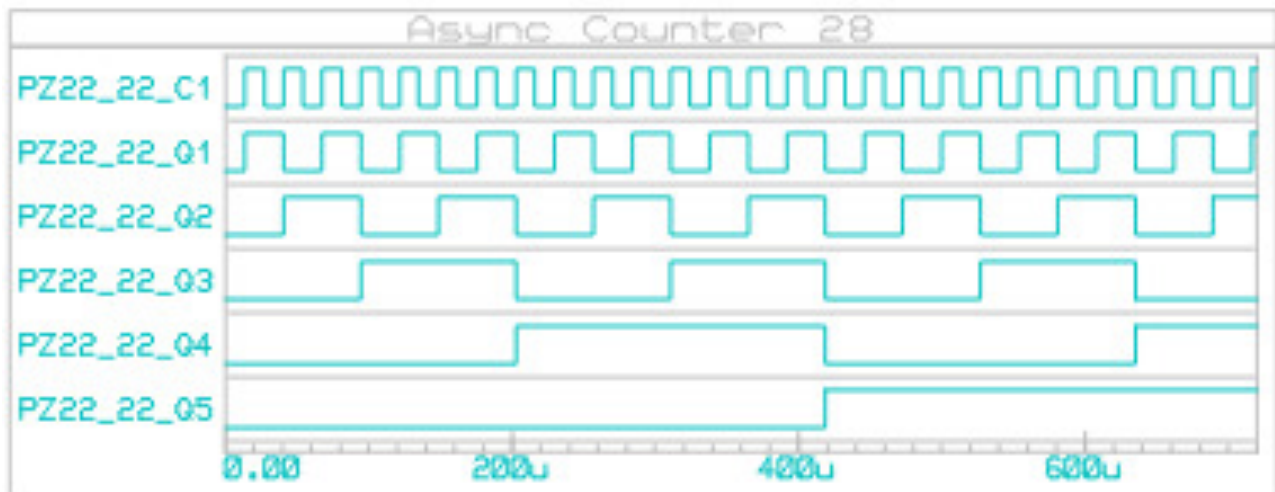
За допомогою двох отриманих часових діаграм асинхронного 5-розрядного лічильника, бачимо, що моделювання виконано правильно.

Синтезую схему 5-розрядного асинхронного підсумовуючого лічильника на JK-тригерах із заданим модулем лічби 28.



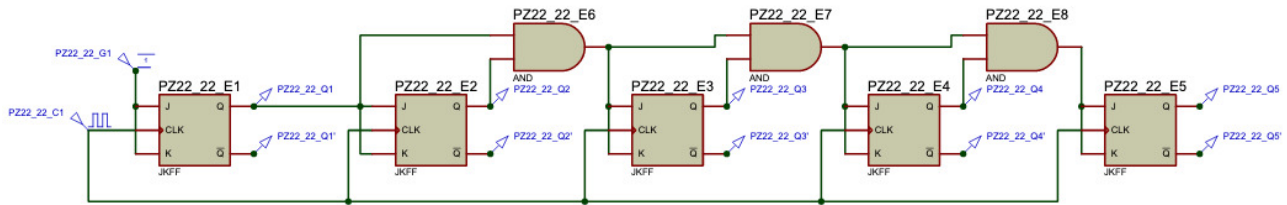
Графік до схеми 5-розрядного асинхронного підсумовуючого лічильника на JK-тригерах із заданим модулем лічби 28.

Діапазон графіка: $0 - (2^5 + 1) * T = 0 - 26 * 0.0000112 = 0 - 0.0007168$:

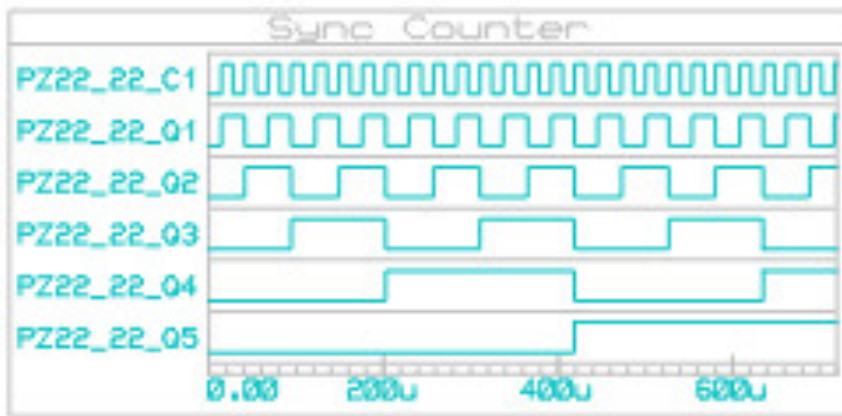


За допомогою отриманої часової діаграми асинхронного підсумовуючого 5-розрядного лічильника, бачимо, що моделювання виконано правильно. Місткість лічби складає 28, модуль лічби – 28.

Синтезую схему 5-розрядного синхронного підсумовуючого лічильника на JK-тригерах із прямим динамічним керуванням.

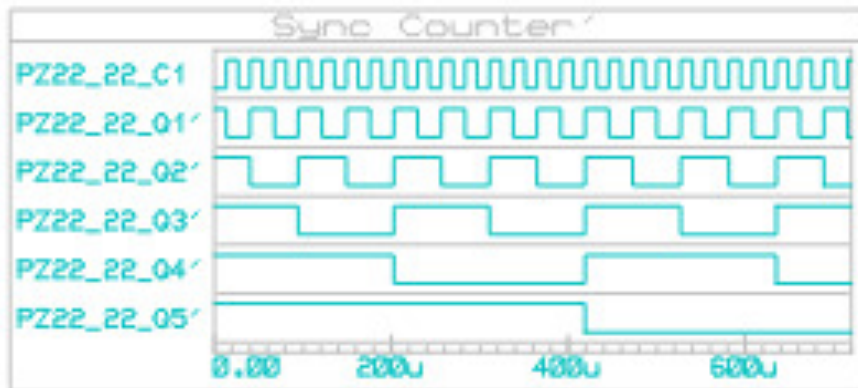


Графік до 5-розрядного синхронного підсумовуючого лічильника з прямих входів.



Діапазон графіка: $0 - (25 + 1) * T = 0 - 26 * 0.0000112 = 0 - 0.0007168$:

Графік до 5-розрядного синхронного підсумовуючого лічильника з інверсних входів.



За допомогою двох отриманих часових діаграм синхронного 5-розрядного лічильника, бачимо, що моделювання виконано правильно.

Синтезую схему 5-розрядного синхронного підсумовуючого лічильника на JK-тригерах із заданим модулем лічби 29.

