

(Sinh viên không được sử dụng tài liệu. Làm bài trực tiếp trên đề, được sử dụng máy tính bỏ túi)

Chữ ký của Cán bộ coi thi		
---------------------------	--	--

<u>STT</u>	Họ và tên: MSSV: Phòng thi:	<u>ĐIỂM</u> <u>Bảng số:</u> <u>Bảng chữ:</u>
---------------------	---	---

BẢNG TRẢ LỜI TRẮC NGHIỆM (SV ghi đáp án đúng vào bảng sau)

Câu 1	Câu 2	Câu 3	Câu 4	Câu 5	Câu 6	Câu 7	Câu 8	Câu 9	Câu 10
Câu 11	Câu 12	Câu 13	Câu 14	Câu 15	Câu 16	Câu 17	Câu 18	Câu 19	Câu 20
Câu 21	Câu 22	Câu 23	Câu 24	Câu 25	Câu 26	Câu 27	Câu 28	Câu 29	Câu 30

Phần 1: Tự Luận (2.5 điểm)

Câu 1: Liệt kê ít nhất hai kiến trúc tập lệnh được sử dụng phổ biến hiện nay (**0.5 điểm**), và mỗi kiến trúc tập lệnh lấy ví dụ các thiết bị/chip sử dụng kiến trúc tập lệnh tương ứng (**0.5 điểm**).

STT	Tên kiến trúc tập lệnh	Ví dụ thiết bị/chip
1.		
2.		
3.		

Câu 2: Xét một chương trình hợp ngữ sau:

STT	Address (PC)	Lệnh
1.	0x00400000	slt \$t3, \$s2,\$s3
2.	0x00400004	j exit
3.	0x00400008	loop: sub \$s4,\$s5,\$s6
4.	0x0040000c	bne \$s2,\$t7, exit
5.	0x00400010	addi \$t1, \$t1, 20
6.	0x00400014	j loop
7.	0x00400018	addi \$t1, \$t1, 20
8.	0x0040001c	exit: sw \$s0, -7(\$t2)

a. Xác định mã máy của lệnh thứ 5 biên diễn ở mã thập lục phân (**0.5 điểm**).

c. Xác định các giá trị (dạng binary) của các tín hiệu: Read register 1, Read register 2, MemRead, MemWrite, MemtoReg khi bộ xử lý thực hiện lệnh cuối cùng của chương trình. **(0.5 điểm)**

This image shows a full page of primary-ruled paper. It features multiple horizontal rows of small, evenly spaced dots, designed to guide young learners in writing their letters. The dots are arranged in straight, parallel lines across the entire width of the page. There are no margins, text, or other markings present.

Câu 1 Kiến trúc tập lệnh MIPS được thiết kế theo loại nào sau đây:

A. Ngăn xếp (stack)	B. Bộ tích lũy (accumulator)
C. Thanh ghi – Bộ nhớ (register–memory)	D. Register-Register/load-store)

A. Sắp xếp các byte vào bộ nhớ theo đúng vị trí của byte khi biểu diễn trong 1 word
B. Sắp xếp các word vào bộ nhớ theo đúng vị trí của word khi biểu diễn trong 1 byte
C. Sắp xếp các byte vào bộ nhớ theo ngược lại vị trí của byte khi biểu diễn trong 1 word
D. Sắp xếp các word vào bộ nhớ theo ngược lại vị trí của word khi biểu diễn trong 1 byte

A. 128 Mb	B. 128 MB	C. 128 B	D. 128b
-----------	-----------	----------	---------

A. {16{immediate [15]}, immidiate} << 2	B. {14{immediate [15]}, immidiate, 1'b0}
C. {16{immediate [15]}, immidiate}	D. {16{immediate [15]}, immidiate} >> 2

A. Lệnh trên thuộc định dạng lệnh R
B. Toán hạng \$zero là toán hạng hằng có giá trị bằng 0
C. Toán hạng \$t2 có địa chỉ bằng 10 trong tập thanh ghi
D. Lệnh trên thuộc nhóm lệnh số học

A. 1	B. 2	C. 3	D. 0
-------------	-------------	-------------	-------------

Câu 7 Cho đoạn mã khai báo dữ liệu trong một chương trình hợp ngữ như sau

```
var1: .word 15
arr1: .byte 'h', 'e', 'l', 'l', 'o's'
arr2: .space 32
str1: .ascii "Welcome to UIT"
```

Bộ nhớ cấp phát cho arr2 có dung lượng là bao nhiêu byte?

A. 4	B. 8
C. 32	D. 128

Câu 8 Lệnh nào sau đây là lệnh rẽ nhánh có điều kiện?

A. JUMP	B. JAL	C. JR	D. BEQ
---------	--------	-------	--------

Câu 9 Ngôn ngữ nào sau đây không phải là ngôn ngữ biên dịch?

A. C	B. C++	C. Assembly	D. Pascal
------	--------	-------------	-----------

Câu 10 Không gian địa chỉ của MIPS như hình dưới, dung lượng trong bộ nhớ MIPS là bao nhiêu:

	A. 16 Gb
	B. 32 Gb
	C. 4 Gb
	D. 8 Gb

Câu 11 Cơ chế của stack trong MIPS:

A. FIFO	B. LIFO	C. MIMO	D. Tất cả đều sai
---------	---------	---------	-------------------

Câu 12 Trong 5 bước của chu kỳ thực thi lệnh trong MIPS, thành phần phần cứng nào được sử dụng ở bước thực thi?

A. Tập thanh ghi	B. I-Mem	C. D-MEM	D. ALU
------------------	----------	----------	--------

Câu 13 Một tín hiệu xung clock có chu kỳ là 0.25ps, hỏi tần số của tín hiệu này là bao nhiêu?

A. 2.5 Ghz	B. 4 Ghz	C. 4 THz	D. 2.5 THz
------------	----------	----------	------------

Câu 14 Thành phần nào sau đây không thuộc thành phần của DATAPATH

A. PC	B. ALU Control
C. I-MEM	D. D-MEM

Câu 15 Thành phần datapath nào không cần thiết khi thực hiện lệnh LW

A. Registers	B. Data Memory	C. Signed Extend	D. Shift left 2
--------------	----------------	------------------	-----------------

Câu 16 Kỹ thuật nâng cao hiệu suất nào sau đây sử dụng kỹ thuật pipeline?

A. Thực thi đồng thời nhiều tác vụ bằng cách tăng số lượng đơn vị xử lý
B. Thực thi đồng thời nhiều chương trình bằng cách tăng số lượng bộ xử lý
C. Thực thi đồng thời nhiều lệnh bằng cách chia chu kỳ thực thi lệnh thành các stage. Tại một thời điểm, một lệnh chỉ được thực thi một stage
D. Thực thi tuần tự nhiều tác vụ bằng cách tăng số lượng đơn vị xử lý

Câu 17 Cho hai bộ vi xử lý X và Y có tần số xung clock là 800 MHz và 1000 MHz một cách tương ứng.

Giả sử X thực thi một lệnh trung bình mất 3 chu kỳ, Y thực thi một lệnh trung bình mất 5 chu kỳ. Vậy để thực thi cùng một chương trình, bộ vi xử lý nào thực thi nhanh hơn?

A. X	B. Y	C. X bằng Y	D. Thiếu thông tin
------	------	-------------	--------------------

Câu 18 Cho máy tính X có CPI = 5. Máy tính X thực thi một chương trình có 1 triệu lệnh mất 5 ms. Hỏi tần số hoạt động của máy tính X là bao nhiêu?

A. 1 Mhz	B. 1Ghz	C. 200 Mhz	D. 2 Ghz
----------	---------	------------	----------

Câu 19 Lệnh “addi \$s1, \$s2, 1000” thuộc loại lệnh nào?

A. Lệnh R	B. Lệnh J	C. Lệnh I	D. Lệnh giả
-----------	-----------	-----------	-------------

Câu 20 Một processor cho clock là 1.5GHz với tổng số lệnh là 30 và thời gian thực thi là 10s. Cần thay đổi clock cho processor này bằng bao nhiêu để giảm thời gian thực thi còn 6s?

A. 2 GHz	B. 1.5 GHz	C. 3 GHz	D. 2.5 GHz
----------	------------	----------	------------

Câu 21 Công đoạn thứ 4 trong quá trình thực thi lệnh của MIPS là công đoạn nào?

A. Nạp lệnh	B. Giải mã lệnh	C. Truy xuất bộ nhớ	D. ALU
-------------	-----------------	---------------------	--------

Câu 22 Cho đoạn chương trình sau:

lw \$v1, 0(\$a0) addi \$v0, \$v0, 1 sw \$v1, 0(\$a1) addi \$a0, \$a0, 1	Hỏi bộ nhớ lệnh và bộ nhớ dữ liệu lần lượt được truy cập mấy lần?			
	A. 2 & 2	B. 2 & 4	C. 4 & 2	D. 4 & 4

Câu 23 Trong các câu lệnh sau, câu lệnh nào có tín hiệu RegDst = 1.

A. addi	B. lw	C. add	D. beq
---------	-------	--------	--------

Câu 24 Khối nào không cần thiết trong datapath khi thực hiện lệnh beq?

A. I-Mem	B. Register	C. ALU	D. D-Mem
----------	-------------	--------	----------

Câu 25 Tổ chức phần cứng máy tính được hiểu tương đương trong tiếng Anh là?

A. Computer System	B. Computer Architecture
C. Micro-Architecture	D. ISA

Câu 26 Phần mềm nào chuyển đổi từ ngôn ngữ hợp ngữ sang ngôn ngữ máy

A. Compiler	B. Assembler	C. Interpreter	D. Cả A và B
-------------	--------------	----------------	--------------

Câu 27 Số thập lục phân 0x14a4820 là mã lệnh của lệnh nào sau đây?

A. add \$9, \$10, \$10	B. sub \$9, \$10, \$10
C. addi \$t1, \$t2, \$t2	D. addu \$t1, \$t2, \$t2

Câu 28 Chọn phát biểu sai về thành phần datapath ALU

A. Thực hiện được một số phép toán số học	B. Thực hiện được một số phép tính logic
C. Chỉ được sử dụng khi bộ xử lý thực thi các lệnh số học và logic	D. Thuộc loại mạch số tổ hợp

Câu 29 Chọn phát biểu sai về thành phần datapath D-Mem

A. Có độ rộng bus dữ liệu, và địa chỉ là 32 bit
B. Có thể đọc và ghi dữ liệu
C. Được sử dụng khi bộ xử lý thực hiện lệnh lw hoặc sw
D. Thuộc loại mạch số tổ hợp

Câu 30 Xét 2 cách hiện thực khác nhau của cùng kiến trúc tập lệnh lên hai bộ xử lý P1 và P2. Có 3 lớp lệnh: A, B và C. Tần số xung clock và CPI của mỗi cách thiết kế được cho như bảng bên dưới:

Bộ xử lý	Tần số	CPI lớp A	CPI lớp B	CPI lớp C
P1	1.5 Ghz	1	2	3
P2	2 Ghz	2	2	2

Bộ xử lý nào sẽ chạy nhanh hơn với một chương trình có 500 lệnh lớp A, 200 lệnh lớp B và 100 lệnh lớp C?

A. P2	B. P1	C. P1 = P2	D. Thiếu thông tin
-------	-------	------------	--------------------

----- Hết -----

MIPS Reference Data

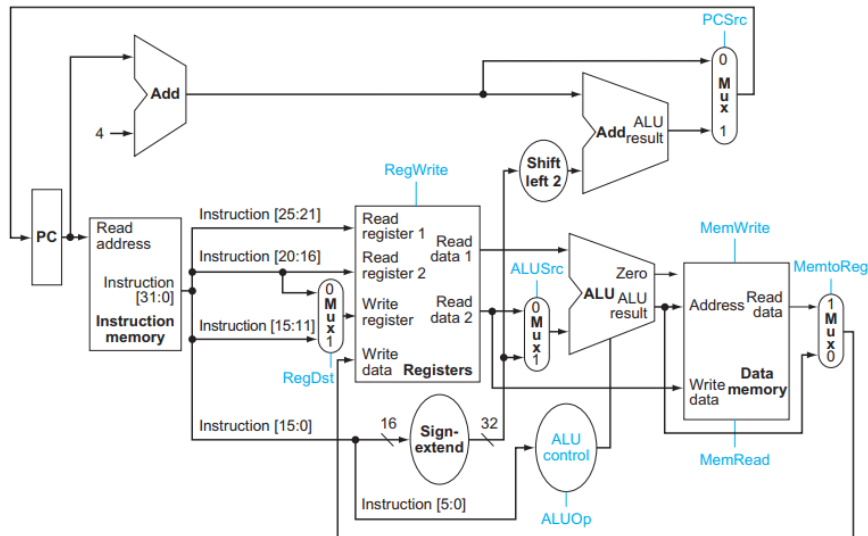
CORE INSTRUCTION SET

NAME, MNEMONIC	FOR-MAT	OPERATION (in Verilog)	OPCODE / FUNCT (Hex)
Add	add R	$R[rd] = R[rs] + R[rt]$	(1) 0 / 20 _{hex}
Add Immediate	addi I	$R[rt] = R[rs] + \text{SignExtImm}$	(1,2) 8 _{hex}
Add Imm. Unsigned	addiu I	$R[rt] = R[rs] + \text{SignExtImm}$	(2) 9 _{hex}
Add Unsigned	addu R	$R[rd] = R[rs] + R[rt]$	0 / 21 _{hex}
And	and R	$R[rd] = R[rs] \& R[rt]$	0 / 24 _{hex}
And Immediate	andi I	$R[rt] = R[rs] \& \text{ZeroExtImm}$	(3) c _{hex}
Branch On Equal	beq I	$\text{if}(R[rs] == R[rt])$ $PC = PC + 4 + \text{BranchAddr}$	(4) 4 _{hex}
Branch On Not Equal	bne I	$\text{if}(R[rs] != R[rt])$ $PC = PC + 4 + \text{BranchAddr}$	(4) 5 _{hex}
Jump	j J	$PC = \text{JumpAddr}$	(5) 2 _{hex}
Jump And Link	jal J	$R[31] = PC + 8; PC = \text{JumpAddr}$	(5) 3 _{hex}
Jump Register	jr R	$PC = R[rs]$	0 / 08 _{hex}
Load Byte Unsigned	lbu I	$R[rt] = \{24'b0, M[R[rs] + \text{SignExtImm}](7:0)\}$	(2) 24 _{hex}
Load Halfword Unsigned	lhu I	$R[rt] = \{16'b0, M[R[rs] + \text{SignExtImm}](15:0)\}$	(2) 25 _{hex}
Load Linked	ll I	$R[rt] = M[R[rs] + \text{SignExtImm}]$	(2,7) 30 _{hex}
Load Upper Imm.	lui I	$R[rt] = \{\text{imm}, 16'b0\}$	f _{hex}
Load Word	lw I	$R[rt] = M[R[rs] + \text{SignExtImm}]$	(2) 23 _{hex}
Nor	nor R	$R[rd] = \sim (R[rs] R[rt])$	0 / 27 _{hex}
Or	or R	$R[rd] = R[rs] R[rt]$	0 / 25 _{hex}
Or Immediate	ori I	$R[rt] = R[rs] \text{ZeroExtImm}$	(3) d _{hex}
Set Less Than	slt R	$R[rd] = (R[rs] < R[rt]) ? 1 : 0$	0 / 2a _{hex}
Set Less Than Imm.	slti I	$R[rt] = (R[rs] < \text{SignExtImm}) ? 1 : 0$	(2) a _{hex}
Set Less Than Imm. Unsigned	sltiu I	$R[rt] = (R[rs] < \text{SignExtImm}) ? 1 : 0$	(2,6) b _{hex}
Set Less Than Unsig.	sltu R	$R[rd] = (R[rs] < R[rt]) ? 1 : 0$	(6) 0 / 2b _{hex}
Shift Left Logical	sll R	$R[rd] = R[rt] \ll \text{shamt}$	0 / 00 _{hex}
Shift Right Logical	srl R	$R[rd] = R[rt] \gg \text{shamt}$	0 / 02 _{hex}
Store Byte	sb I	$M[R[rs] + \text{SignExtImm}](7:0) = R[rt](7:0)$	(2) 28 _{hex}
Store Conditional	sc I	$M[R[rs] + \text{SignExtImm}] = R[rt];$ $R[rt] = (\text{atomic}) ? 1 : 0$	(2,7) 38 _{hex}
Store Halfword	sh I	$M[R[rs] + \text{SignExtImm}](15:0) = R[rt](15:0)$	(2) 29 _{hex}
Store Word	sw I	$M[R[rs] + \text{SignExtImm}] = R[rt]$	(2) 2b _{hex}
Subtract	sub R	$R[rd] = R[rs] - R[rt]$	(1) 0 / 2d _{hex}
Subtract Unsigned	subu R	$R[rd] = R[rs] - R[rt]$	0 / 23 _{hex}

- (1) May cause overflow exception
 (2) $\text{SignExtImm} = \{16[\text{immediate}[15]], \text{immediate}\}$
 (3) $\text{ZeroExtImm} = \{16[1b'0], \text{immediate}\}$
 (4) $\text{BranchAddr} = \{14[\text{immediate}[15]], \text{immediate}, 2'b0\}$
 (5) $\text{JumpAddr} = \{PC + 4[31:28], \text{address}, 2'b0\}$
 (6) Operands considered unsigned numbers (vs. 2's comp.)
 (7) Atomic test&set pair; $R[rt] = 1$ if pair atomic, 0 if not atomic

BASIC INSTRUCTION FORMATS

R	opcode	rs	rt	rd	shamt	funct
31	26 25	21 20	16 15	11 10	6 5	0
I	opcode	rs	rt	immediate		
31	26 25	21 20	16 15			
J	opcode	address				
31	26 25					



ARITHMETIC CORE INSTRUCTION SET

NAME, MNEMONIC	FOR-MAT	OPERATION	OPCODE / FUNCT (Hex)
Branch On FP True	bclt FI	$\text{if}(\text{FPcond}) PC = PC + 4 + \text{BranchAddr}$	(4) 11/8/1
Branch On FP False	bclt FI	$\text{if}(\text{FPcond}) PC = PC + 4 + \text{BranchAddr}$	(4) 11/8/0
Divide	div R	$Lo = R[rs] / R[rt]; Hi = R[rs] \% R[rt]$	0/ / 1a
Divide Unsigned	divu R	$Lo = R[rs] / R[rt]; Hi = R[rs] \% R[rt]$	(6) 0/ / 1b
FP Add Single	add.s FR	$F[fd] = F[fs] + F[ft]$	11/10/ / 0
FP Add	add.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} + \{F[ft], F[ft+1]\}$	11/11/ / 0
FP Compare Single	c.x.s* FR	$\text{FPcond} = (F[fs] \text{ op } F[ft]) ? 1 : 0$	11/10/ / y
FP Compare	c.x.d* FR	$\text{FPcond} = (\{F[fs], F[fs+1]\} \text{ op } \{F[ft], F[ft+1]\}) ? 1 : 0$	11/11/ / y
* (x is eq, lt, or le) (op is ==, <, or <=) (y is 32, 3c, or 3e)			
FP Divide Single	div.s FR	$F[fd] = F[fs] / F[ft]$	11/10/ / 3
FP Divide	div.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} / \{F[ft], F[ft+1]\}$	11/11/ / 3
FP Multiply Single	mul.s FR	$F[fd] = F[fs] * F[ft]$	11/10/ / 2
FP Multiply	mul.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} * \{F[ft], F[ft+1]\}$	11/11/ / 2
FP Subtract Single	sub.s FR	$F[fd] = F[fs] - F[ft]$	11/10/ / 1
FP Subtract	sub.d FR	$\{F[fd], F[fd+1]\} = \{F[fs], F[fs+1]\} - \{F[ft], F[ft+1]\}$	11/11/ / 1
Load FP Single	lwc1 I	$F[rt] = M[R[rs] + \text{SignExtImm}]$	(2) 31/ / / 0
Load FP Double	ldc1 I	$F[rt] = M[R[rs] + \text{SignExtImm}];$ $F[rt+1] = M[R[rs] + \text{SignExtImm} + 4]$	(2) 35/ / / 0
Move From Hi	mfc1 R	$R[rd] = Hi$	0 / / / 10
Move From Lo	mfl0 R	$R[rd] = Lo$	0 / / / 12
Move From Control	mfc0 R	$R[rd] = CR[rs]$	10 / 0/ / 0
Multiply	mult R	$\{Hi, Lo\} = R[rs] * R[rt]$	0/ / / 18
Multiply Unsigned	multu R	$\{Hi, Lo\} = R[rs] * R[rt]$	(6) 0/ / / 19
Shift Right Arith.	sra R	$R[rd] = R[rt] \gg \text{shamt}$	0/ / / 3
Store FP Single	swc1 I	$M[R[rs] + \text{SignExtImm}] = F[rt]$	(2) 39/ / / 0
Store FP Double	sdc1 I	$M[R[rs] + \text{SignExtImm}] = F[rt];$ $M[R[rs] + \text{SignExtImm} + 4] = F[rt+1]$	(2) 3d/ / / 0

FLOATING-POINT INSTRUCTION FORMATS

FR	opcode	fmt	ft	fs	fd	funct
31	26 25	21 20	16 15	11 10	6 5	0
FI	opcode	fmt	ft	immediate		
31	26 25	21 20	16 15			

PSEUDOINSTRUCTION SET

NAME	MNEMONIC	OPERATION
Branch Less Than	blt	$\text{if}(R[rs] < R[rt]) PC = \text{Label}$
Branch Greater Than	bgt	$\text{if}(R[rs] > R[rt]) PC = \text{Label}$
Branch Less Than or Equal	b1e	$\text{if}(R[rs] \leq R[rt]) PC = \text{Label}$
Branch Greater Than or Equal	bge	$\text{if}(R[rs] \geq R[rt]) PC = \text{Label}$
Load Immediate	li	$R[rd] = \text{immediate}$
Move	move	$R[rd] = R[rs]$

REGISTER NAME, NUMBER, USE, CALL CONVENTION

NAME	NUMBER	USE	PRESERVED ACROSS A CALL?
\$zero	0	The Constant Value 0	N.A.
\$at	1	Assembler Temporary	No
\$v0-\$v1	2-3	Values for Function Results and Expression Evaluation	No
\$a0-\$a3	4-7	Arguments	No
\$t0-\$t7	8-15	Temporaries	No
\$s0-\$s7	16-23	Saved Temporaries	Yes
\$t8-\$t9	24-25	Temporaries	No
\$k0-\$k1	26-27	Reserved for OS Kernel	No
\$gp	28	Global Pointer	Yes
\$sp	29	Stack Pointer	Yes
\$fp	30	Frame Pointer	Yes
\$ra	31	Return Address	Yes

Duyệt đề của Khoa/Bộ Môn

(ký và ghi rõ họ tên)

Giảng viên ra đề

(ký và ghi rõ họ tên)

Đây là phần đánh giá chuẩn đầu ra của đề thi theo đề cương chi tiết môn học (CĐRMH) (Sinh viên không cần quan tâm mục này trong quá trình làm bài thi)

1. Bảng chuẩn đầu ra môn học

CĐRMH	Mô tả CĐRMH (mục tiêu cụ thể)	Mức độ giảng dạy
G1.1 (2.1)	Trình bày được các kiến thức cơ bản về kiến trúc máy tính và lập trình hợp ngữ.	I, T
G1.2 (2.1)	Trình bày, phân tích được các thành phần và nguyên lý hoạt động bên trong một máy tính, cơ chế thực thi lệnh của máy tính.	T

2. Bảng câu hỏi và chuẩn đầu ra tương ứng đề thi cuối học kỳ I năm học 2020 – 2021

Câu Hỏi	Chuẩn Đầu ra
Phần 1: Tự Luận	
Câu 1	G1.1
Câu 2	G1.1, G1.2
Phần 2: Trắc nghiệm	
Câu 1, Câu 3, Câu 4, Câu 5, Câu 6, Câu 7, Câu 8, Câu 9, Câu 12, Câu 19, Câu 22, Câu 25, Câu 26,	G1.1
Câu 2, Câu 10, Câu 11, Câu 13, Câu 14, Câu 15, Câu 16, Câu 17, Câu 18, Câu 20, Câu 21, Câu 22, Câu 23, Câu 24, Câu 27, Câu 28, Câu 29, Câu 30	G1.2