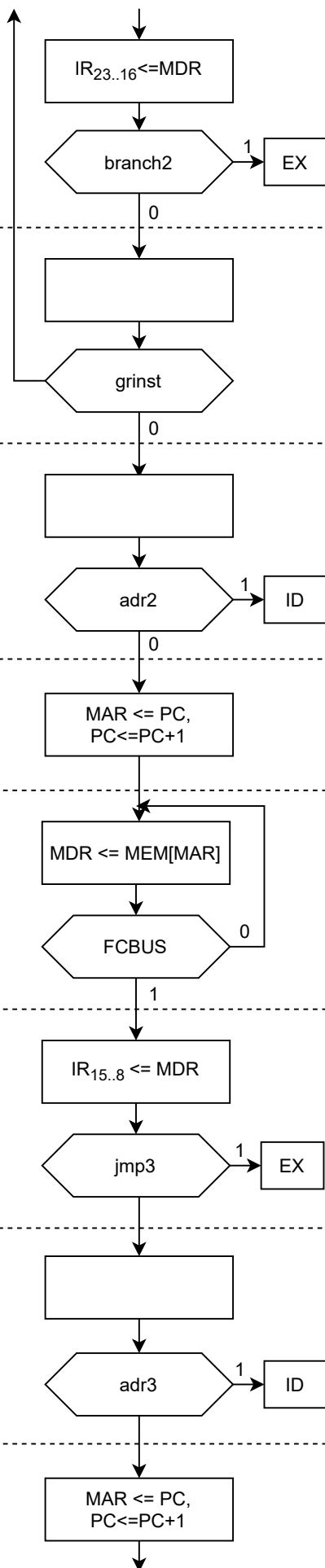
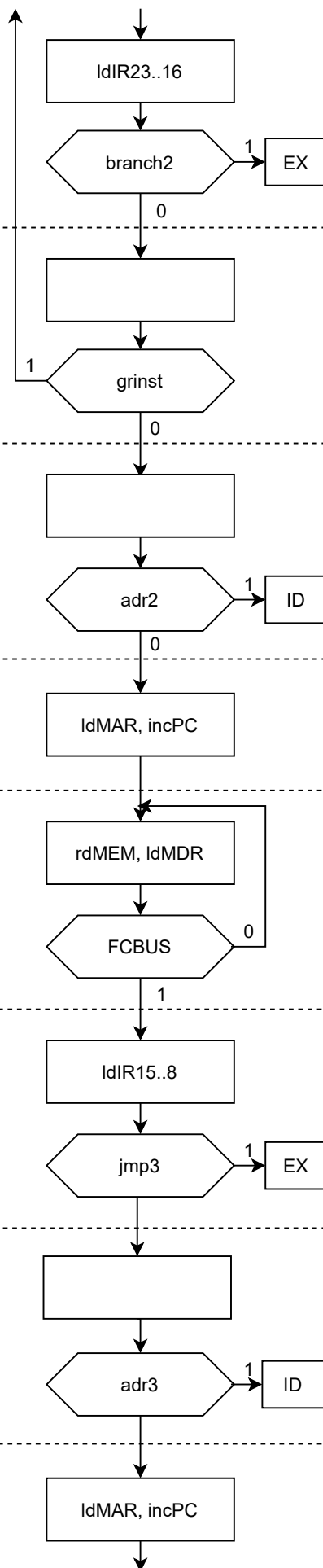


Дијаграм тока микрооперација



Дијаграм тока управљачких сигнала



Секвенца управљачких сигнала

step08 <= ldIR_{23..16}, br (if branch2 then step13)

step09 => br (if grinst then step00)

step0A => br (if adr2 then step12)

step0B <= ldMAR, incPC

step0C <= rdMEM, ldMDR, br (if notFCBUS then step 0C)

step0D <= ldIR_{15..8}, br (if jmp3 then step13)

step0E <= br (if adr3 then step12)

step0F <= ldMAR, incPC

Име, презиме
и број индекса

Иван Цветић 2019/0183

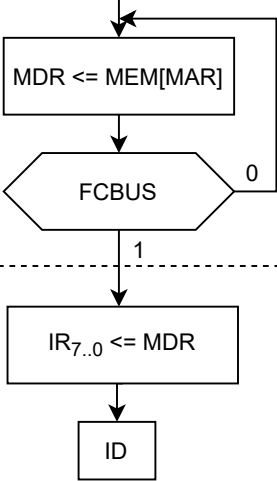
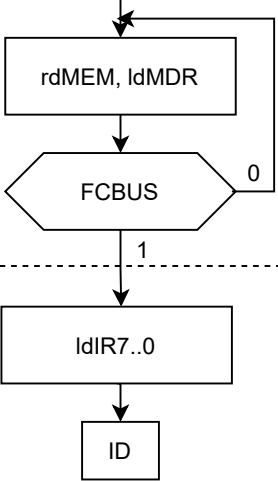
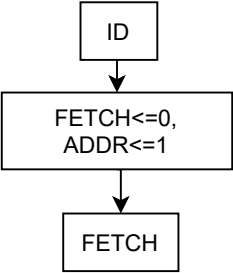
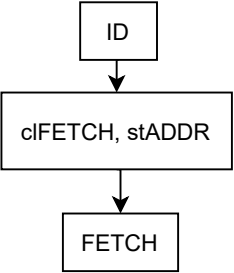
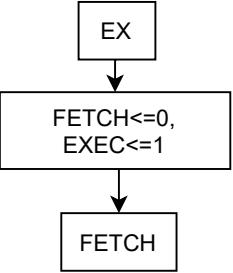
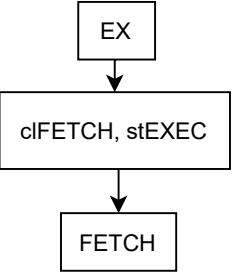
Славица Митровић 2019/0324

Потпис

Назив: Основи рачунарске технике 2

Датум: 27.02.2021.

Задатак 19: Фаза читања инструкције, страна 2/3

Дијаграм тока микрооперација		Дијаграм тока управљачких сигнала	Секвенца управљачких сигнала
 <pre> graph TD Start(()) --> MDR[MDR <= MEM[MAR]] MDR --> FCBUS{{FCBUS}} FCBUS -- 0 --> MDR FCBUS -- 1 --> IR[IR7..0 <= MDR] IR --> ID[ID] </pre>		 <pre> graph TD Start(()) --> rdMEM[rdMEM, ldMDR] rdMEM --> FCBUS{{FCBUS}} FCBUS -- 0 --> rdMEM FCBUS -- 1 --> ldIR[ldIR7..0] ldIR --> ID[ID] </pre>	<p>step10 <= rdMEM, ldMDR, br (if notFCBUS then step10)</p>
 <pre> graph TD ID1[ID] --> Fetch1[FETCH<=0, ADDR<=1] Fetch1 --> Fetch2[FETCH] </pre>		 <pre> graph TD ID2[ID] --> clFetch[clFETCH, stADDR] clFetch --> Fetch3[FETCH] </pre>	<p>step11 <= ldIR7..0</p> <p>step12 <= clFETCH, stADDR, br step00</p>
 <pre> graph TD EX[EX] --> Fetch4[FETCH<=0, EXEC<=1] Fetch4 --> Fetch5[FETCH] </pre>		 <pre> graph TD EX2[EX] --> clFetch2[clFETCH, stEXEC] clFetch2 --> Fetch6[FETCH] </pre>	<p>step13 <= clFETCH, stEXEC, br step00</p>
Име, презиме и број индекса	Иван Цветић 2019/0183 Славица Митровић 2019/0324	Потпис	Назив: Основи рачунарске технике 2 Датум: 27.02.2021. Задатак 19: Фаза читања инструкције, страна 3/3