

# Lab 1 report

PB2211695 蔡孟辛

## 1 实验目的与内容

1. 学习 Verilog 语言的基本知识。
2. 进行简单的 Verilog 编程工作。

## 2 逻辑设计

### 2.1 题目 1：向量翻转

```
module top_module(  
    input  [7:0]    in,  
    output [7:0]    out  
);  
assign out = { in[0],in[1],in[2],in[3],in[4],in[5],in[6],in[7] };  
endmodule
```

### 2.2 题目 2：最大值问题

#### 2.2.1 用 assign 语句完成该模块的功能

```
module MAX2 (  
    input  [7:0]    num1, num2,  
    output [7:0]    max  
);  
assign max = (num1>num2) ? num1 : num2;  
endmodule
```

#### 2.2.2 用 always 和 if-else 语句完成该模块的功能

```
module MAX3 (  
    input      [7:0]    num1, num2, num3,  
    output reg [7:0]    max  
);  
  
always @(*) begin  
    if(num1>num2)  
        max = (num1>num3) ? num1 : num3;  
    else  
        max = (num2>num3) ? num2 : num3;  
    end  
endmodule
```

### 2.2.3 通过例化 MAX2 模块实现该功能

```
module MAX4 (
    input    [7:0]      num1, num2, num3,
    output   [7:0]      max
);
wire [7:0] temp;
MAX2 findmax1(
    .num1(num1),
    .num2(num2),
    .max(temp)
);
MAX2 findmax2(
    .num1(temp),
    .num2(num3),
    .max(max)
);
endmodule
```

### 2.3 题目 3: 1 的个数

```
module Count4Ones(
    input    [2:0]      in,
    output reg [1:0]      out
);
always@(in)begin
    case(in)
        3'b000: out = 2'b00;
        3'b001: out = 2'b01;
        3'b010: out = 2'b01;
        3'b011: out = 2'b10;
        3'b100: out = 2'b01;
        3'b101: out = 2'b10;
        3'b110: out = 2'b10;
        3'b111: out = 2'b11;
    endcase
end
endmodule
```

### 2.4 选择性必做内容: 题目 2: Verilog 运算符

```
a = 8'b0011_0011, b = 8'b1111_0000
c = a & b    = 8'b0011_0000;
d = a || b   = 8'b0000_0001;
e = a ^ b    = 8'b1100_0011;
f = ~a       = 8'b1100_1100;
g = {a[2:0], b[3:0], {1'b1}} = 8'b0110_0001;
h = b >>> 3  = 8'b1111_1110;
i = &b       = 8'b0000_0000;
j = (a > b) ? a : b = 8'b0011_0011;
k = a - b    = 8'b0100_0011;
l = !a       = 8'b0000_0000;
```

## 总结

1. 学习到了很多Verilog的知识，初步了解了这个语言的部分内容
2. 在软件配置和安装插件上遇到了一些问题，希望以后可以解决