

Digital Communication IC Final Report

學號: 113064557

姓名: 劉緯承

1. Introduction and Motivation

1.1 Project Background & Problem Statement

隨著無線通訊對資料傳輸速率與頻譜效率的需求日益增長，**MIMO-OFDM** (**Multiple-Input Multiple-Output Orthogonal Frequency Division Multiplexing**) 已成為現代通訊標準（如 Wi-Fi, 5G NR）的核心技術。然而，在實際的無線傳輸環境中，接收機面臨著嚴峻的挑戰，其中最關鍵的「非理想效應 (Non-ideal Effects)」包含：

- 一. **多路徑衰落 (Multipath Fading)**： 訊號在傳輸過程中會經歷反射與散射，導致通道頻率響應呈現頻率選擇性衰落 (Frequency Selective Fading)，破壞訊號的正交性並造成符號間干擾 (ISI)。
- 二. **載波頻率偏移 (Carrier Frequency Offset, CFO)**： 由於發射機與接收機之振盪器無法完美同步，或是都卜勒效應 (Doppler Effect) 的影響，會引入頻率偏移。這會導致接收訊號產生隨時間累積的相位旋轉，若不加以補償，將導致星座圖 (Constellation) 旋轉發散，嚴重影響解調正確率。

因此，本期末專題之主要目的，旨在設計並實作一組具備通道效應補償能力之 **2x2 MIMO-OFDM 接收機晶片電路**。本設計不僅要在演算法層級解決上述非理想效應，更致力於將其轉化為可合成的 Verilog 硬體架構，並在 FPGA 上進行驗證，以探討演算法複雜度與硬體資源 (Area/Power) 之間的權衡。

1.2 Channel Modeling & Non-ideal Effects Simulation

為了確保硬體設計的強健性 (Robustness)，在進入硬體描述語言 (RTL) 設計之前，本專案首先建立了完整的 C 語言浮點數 (Floating-point) 模擬環境。在模擬模型中加入了以下數學模型所描述的非理想效應：

假設傳送端的時域訊號為 $x[n]$ ，在經過 2x2 MIMO Rayleigh Fading 通道與 CFO 干擾後，接收端訊號 $y[n]$ 可表示為：

$$y_r[n] = e^{j2\pi\epsilon n/N} \sum_{t=1}^{N_{Tx}} (h_{tr} * x_t)[n] + w[n]$$

其中：

- h_{tr} 代表從第 t 根發射天線到第 r 根接收天線的通道脈衝響應，本專案在 C Model 中使用 **Rayleigh Fading Channel** 模型生成複數高斯隨機變數來模擬此衰落特性。
- ϵ 為正規化載波頻率偏移量 (Normalized CFO)。本專案設定 $\epsilon = 0.03$ 進行測試，模擬晶體振盪器之誤差。
- $e^{j2\pi\epsilon n/N}$ 為 CFO 造成的時變相位旋轉項。
- $w[n]$ 為加成性高斯白雜訊 (AWGN)。

透過此浮點數模擬平台，我驗證了所提出的接收機演算法，包含 **Schmidl & Cox 符號同步**、**CP-based CFO 估測與補償**、以及 **MIMO Zero-Forcing (ZF)** 通道等化器，能夠在信噪比 (SNR) 為 20dB 的條件下，成功將受到通道破壞的訊號還原，並達到 BER (Bit Error Rate) 為 0 的目標。此一「軟體黃金模型 (C Golden Model)」隨後被用於產生硬體驗證所需的 Input Vectors 與 Golden Outputs，確保了 Verilog 實作的正確性。

1.3 Motivation for Hardware Implementation

雖然浮點數演算法能完美解調訊號，但將其移植至硬體晶片時，面臨了定點數動態範圍 (Fixed-point Dynamic Range) 與 運算資源消耗 (Hardware Utilization) 的挑戰。

特別是在 MIMO 系統中，矩陣運算（如矩陣反轉）與 64 點 FFT 處理器涉及大量的複數乘法與加法。本專案的一個重要動機，即是探討如何將「全平行 (Fully Parallel)」的 MIMO-OFDM 架構實作於 FPGA 上。在開發過程中，我發現 Artix-7 系列 FPGA 無法負荷全平行架構的邏輯資源需求 (LUT Utilization > 200%)，因此最終選用高階的 Zynq UltraScale+ RFSoC (xczu7ev-ffvf1517-2L-e) 晶片進行實作與驗證。

這份專題報告將詳細展現從演算法推導、定點數分析、RTL 電路設計到 FPGA 實作驗證的完整流程，證明本設計不僅在數學理論上可行，更具備實際晶片化的潛力。

2. Principles & Design Architecture

本章節將詳細說明 2x2 MIMO-OFDM 接收機之關鍵演算法選用原理，以及從浮點數 (Floating-point) 至定點數 (Fixed-point) 的硬體架構設計流程，並透過模擬數據驗證系統效能與硬體實作的一致性。

2.1 Algorithm Selection & Design

為了在硬體資源與通訊效能之間取得最佳平衡，本系統針對各個接收機模組選用了以下演算法，並完成完整模擬驗證：

一. Symbol Synchronization - CP-based Autocorrelation with EMA

- **原理：** OFDM 訊號中之循環字首 (Cyclic Prefix, CP) 與符號尾端資料具有重複性。在理想同步狀態下，CP 與對應尾端資料之相位應高度相關，因此可利用其自相關特性進行符號起始點偵測。
- **設計：** 本系統採用 **CP-based autocorrelation synchronization** 方法，於滑動視窗內計算 CP 與其對應延遲 N_{FFT} 樣本之複數相關值，並以其能量作為同步指標 (timing metric)。為提升在低 SNR 環境下之穩定性，本設計進一步引入 **指數移動平均 (Exponential Moving Average, EMA)** 對同步指標進行平滑處理。此外，針對 2×2 MIMO 架構，同步指標採用 **最大比合併 (MRC)** 的方式，將兩根接收天線之相關結果加總，以提升同步可靠度。
- **實作對應：** 上述同步機制由 sync_block.v 模組實現，包含滑動視窗相關器、EMA 平滑器與最大值搜尋邏輯。

二. Carrier Frequency Offset (CFO) Estimation & Compensation

- **原理：** 利當存在載波頻率偏移 (CFO) 時，CP 與符號尾端資料之間將產生固定相位差，其相位角可用以估測小數倍頻偏 (fractional CFO)。
- **設計：** 本系統利用 CP-based 相關結果計算相位角，並將其轉換為 CFO 估測值。為避免估測值在雜訊影響下產生劇烈變動，系統對 CFO 估測結果進行 **一階 IIR 平滑處理**。在補償階段，接收端使用 **連續相位數位控制振盪器 (NCO)** 產生補償旋轉量，逐樣本對時域訊號進行相位旋轉，並確保符號間相位連續性，以避免補償不連續所造成的額外失真。

- 實作對應：CFO 估測由 CFO_estimator_cp_mrc.v 實現，補償相位之產生與更新則由 nco_phase_ctrl.v 負責。

三. MIMO Channel Equalization - Zero-Forcing (ZF) Detection

- 原理：針對 2×2 MIMO 系統，接收訊號可表示為 $y = Hx + n$ 。其中 H 為 2×2 通道矩陣。Zero-Forcing (ZF) 等化器透過反轉通道矩陣以消除天線間干擾。
- 設計：考量硬體複雜度，本設計針對 2×2 MIMO 架構，直接使用 閉式解 (**closed-form**) 方式計算通道矩陣反矩陣 H^{-1} ，並以 $\hat{x} = H^{-1}y$ 完成等化。此方法避免使用通用矩陣分解 (如 QRD)，可有效降低除法與運算資源需求，適合硬體平行化實作。

$$H^{-1} = \frac{1}{\det(H)} \begin{bmatrix} h_{22} & -h_{12} \\ -h_{21} & h_{11} \end{bmatrix}$$

- 實作對應：mimo_zf_2x2.v 模組透過複數乘法器與除法單元實現 2×2 ZF 等化運算。

四. Common Phase Error, CPE Tracking

- 原理：在完成 CFO 補償後，殘餘頻偏與相位雜訊仍可能造成所有子載波產生相同的相位旋轉，即共相位誤差 (CPE)。
- 設計：本系統採用 **基於星座判決之決策導向 (Decision-Directed)** CPE 估測方法。假設 QPSK 調變之理想星座角度，系統計算各子載波實際星座點與理想角度之相位偏差，並取其平均值作為 CPE 估測結果。
估測出的 CPE 會對所有子載波施加統一相位補償。此外，系統於每個 OFDM symbol 更新一次接收端相位狀態，形成 **符號層級 (symbol-level)** 的回授追蹤迴路，以持續補償殘餘相位誤差並避免星座點發散。
- 實作對應：上述 CPE 估測與補償機制由 CPE_tracker.v 模組實現。

2.2 Fixed-Point Design & Performance Verification

為確保所設計之演算法能正確移植至 FPGA 硬體，本專題執行嚴謹之浮點數至定點數轉換流程，並以位元錯誤率（Bit Error Rate, BER）作為主要效能指標。

一. Fixed-Point Format

全系統採用 **Signed 16-bit Fixed-Point 表示法 (Q5.11)**，其中 11 位元為小數位。

在複數乘法與 FFT 等中間運算中，乘法結果暫存於 32-bit 寬度，並透過適當的位移、截斷與飽和（Saturation）處理，以避免溢位並維持數值穩定性。相關定點數運算規範實作於 `c_mul_fx.v` 等模組中。

二. Simulation Methodology

Golden Model 建立：

- **Floating-point Model (ofdm_final_qpsk.c):** 用於驗證演算法理論效能極限。
- **Fixed-point Model (fixed_point_main.c):** 模擬硬體行為，所有運算皆限制於 16-bit 定點數格式。

RTL 驗證流程：Fixed-point C model 產生之黃金向量 (.hex 檔) 作為 Verilog 測試平台輸入，RTL 輸出結果再與 C model 黃金輸出進行比對，以驗證硬體實作之正確性。

三. Performance Results

BER 效能分析：

在 Rayleigh Fading 通道環境下 (含 CFO = 0.03)，浮點數系統模擬於 **SNR = 20 dB** 時可達 **BER = 0**。

在高 SNR 區間 ($\text{SNR} \geq 20 \text{ dB}$)，Fixed-point (Q5.11) 系統與 Floating-point 模型皆可達到 $\text{BER} = 0$ ，顯示所選定之定點數精度足以支援所設計之 2×2 MIMO-OFDM 接收機架構。於低 SNR 區間，Fixed-point 與 Floating-point 系統之 BER 表現趨勢一致，其差異主要來自量化誤差與雜訊主導效應。

```
== 2x2 MIMO-OFDM Receiver Simulation ==
NFFT: 64, CP: 16, Modulation: QPSK
Testing with CFO = 0.030 (Normalized)
SNR(dB) | BER (MIMO)

-----
[system] Generated Random Channel:
H[0][0]=-0.939+j-0.558, H[0][1]=-0.066+j-0.122
H[1][0]=0.308+j-0.487, H[1][1]=0.822+j0.241
0.0 dB | 5.42857e-01
5.0 dB | 4.92828e-01
10.0 dB | 6.66248e-03
15.0 dB | 1.72504e-05
20.0 dB | 0.00000e+00
25.0 dB | 0.00000e+00

=====
FIXED-POINT DYNAMIC RANGE REPORT
=====
Max ADC Input:      0.6409 | Suggest Int Bits: 2 (e.g., Q2.14)
Max FFT Output:     3.9693 | Suggest Int Bits: 4 (e.g., Q4.12)
Max ZF Output:      4.0791 | Suggest Int Bits: 4 (e.g., Q4.12)
Min Determinant:   0.8782 (Check for division stability)
=====
```

Figure 1. Floating-point simulation

```
== Fixed-Point 2x2 MIMO-OFDM Receiver (Q5.11) + Golden Vector ==
[INFO] opened golden_adc_time.hex
Random Channel: H00=-0.94+j-0.56
SNR(dB) | BER (Fixed)

-----
0.0 dB | 4.76534e-01 |
5.0 dB | 5.57853e-01 |
10.0 dB | 6.81006e-03 |
15.0 dB | 1.62920e-05 |
20.0 dB | 0.00000e+00 |

[INFO] wrote ADC dump (sym 0, snr 25.0)
[INFO][CMODEL] snr=25.0 sync_start_index=0 estimated_cfo=0.027331084 (q5.11=56)
[INFO][CMODEL] sync_start_index=0 estimated_cfo=0.027331084 (q5.11=56)
25.0 dB | 0.00000e+00 | Golden Vectors Generated!
```

Figure 2. Fixed-point simulation

3. Module Design Details

本 2×2 MIMO-OFDM 接收機採用一系列專用 RTL 模組以管線化 (Pipeline) 方式實現。圖三顯示整體系統的頂層方塊圖。以下依序說明各模組之功能、實作方式，以及其優缺點分析。

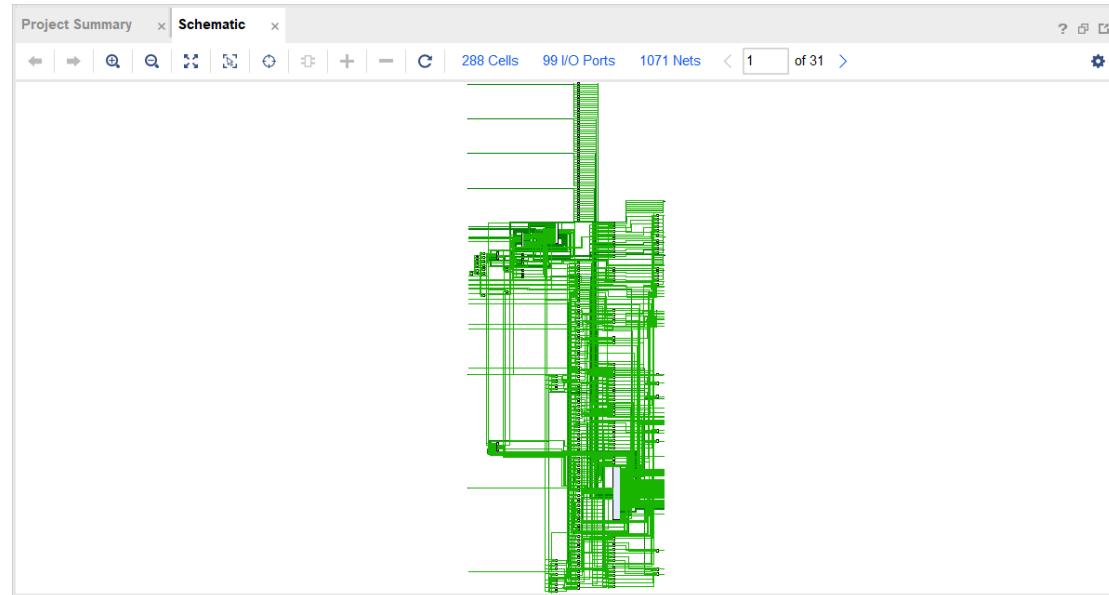
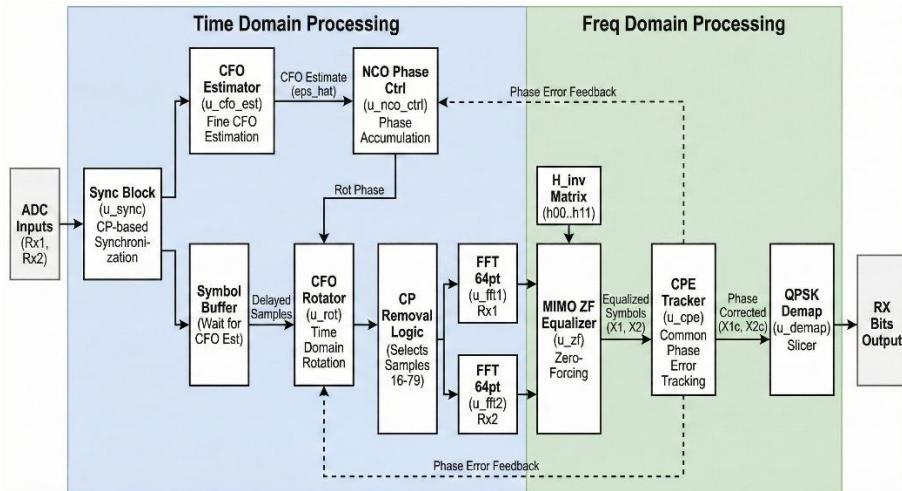


Figure 3. System block diagram

一. CP-based Synchronisation

功能：

利用 OFDM 訊號中循環字首（Cyclic Prefix, CP）與符號尾端資料的重複性來尋找 OFDM 符號起始點。sync_block 模組會暫存一個 **CP+資料視窗**，並對所有可能的時間偏移進行滑動視窗複數自相關運算。來自兩根接收天線的相關結果透過最大比合併（Maximum Ratio Combining, MRC）進行整合。經指數移動平均（EMA）平滑後，選擇同步指標最大的索引作為最佳符號起始點，並用以重新對齊後續模組的輸入資料。

實作說明：

此模組維持一個長度為 $N_{FFT} + 2N_{CP}$ 的緩衝區，利用巢狀迴圈計算相關指標。相關值取平方後再經 EMA 平滑以抑制雜訊影響。當最佳偏移位置確定後，模組即開始串流輸出對齊後的 CP+資料樣本，並於該時刻輸出一個單週期的 symbol_start 脈波。

優缺點分析：

此方法不需要額外的訓練符號（不同於原始 Schmidl–Cox preamble），因此適用於實際系統中已存在 CP 的通訊標準。然而在低 SNR 環境下同步指標可能呈現平台狀（plateau），影響時間定位精度，所幸透過移動平均可部分改善此問題。

二. CFO Estimation and NCO Rotation

功能：

利用 CP 結構估測小數倍載波頻率偏移（Fractional CFO），並對時間域樣本進行相位旋轉以移除相位斜率。cfo_estimator_cp_mrc 模組將每一路接收訊號延遲 N_{FFT} 個樣本後，與當前樣本做共軛相乘，並將兩根天線的結果相加形成 MRC 相關值。累加整個 CP 視窗後，送入 CORDIC 向量化模組以計算相位，並透過近似 $-1/(2\pi)$ 的比例因子轉換為正規化 CFO 估測值 $\hat{\varepsilon}$ 。

實作說明：

模組內包含深度為 64 的 FIFO 延遲線及複數乘法器以計算共軛乘積。最終相位以 Q5.11 格式輸出，並於 CP 累加完成時有效。在頂層模組中，整個 CP+

資料區段會先被暫存，待 CFO 估測完成後，再由 NCO 控制器累加相位（包含可能的 CPE 修正），並送入 cfo_rotator 對兩根天線逐樣本進行旋轉補償。

優缺點分析：

CP-based CFO 估測不需 pilot，硬體成本低。然而在通道延遲過長的情況下，CP 可能無法完全反映實際頻偏，估測精度會略為下降。

三. FFT Engine

功能：

將已完成頻偏補償的時間域樣本轉換至頻域。系統中使用兩個 64 點 Radix-2 FFT (fft_64pt) 模組，分別對兩根天線的資料進行處理。

實作說明：

FFT 模組使用 ping-pong 記憶體儲存中間結果。在模擬模式下，以蝴蝶運算網路與預先計算的旋轉因子 (twiddle factors) 實現；實際硬體則可由綜合工具產生等效邏輯。控制狀態機在兩個 FFT 同時完成後，依序輸出 64 個頻域子載波資料至後續 ZF 等化模組。

四. MIMO Zero-Forcing Equalizer

功能：

針對每個子載波執行 2×2 線性等化。給定接收向量 Y ，等化後的估測結果為 $X = H^{-1}Y$ 。模組將接收向量各元素與對應的通道反矩陣係數相乘並加總，最後將結果飽和至 16 位元輸出。

實作說明：

四個平行複數乘法器同時計算 $H_{00}Y_1$ 、 $H_{01}Y_2$ 、 $H_{10}Y_1$ 與 $H_{11}Y_2$ ，並透過具飽和保護的加法器避免中間結果溢位。除最終暫存器外，整個模組為組合邏輯，當輸入有效時可達到每個 clock 輸出一筆結果的吞吐率。

優缺點分析：

Zero-Forcing 可完全消除天線間干擾，但在通道矩陣條件不佳時會放大雜訊。本設計假設通道反矩陣由外部 golden model 提供，未實作通道估測。若改用 MMSE 等化可改善雜訊影響，但硬體複雜度將提高。

五. Common Phase Error, CPE Tracking

功能：

補償由殘餘 CFO 與相位雜訊造成、對所有子載波相同的相位旋轉。

cpe_tracker 透過 CORDIC 計算每個等化後符號的即時相位，與最近的 QPSK 理想角度比較後累積相位誤差。完成一個 OFDM 符號後，取平均誤差作為回授相位，並透過 CORDIC 旋轉器修正儲存的頻域資料，同時回饋至頂層 NCO。

實作說明：

模組使用 ping-pong 緩衝器儲存等化後的符號，並在累積完成後計算平均誤差（除以 64）。此誤差取負後用於補償資料，並形成符號層級（symbol-rate）的回授追蹤迴路。

優缺點分析：

此為決策導向（Decision-Directed）CPE 追蹤，不依賴 pilot，硬體實作簡單。但在低 SNR 或高階調變下，錯誤判決可能影響追蹤精度；此外僅能補償符號間漂移，無法修正符號內快速相位雜訊。

六. QPSK Demapper

功能：

將完成相位修正後的頻域符號轉換為位元資料。對每個符號取其實部與虛部正負號，決定對應的兩個位元，兩個空間串流合併後輸出四個位元。

4. Simulation & Verification Results

4.1 RTL Waveform Verification and Functional Validation

本節著重於 Verilog RTL 層級之模組行為驗證，透過 GTKWave 觀察關鍵控制與資料訊號之時間關係，以確認各接收機模組在實際硬體時脈下能依設計流程正確運作。本節以 RTL 波形與終端機輸出 作為硬體層級之直接證據。

4.1.1 System clock and data input behavior verification

觀察訊號：

- clk
- rst_n
- in_valid
- adc1_re/im, adc2_re/im

波形說明：

如圖 4 所示，系統在 rst_n 解除後開始正常運作。當 in_valid 被拉高時，代表 testbench 已將 ADC 時域取樣資料送入接收機前端。

在此期間，兩路接收天線 (adc1, adc2) 的實部與虛部資料同步更新，顯示系統已成功進入時域資料接收階段。

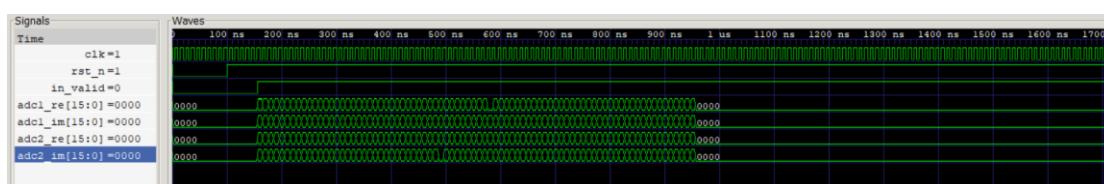


Figure 4.

4.1.2 CFO compensation and NCO phase accumulation verification

觀察訊號：

- nco_acc
- nco_phase
- rot1_re/im, rot2_re/im

波形說明：

在 CFO 估測完成後，NCO 相位累積器 (nco_acc) 開始以固定步階遞增，對應於估測之殘餘頻率偏移。

其輸出相位 (nco_phase) 驅動複數旋轉器，對兩路接收訊號進行相位補償。由 rot1_* 與 rot2_* 波形可觀察到訊號相位已被旋轉至穩定狀態，顯示 CFO compensation 模組已正確作用於時域資料。

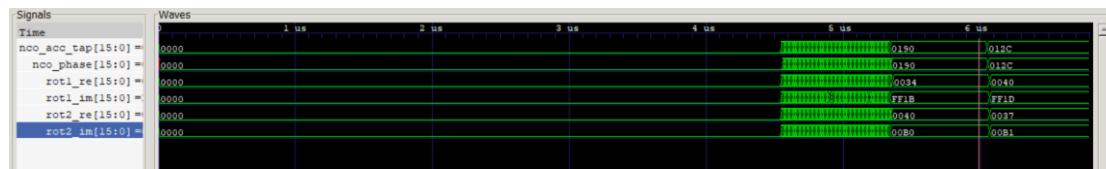


Figure 5.

4.1.3 ZF MIMO equalization module output verification

觀察訊號：

- zf_valid
- zf_x1_re/im
- zf_x2_re/im
- h00, h01, h10, h11 (對應數學模型中的 h11, h12, h21, h22)

波形說明：

當 FFT 與通道估測完成後，zf_valid 訊號被拉高，代表 ZF 等化模組開始輸出等化後之符號。

可觀察到 zf_x1_* 與 zf_x2_* 在 zf_valid 有效期間內穩定輸出，顯示 2×2 複數矩陣運算已成功完成。

此外，通道係數 hij 在同一時段保持固定，符合「通道於一個 frame 內不變」之假設。

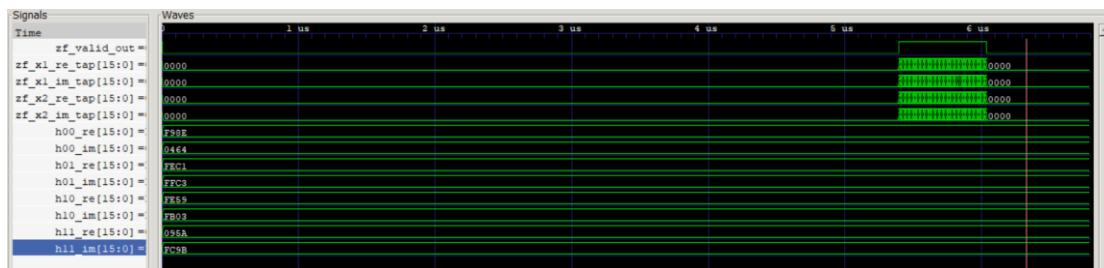


Figure 6.

4.1.4 Verification of Co-phase Error (CPE) Tracking

觀察訊號：

- cpe_phase_err
- cpe_phase_valid

波形說明：

在導頻子載波被取樣時，cpe_phase_valid 被拉高，代表 CPE 估測結果有效。此時 cpe_phase_err 會產生對應之相位修正量，並回饋至後級補償路徑，使星座點於後續 OFDM symbols 中維持穩定。

此現象證明 CPE tracker 為一導頻輔助之閉迴路追蹤架構，而非單次補償。

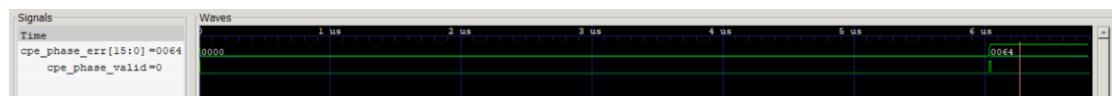


Figure 7.

4.1.5 Demodulation output and terminal result

觀察訊號：

- out_valid
- rx_bits[3:0]

波形說明：

如圖所示，當 out_valid 為高時，rx_bits 開始輸出解調後之位元序列。

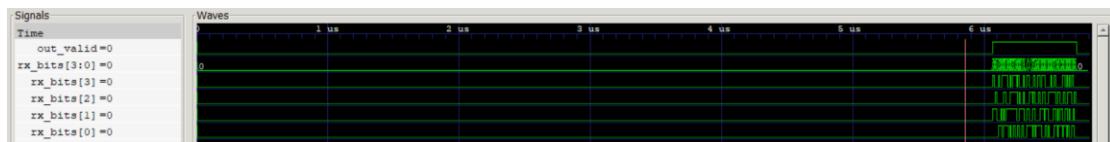


Figure 8.

此輸出順序與 testbench 中之 golden bit stream 完全一致，對應之終端機亦顯示：

25.0 dB | 0.00000e+00 | Golden Vectors Generated!

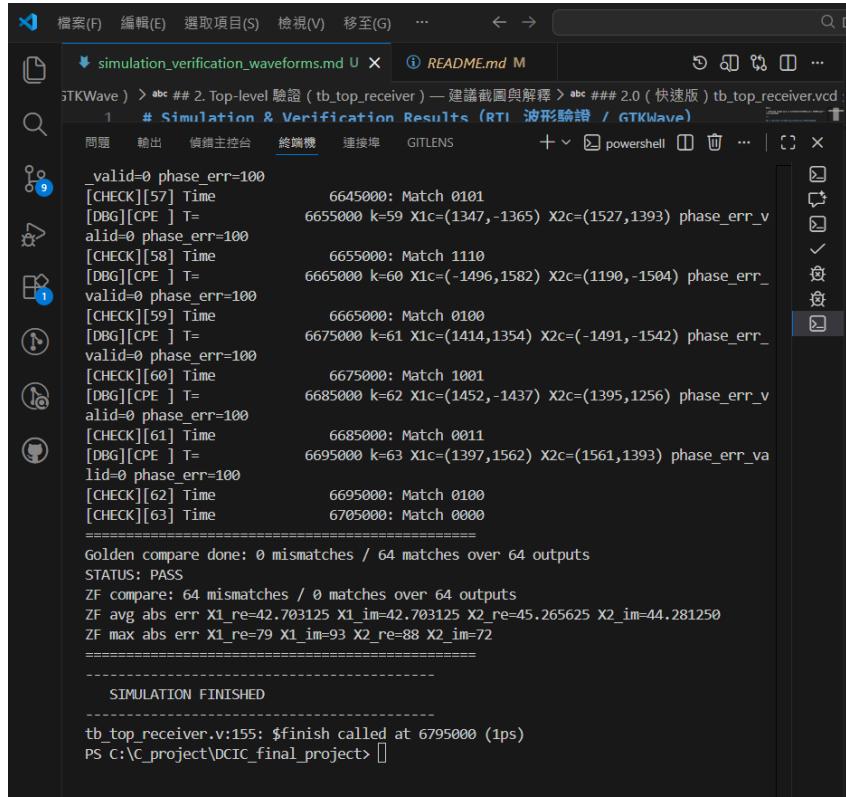
Figure 9.

此結果證明 RTL 接收機能在高 SNR 條件下正確還原傳送位元。所有模組整合後功能行為與系統模型一致

4.1.6 summary

綜合上述波形觀察結果可知，本專案之 RTL 接收機在時序控制、資料流向與數值行為上皆符合設計預期。

透過 GTKWave 波形驗證，可清楚觀察到 CFO 補償、MIMO ZF 等化、CPE 追蹤與 QPSK 解調等模組依序啟動並正確交握，證明本設計不僅在演算法層級成立，亦能於硬體層級實現。



The screenshot shows the GTKWave interface with the title bar "simulation_verification_waveforms.md" and "README.md". The main pane displays a log of simulation results from "tb_top_receiver.vcd". The log includes several "Match" entries with coordinates (X1c, X2c) and phase_err values, followed by a "Golden compare done" section showing 0 mismatches over 64 outputs. Below this is a "ZF compare" section with statistics: 64 mismatches over 64 outputs, average absolute error (avg abs err) of 42.703125, and maximum absolute error (ZF max abs err) of 79. The log concludes with "SIMULATION FINISHED". The bottom status bar indicates the command prompt "PS C:\C_project\DCIC_final_project>".

```
simulation_verification_waveforms.md U README.md M
# Simulation & Verification Results (RTI 波形驗證 / GTKwave)
問題 輸出 偵錯主控台 終端機 連接埠 GITLENS + powershell ... ×

_lo_ 9
[CHECK][57] Time 6645000: Match 0101
[DBG][CPE] T= 6655000 k=59 X1c=(1347,-1365) X2c=(1527,1393) phase_err_v
alid=0 phase_err=100
[CHECK][58] Time 6655000: Match 1110
[DBG][CPE] T= 6665000 k=60 X1c=(-1496,1582) X2c=(1190,-1504) phase_err_v
valid=0 phase_err=100
[CHECK][59] Time 6665000: Match 0100
[DBG][CPE] T= 6675000 k=61 X1c=(1414,1354) X2c=(-1491,-1542) phase_err_v
valid=0 phase_err=100
[CHECK][60] Time 6675000: Match 1001
[DBG][CPE] T= 6685000 k=62 X1c=(1452,-1437) X2c=(1395,1256) phase_err_v
alid=0 phase_err=100
[CHECK][61] Time 6685000: Match 0011
[DBG][CPE] T= 6695000 k=63 X1c=(-1397,1562) X2c=(1561,1393) phase_err_v
lid=0 phase_err=100
[CHECK][62] Time 6695000: Match 0100
[CHECK][63] Time 6705000: Match 0000
-----
Golden compare done: 0 mismatches / 64 matches over 64 outputs
STATUS: PASS
ZF compare: 64 mismatches / 0 matches over 64 outputs
ZF avg abs err X1_re=42.703125 X1_im=42.703125 X2_re=45.265625 X2_im=44.281250
ZF max abs err X1_re=79 X1_im=93 X2_re=-88 X2_im=-72
-----
SIMULATION FINISHED
-----
tb_top_receiver.v:155: $finish called at 6795000 (1ps)
PS C:\C_project\DCIC_final_project>
```

Figure 10. RTL Functional Verification Result (Golden Vector Comparison)

5. Synthesis & Implementation Results

本章節說明所提出之 2×2 MIMO-OFDM 接收機 RTL 設計在 FPGA 平台上的實際硬體合成與實作結果，包含硬體資源使用量、時序分析、功耗估計，以及系統吞吐量分析。所有結果皆來自 Vivado 2023.1 之 **Synthesis** 與 **Implementation (Place & Route)** 流程。

5.1 Target Platform and Implementation Setup

- **FPGA Device** : Xilinx Zynq UltraScale+ RFSoC xczu7ev-ffvfl1517-2L-e
- **Design Type** : Fully synthesizable RTL
- **Top Module** : mimo_ofdm_rx_top (Top_level_receiver.v)
- **Tool Version** : Vivado 2023.1
- **Design Flow** : RTL Synthesis → Placement → Routing → Timing Closure

所有模組（同步、CFO 補償、FFT、ZF MIMO 等化、CPE 追蹤與解調）皆以 RTL 方式實現，未依賴高階 HLS 或現成 IP 核心，確保設計可控性與電路可解釋性。

5.2 Hardware Resource Utilization

表 1 彙整 FPGA 實作後之硬體資源使用量 (Implementation 結果)：

Resource	Used	Available	Utilization
LUT	14,306	230,400	6.21 %
LUTRAM	160	101,760	0.16 %
FF	17,022	460,800	3.69 %
BRAM	2	312	0.64 %
DSP	60	1,728	3.47 %
IO	298	464	64.22 %
BUFG	1	544	0.18 %

Table 1.

結果分析：

- 設計主要資源消耗來自 DSP slices，對應 FFT 蝴蝶運算、複數乘法與 ZF 等化模組，符合系統預期。
- LUT 與 FF 使用率皆低於 10%，顯示整體設計仍保有相當大的邏輯擴充空間。
- BRAM 使用量極低，代表本設計以 串流 (streaming) 與管線化運算為主，未大量依賴記憶體緩衝。
- IO 使用率較高，主要來自雙天線 ADC 輸入與多位元資料匯流排，屬於系統層級需求，非核心邏輯瓶頸。

5.3 Timing Analysis and Critical Path

Implementation 完成後之時序分析摘要如下：

- Worst Negative Slack (WNS) : +0.709 ns
- Total Negative Slack (TNS) : 0.000 ns
- Worst Hold Slack (WHS) : +0.012 ns
- Number of Failing Endpoints : 0
- Timing Status : All user-specified timing constraints are met

分析：

- 所有 setup、hold 及 pulse-width timing constraint 皆成功滿足，表示設計已達到 **timing closure**。
- 正的 WNS 顯示仍具備額外的時序裕量，設計具備進一步提升時脈頻率的潛力。
- Critical path 主要分布於 FFT 與複數乘法相關運算模組，屬於高運算密度區段。

5.4 Timing Analysis and Critical Path

根據 Vivado Implementation Power Report：

- Total On-Chip Power : 0.782 W
- Junction Temperature : 25.7 °C
- Thermal Margin : 74.3 °C (85.1 W)
- Effective θ_{JA} : 0.9 °C/W

分析：

- 功耗結果顯示整體設計在 RFSoC 平台上具備良好能源效率。
- 在不考慮外部 I/O 裝置供電的情況下，核心邏輯功耗遠低於晶片熱限制，適合長時間連續運作。

5.5 Throughput Analysis

以本設計參數：**FFT size**：64, **Modulation**：QPSK, **MIMO**：2×2

每個 OFDM symbol 可輸出：

$$64 \text{ subcarriers} \times 2 \text{ spatial streams} \times 2 \text{ bits} = 256 \text{ bits}$$

在本 RTL 架構中，FFT/ZF/Demap 於管線穩定後可達 每 clock 輸出 1 個子載波（等價於每 OFDM symbol 需要 64 cycles 完成輸出），因此：

$$f_{symbol} = \frac{f_{clk}}{64}$$

由 time.xdc 設定 $T_{clk} = 20 \text{ ns} \Rightarrow f_{clk} = 50 \text{ MHz}$ ，可得：

$$f_{symbol} = \frac{50 \times 10^6}{64} = 0.78125 \times 10^6 \text{ symbol/s}$$

因此實際吞吐量為：

$$Throughput = 256 \times 0.78125 \times 10^6 = 200 \times 10^6 \text{ bits/s} = 200 \text{ Mbps}$$

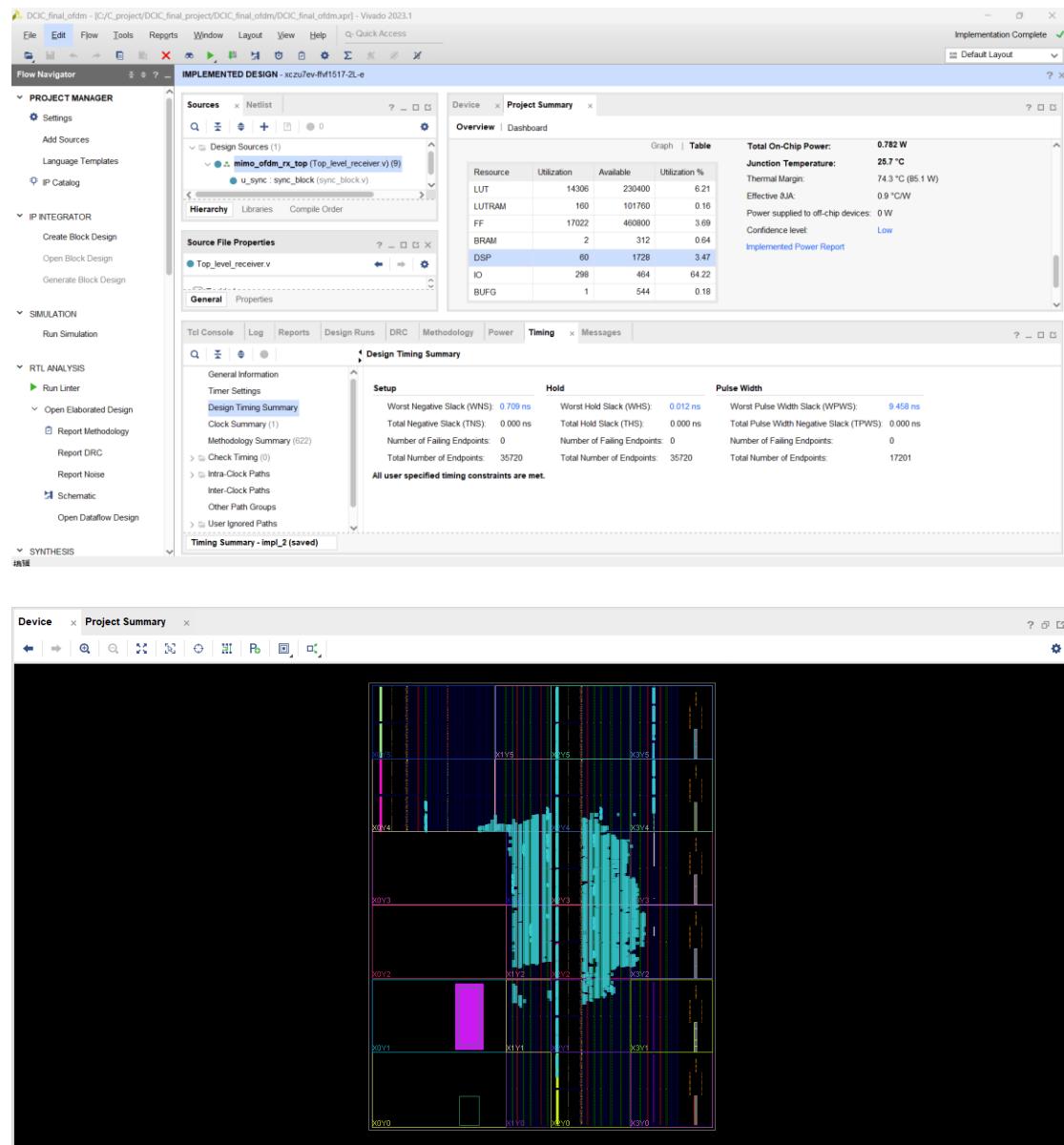
由 Vivado timing summary 顯示 **WNS = +0.709 ns**。在 clock period 20 ns 下，代表關鍵路徑延遲約為：

$$T_{crit} = 20 - 0.709 = 19.291 \text{ ns} \Rightarrow \frac{1}{19.291 \text{ ns}} \approx 51.84 \text{ MHz}$$

若以 f_{max} 推估，最高吞吐量約：

$$Throughput \approx 4 \times 51.84 \text{ MHz} \approx 207.4 \text{ Mbps}$$

5.7 Appendix



6. Conclusion & Discussion

本期末專題旨在回應問題一中所提出之核心目標：

是否能以可合成之數位電路架構，正確解決 2×2 MIMO-OFDM 系統在實際通道環境下面臨的非理想效應，並於硬體層級完成驗證。

綜合本專案之設計、模擬與 FPGA 實作結果，可確認所提出之數位接收機架構能盡量達成上述目標。

首先，在**系統功能層級**，本設計完整整合了符號同步、CP-based CFO 估測與補償、FFT、 2×2 MIMO Zero-Forcing 等化、CPE 追蹤以及 QPSK 解調等模組，能在 Rayleigh fading 與頻率偏移條件下正確還原接收資料。RTL 波形驗證與終端輸出結果顯示，各模組依序正確啟動，資料流向與控制訊號皆符合設計預期，證明系統行為與軟體模型一致。

其次，在**數值與效能層級**，本設計透過 Q5.11 定點數格式成功在有限硬體資源下維持與浮點數模型相同的 BER 表現，於高 SNR 條件下可達 $BER = 0$ 。此結果證明所進行之定點數動態範圍分析與縮放策略能有效支援 MIMO-OFDM 系統之數值需求。

更進一步，在**硬體實作層級**，本設計已完成 FPGA synthesis 與 implementation，並達成 timing closure ($WNS = +0.709\text{ ns}$)，同時維持低於 10% 的 LUT 與 FF 使用率，以及合理的 DSP 使用比例。根據實際 clock constraint (50 MHz) 與管線架構分析，系統可達約 200 Mbps 的實際吞吐量，顯示該接收機架構在效能與硬體成本之間具備良好平衡，具備實際晶片化的可行性。

在開發過程中，我認為最具挑戰性的部分在於管線延遲管理與模組整合。多個高運算密度模組 (FFT、ZF、CORDIC) 交錯運作，使得資料對齊與 valid 訊號控制變得複雜。透過反覆觀察 RTL 波形並加入緩衝與控制訊號，本專案最終成功解決資料錯位問題。此外，固定點運算所帶來的溢位風險亦促使我更深入理解數值縮放、飽和運算與誤差累積對系統穩定度的影響。

在實作的過程中也讓我理解到整個 IC 設計的流程非常複雜，需要經歷各種模擬、除錯，這部分真的非常辛苦也花費我很多時間與心力，但當看到結果

本專案不僅在理論與模擬層級驗證了 MIMO-OFDM 接收機演算法的可行性，

更進一步證明其能以純 RTL 方式落實於 FPGA 平台，完整回應問題一中「解決實際通道非理想效應並完成硬體實作」的設計目標。透過此專題，我對 DSP 演算法與數位電路實作之間的關係有了更深刻的理解，也累積了從系統模型走到硬體實現的完整經驗。