

반도체 토탈설계 프로젝트

개인 칩 설계 : UART 송신기

신재호 / 32217401 / 융합반도체공학과

목차



목표



설계 프로세스



주제선정 이유

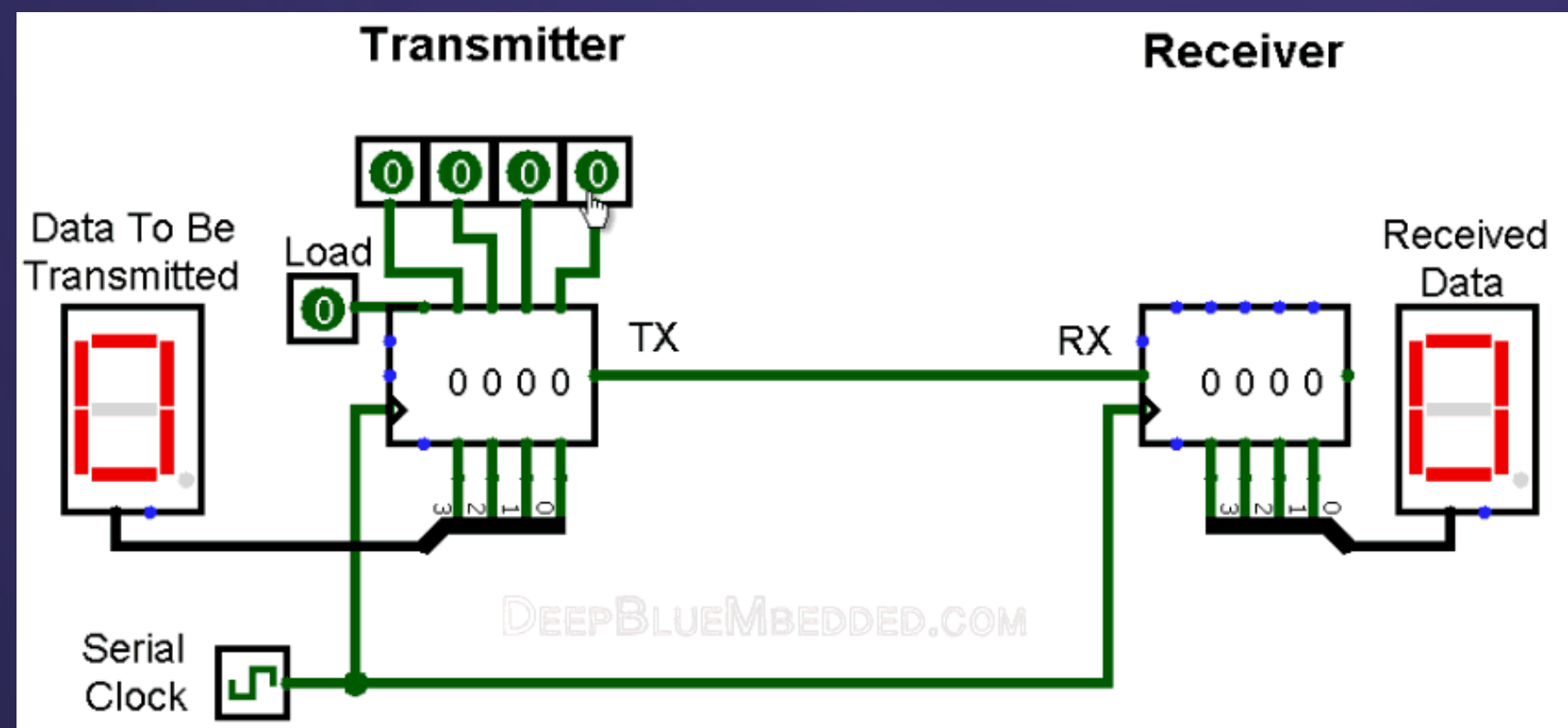
01

목표



회로설계 8단계의 공정을 OpenLane + Sky130 pdk 활용 위주로
UART 송신기 완성하기 (ASIC으로 만들기)

115200 bps, Even Parity 조건으로
Asic 구현하고 STA/DRC/LVS를 통과하는 GDSII 결과물 생성하기



02 주제 선정 이유

01

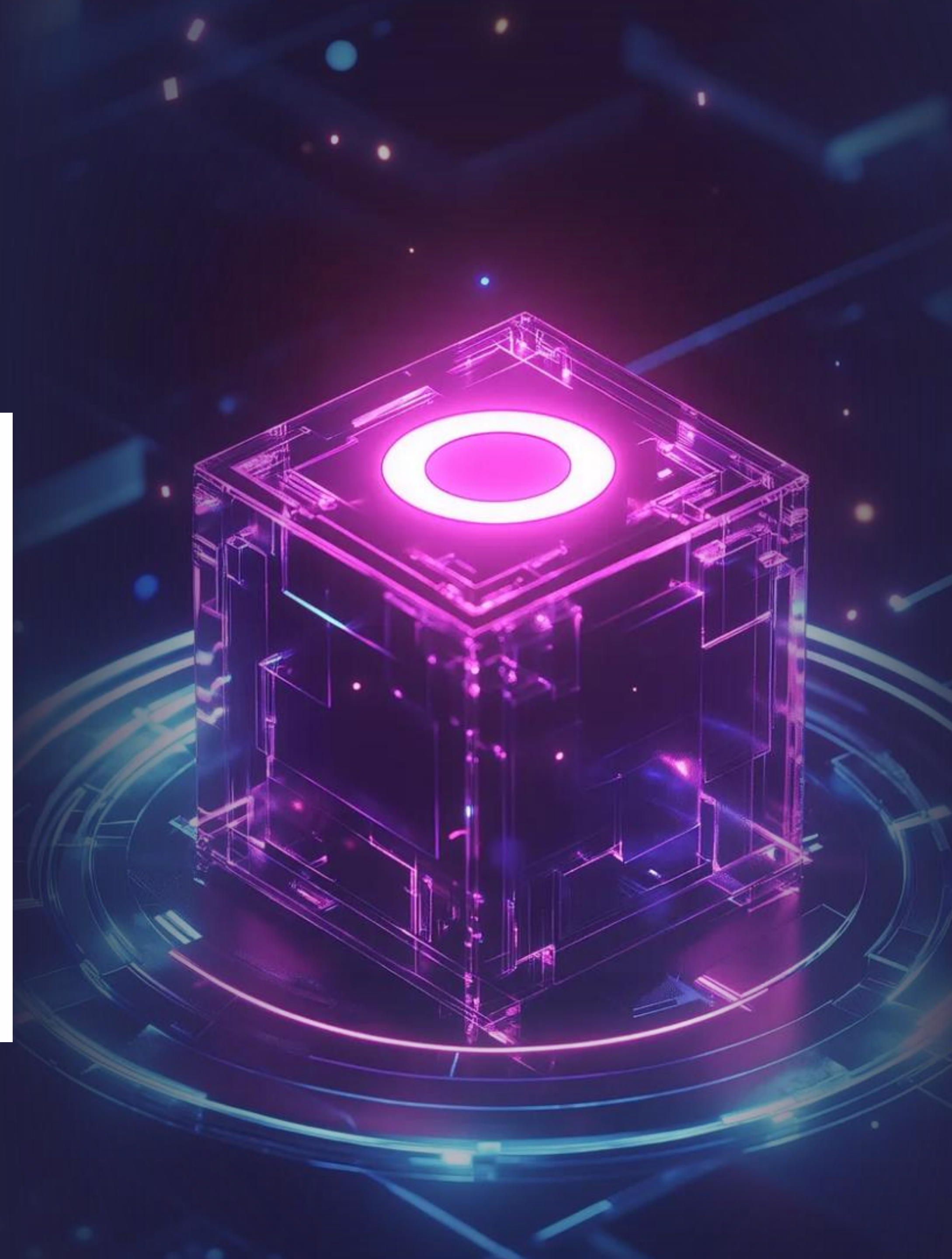
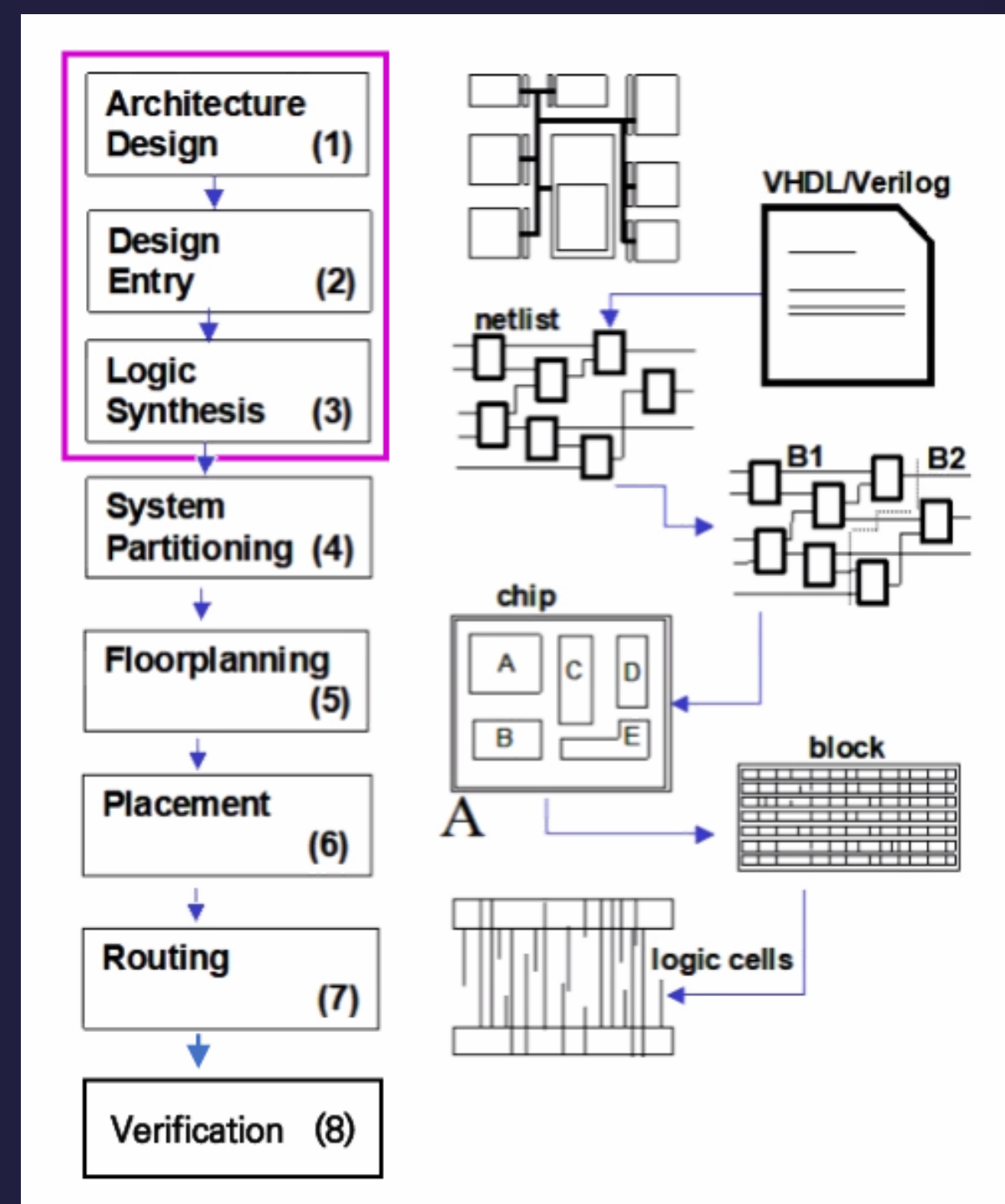
UART 송신기는
실무표준 IP이고, SoC에서 가장
보편적인 통신 모듈이다.

02

수업시간에 다른
디지털 설계 프로세스를
거의 그대로 적용가능

03

모두 오픈 소스 기반 설계
OpenLane + Sky130조합으로
Tape-Out 수준까지 완성도를
높일수 있을 가능성이 높음



03

활용하는 Open Source Tool



Architecture Design

Draw.io + Markdown

High-level 블록 다이어그램,
스펙정의(Specification)



Design Entry

VS code + Verilog

RTL Cdoe 작성



Logic Synthesis

Yosys

RTL -> Netlist 변환



System Partitioning

VS Code + Yosys

계층화 및 모듈 분할

03

활용하는 Open Source Tool



Floorplanning

OpenLane + OpenROAD

Die/Core 영역 설정



Placement

OpenROAD

셀 배치 최적화과정



Routing

OpenROAD + TritonRoute

배선



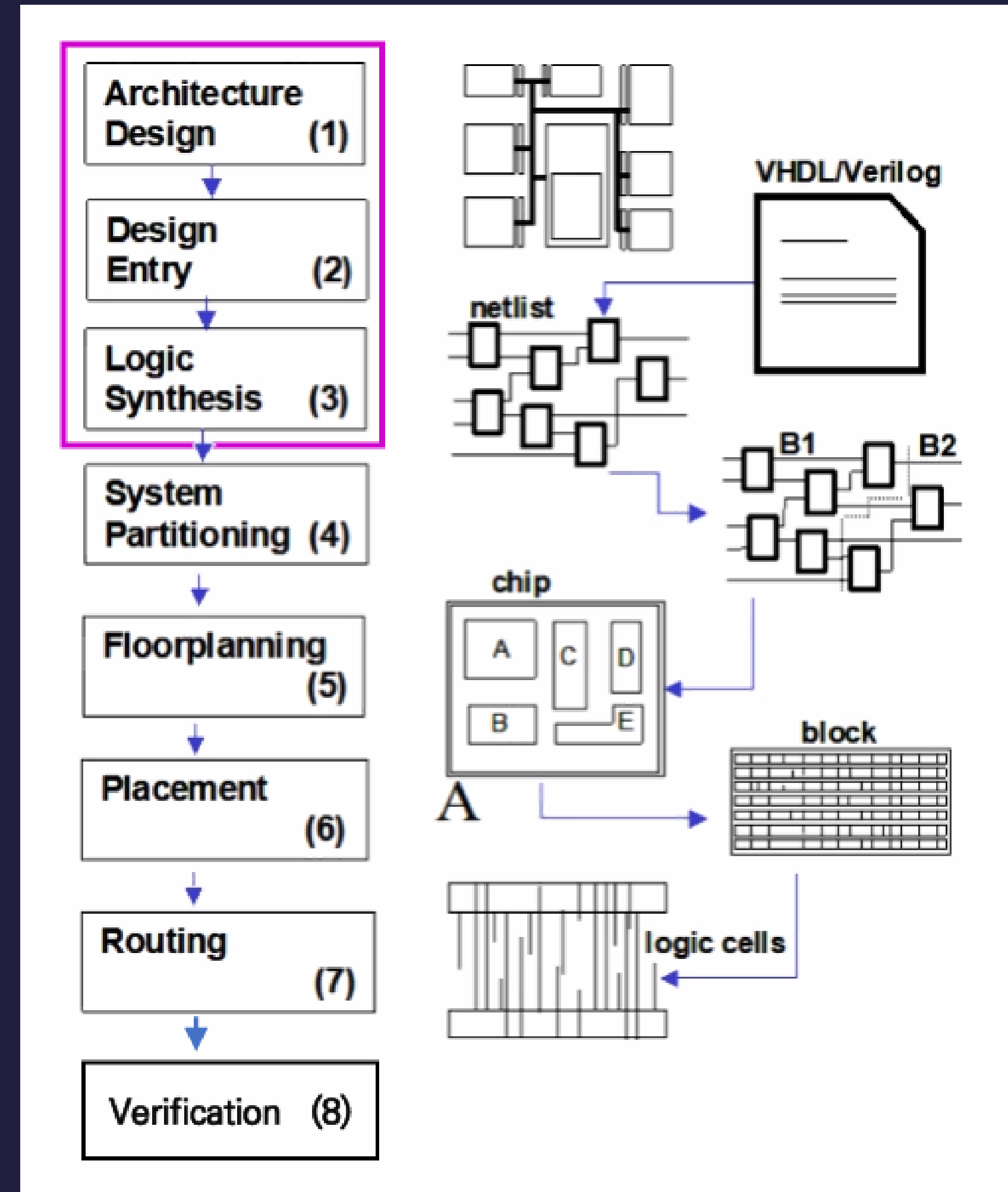
Verification

OpenSTA + Icarus Verilog +
Klayout

STA/DRC/LVS

요약

공정 이름	오픈소스 툴
Architecture Design	Draw.io + Markdown
Design Entry	VS Code + Verilog
Logic Synthesis	Yosys
System Partitioning	VS Code + Yosys
Floorplanning	OpenLane + OpenROAD
Placement	OpenROAD
Routing	OpenROAD + TritonRoute
Verification	OpenSTA + Icarus Verilog + Klayout



Thank You

